



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월26일
(11) 등록번호 10-0928490
(24) 등록일자 2009년11월18일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0042943
(22) 출원일자 2003년06월28일
심사청구일자 2008년03월25일
(65) 공개번호 10-2005-0001937
(43) 공개일자 2005년01월07일
(56) 선행기술조사문헌
KR1020000015174 A*
JP12068513 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자

서현식
경기안양시동안구비산동효성상아빌라3동202호

김해열

경기도안양시동안구평촌동초원한양아파트609동301호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 8 항

심사관 : 한만열

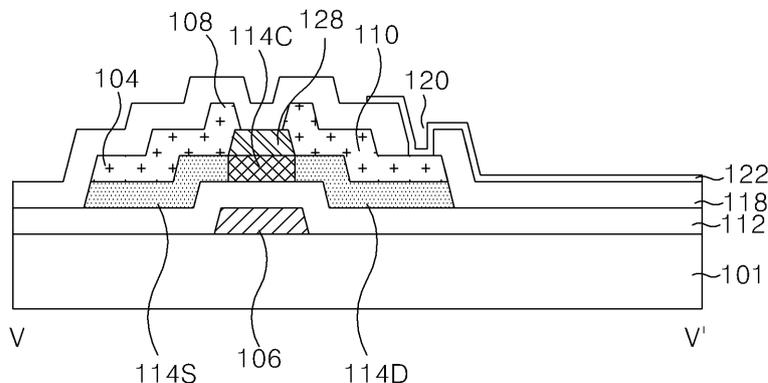
(54) 액정표시패널 및 그 제조 방법

(57) 요약

본 발명은 액티브층의 결정화 효율을 향상시킴과 아울러 제조공정수를 단순화할 수 있는 액정표시패널 및 그 제조방법을 제공하는 것이다.

본 발명의 액정표시패널은 기판 상에 게이트전극을 형성하는 단계와, 상기 게이트전극이 형성된 기판 상에 게이트절연막을 형성하는 단계와, 상기 게이트절연막 상에 아몰퍼스 실리콘막을 증착하고 상기 아몰퍼스 실리콘막 상에 상기 게이트전극을 이용하여 절연패턴을 형성하는 단계와, 상기 아몰퍼스 실리콘막에 전계를 가한 상태에서 유도금속과 상기 절연패턴을 이용하여 상기 아몰퍼스 실리콘막을 열처리함으로써 상기 아몰퍼스 실리콘막을 폴리실리콘막으로 결정화하고 상기 폴리실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계와, 상기 소스 및 드레인영역 각각과 직접 접촉되는 소스 및 드레인전극을 형성하고, 상기 소스 영역 및 드레인 영역이 상기 소스 및 드레인전극을 따라 그 하부에 위치하도록 상기 소스 영역 및 드레인 영역을 패터닝하는 단계를 포함하며, 상기 소스 및 드레인전극을 형성하고, 상기 소스 영역 및 드레인 영역을 패터닝하는 단계는 상기 채널 영역, 소스영역 및 드레인영역을 포함하는 폴리실리콘막이 형성된 기판 상에 데이터금속층 및 포토레지스트를 순차적으로 형성하는 단계와, 상기 포토레지스트를 부분 노광한 후 현상하여 단차진 포토레지스트패턴을 형성하는 단계와, 상기 단차진 포토레지스트패턴을 이용하여 상기 데이터금속층과 상기 소스 영역 및 드레인 영역을 식각하는 단계와, 상기 단차진 포토레지스트패턴을 애싱하는 단계와, 상기 애싱된 포토레지스트패턴을 이용하여 상기 데이터금속층을 식각함으로써 상기 채널영역과 중첩되는 절연패턴을 노출시키는 단계를 포함하는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

기판 상에 게이트전극을 형성하는 단계와,

상기 게이트전극이 형성된 기판 상에 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 아몰퍼스 실리콘막을 증착하고 상기 아몰퍼스 실리콘막 상에 상기 게이트전극을 이용하여 절연패턴을 형성하는 단계와,

상기 아몰퍼스 실리콘막에 전계를 가한 상태에서 유도금속과 상기 절연패턴을 이용하여 상기 아몰퍼스 실리콘막을 열처리함으로써 상기 아몰퍼스 실리콘막을 폴리실리콘막으로 결정화하고 상기 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계와,

상기 소스 및 드레인영역 각각과 직접 접촉되는 소스 및 드레인전극을 형성하고, 상기 소스 영역 및 드레인 영역이 상기 소스 및 드레인전극을 따라 그 하부에 위치하도록 상기 소스 영역 및 드레인 영역을 패터닝하는 단계를 포함하며,

상기 소스 및 드레인전극을 형성하고, 상기 소스 영역 및 드레인 영역을 패터닝하는 단계는

상기 채널영역, 소스영역 및 드레인영역을 포함하는 폴리실리콘막이 형성된 기판 상에 데이터금속층 및 포토레지스트를 순차적으로 형성하는 단계와,

상기 포토레지스트를 부분 노광한 후 현상하여 단차진 포토레지스트패턴을 형성하는 단계와,

상기 단차진 포토레지스트패턴을 이용하여 상기 데이터금속층과 상기 소스 영역 및 드레인 영역을 식각하는 단계와,

상기 단차진 포토레지스트패턴을 애싱하는 단계와,

상기 애싱된 포토레지스트패턴을 이용하여 상기 데이터금속층을 식각함으로써 상기 채널영역과 중첩되는 절연패턴을 노출시키는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 2

제 1 항에 있어서,

상기 아몰퍼스 실리콘막을 상기 폴리실리콘막으로 결정화하고 상기 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계는

상기 절연패턴과 상기 아몰퍼스 실리콘막 상에 상기 유도금속을 형성하는 단계와,

상기 유도금속이 형성된 아몰퍼스 실리콘막에 불순물을 주입하는 단계와,

상기 불순물이 주입된 아몰퍼스 실리콘막에 상기 전계를 가한 상태에서 상기 아몰퍼스 실리콘막을 열처리하여 결정화된 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 3

제 1 항에 있어서,

상기 아몰퍼스 실리콘막을 상기 폴리실리콘막으로 결정화하고 상기 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계는

상기 아몰퍼스 실리콘막 상에 상기 유도금속을 형성하는 단계와,

상기 유도금속이 형성된 아몰퍼스 실리콘막에 상기 절연패턴을 마스크로 불순물을 주입하는 단계와,

상기 불순물이 주입된 아몰퍼스 실리콘막에 상기 전계를 가한 상태에서 상기 아몰퍼스 실리콘막을 열처리하여 결정화된 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 4

제 1 항에 있어서,

상기 유도금속은 Ni를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 5

제 2 항 또는 제 3 항에 있어서,

상기 불순물이 주입된 아몰퍼스 실리콘막에 상기 전계를 가한 상태에서 상기 아몰퍼스 실리콘막을 열처리하여 결정화된 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계는

상기 아몰퍼스 실리콘막에 주입된 상기 불순물을 활성화시키는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 6

제 1 항에 있어서,

상기 게이트절연막 상에 아몰퍼스 실리콘막을 증착하고 상기 아몰퍼스 실리콘막 상에 상기 게이트전극을 이용하여 절연패턴을 형성하는 단계는

상기 아몰퍼스 실리콘막 상에 절연물질 및 포토레지스트를 순차적으로 형성하는 단계와,

상기 기판 배면에서 상기 포토레지스트쪽으로 광을 조사하여 포토레지스트를 배면노광하는 단계와,

상기 배면노광된 포토레지스트를 현상하여 포토레지스트패턴을 형성하는 단계와,

상기 포토레지스트패턴을 마스크로 상기 절연물질을 식각하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 7

삭제

청구항 8

기판 상에 형성되는 게이트전극과,

상기 게이트전극과 절연되게 중첩되는 채널영역, 채널영역을 사이에 두고 양측에 위치하는 소스영역 및 드레인영역을 포함하는 액티브패턴과,

상기 액티브패턴 상에 상기 액티브패턴의 채널영역과 중첩되게 형성되는 절연패턴과,

상기 액티브패턴의 소스영역과 직접 접촉하는 소스전극과,

상기 액티브패턴의 드레인영역과 직접 접촉하는 드레인전극을 구비하며,

상기 액티브패턴은 아몰퍼스 실리콘막에 전계를 가한 상태에서 유도금속과 절연 패턴을 이용하여 상기 아몰퍼스 실리콘막을 열처리함으로써 상기 아몰퍼스 실리콘막이 결정화된 폴리실리콘이며, 상기 소스 영역 및 드레인 영역은 상기 소스 및 드레인전극 하부에 그들을 따라 형성되는 것을 특징으로 하는 액정표시패널.

청구항 9

삭제

청구항 10

제 8 항에 있어서,

상기 유도금속은 Ni를 포함하는 것을 특징으로 하는 액정표시패널.

청구항 11

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <21> 본 발명은 폴리실리콘을 이용한 액정표시패널에 관한 것으로, 특히 액티브층의 결정화 효율을 향상시킴과 아울러 제조공정수를 단순화할 수 있는 액정표시패널 및 그 제조방법에 관한 것이다.
- <22> 통상, 액정표시소자(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이 경우, 액정셀들을 스위칭하는 소자로서 통상 박막트랜지스터(Thin film Transistor; TFT)가 이용되고 있다.
- <23> 이러한 액정표시소자에 이용되는 박막트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly)실리콘을 이용한다. 아몰퍼스 실리콘형 박막 트랜지스터는 아몰퍼스 실리콘막의 균일성이 비교적 좋아 특성이 안정된 장점을 가지고 있다. 그러나, 아몰퍼스 실리콘형 박막 트랜지스터는 전하 이동도가 낮아 응답 속도가 느리다는 단점을 가지고 있다. 이에 따라, 아몰퍼스 실리콘형 박막 트랜지스터는 빠른 응답 속도를 필요로 하는 고해상도 표시 패널이나 게이트 드라이버 및 데이터 드라이버의 구동 소자로는 적용이 어려운 단점을 가지고 있다.
- <24> 폴리 실리콘형 박막 트랜지스터는 전하 이동도가 높음에 따라 빠른 응답 속도를 필요로 하는 고해상도 표시 패널에 적합할 뿐만 아니라 주변 구동 회로들을 표시 패널에 내장할 수 있는 장점을 가지고 있다. 이에 따라, 폴리 실리콘형 박막 트랜지스터를 이용한 액정 표시 장치가 대두되고 있다.
- <25> 도 1 및 도 2는 종래 폴리 실리콘형 박막트랜지스터를 갖는 액정표시패널을 나타내는 평면도 및 단면도이다.
- <26> 도 1 및 도 2를 참조하면, 종래 폴리 실리콘형 박막트랜지스터를 갖는 액정표시패널은 게이트라인(2)과, 게이트라인(2)과 게이트절연막(12)을 사이에 두고 교차되게 형성되는 데이터라인(4)과, 게이트라인(2) 및 데이터라인(4)의 교차부에 위치하는 TFT(30)와, 게이트라인(2) 및 데이터라인(4)의 교차로 정의된 화소영역에 형성되는 화소전극(22)을 구비한다.
- <27> 게이트라인(2)은 박막트랜지스터(30)의 게이트전극(6)에 게이트신호를 공급한다.
- <28> 데이터라인(4)은 박막트랜지스터(30)의 드레인전극(10)을 통해 화소전극(22)에 화소신호를 공급한다.
- <29> TFT(30)는 게이트라인(2)과 접속되는 게이트전극(6)과, 데이터라인(4)과 접속되는 소스전극(8)과, 화소전극(22)과 보호막(18)을 관통하는 접촉홀(20)을 통해 접속되는 드레인전극(10)을 구비한다.
- <30> 게이트전극(6)은 버퍼막(16) 상에 형성되어 게이트절연막을 사이에 두고 액티브층의 채널영역(14C)과 중첩된다. 소스전극(8)은 게이트전극(6)과 게이트절연막(12)을 사이에 두고 절연되게 형성되어 액티브층의 소스영역(14S)과 직접 접촉된다. 드레인전극(10)은 게이트전극(6)과 게이트절연막(12)을 사이에 두고 절연되게 형성되어 액티브층의 드레인영역(14D)과 직접 접촉된다. 여기서, 액티브층(14)에는 TFT(30)의 채널에 따라 주입되는 이온이 달라진다. 즉, TFT(30)가 N 채널인 경우에는 n+ 및 n- 이온 중 적어도 어느 하나가 액티브층에 주입된다. n-이온이 주입된 액티브층은 엘디디영역이 되어 상대적으로 높은 오프전류를 감소시키며, n+이온이 주입된 액티브층은 소스영역 및 드레인영역이 되며, n-,n+이온이 주입되지 않은 액티브층은 채널영역이 된다. TFT가 P 채널인 경우에는 p+이온이 액티브층에 주입된다. p+이온이 주입된 액티브층은 소스영역 및 드레인영역이 되며, p+이온이 주입되지 않은 액티브층은 채널영역이 된다.
- <31> 이러한 TFT(30)는 게이트 라인(2)으로부터의 스캔 펄스에 응답하여 데이터 라인(4)으로부터의 비디오 신호, 즉 화소 신호를 액정셀에 충전되게 한다. 이에 따라, 액정셀은 충전된 화소 신호에 따라 광투과율을 조절하게 된다.
- <32> 화소 전극(22)은 보호막(18)을 관통하는 접촉홀(20)을 통해 TFT(30)의 드레인 전극(10)과 접속되어 화소 영역에 형성된다.

- <33> 이에 따라, TFT(30)를 통해 화소 신호가 공급된 화소 전극(22)과 공통 전극(도시하지 않음) 사이에는 전계가 형성된다. 이러한 전계에 의해 액정분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.
- <34> 도 3a 내지 도 3f는 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치의 제조방법을 나타내는 단면도이다.
- <35> 먼저, 하부기판(1) 상에 SiO₂ 등의 절연물질로 전면 증착됨으로써 도 3a에 도시된 바와 같이 버퍼막(16)이 형성된다. 버퍼막(16)이 형성된 하부기판(1) 상에 게이트금속층이 전면 증착된 후 노광 및 현상공정을 포함하는 포토리쓰그래피공정과 식각공정에 의해 게이트금속층이 패터닝됨으로써 게이트전극(6)이 형성된다. 여기서, 게이트금속층은 알루미늄(Al), 알루미늄/네오듐(Al/Nd) 등을 포함하는 알루미늄계 금속이 이용된다.
- <36> 게이트전극(6)이 형성된 하부기판(1) 상에 SiO₂의 절연물질이 전면 증착됨으로써 도 3b에 도시된 바와 같이 게이트절연막(12)이 형성된다. 게이트절연막(12)이 형성된 하부기판(1) 상에 아몰퍼스 실리콘막이 증착된다. 증착된 아몰퍼스 실리콘막에 혼입된 수소는 대략 400℃의 온도로 비정질 실리콘층을 가열하는 탈수소공정을 통해 제거된다. 탈수소 공정 후, 비정질 실리콘층은 레이저 어닐링으로 결정화됨으로써 폴리 실리콘층으로 전환된다. 그 폴리 실리콘막이 노광 및 현상공정을 포함하는 포토리쓰그래피공정과 식각공정에 의해 패터닝되어 액티브층(14)이 형성된다.
- <37> 액티브층(14)이 형성된 하부기판(1) 상에 포토레지스트가 전면 증착된 후 노광 및 현상공정을 포함하는 포토리쓰그래피공정에 의해 포토레지스트가 패터닝됨으로써 포토레지스트패턴이 형성된다. 이 포토레지스트패턴을 마스크로 이용하여 액티브층의 채널영역(14C)을 제외한 영역에 소정 불순물 이온이 주입됨으로써 도 3c에 도시된 바와 같이 액티브층의 소스영역(14S) 및 드레인영역(14D)이 형성된다.
- <38> 여기서, N형 TFT인 경우에는 포토레지스트패턴을 마스크로 액티브층에 n⁺이온이 주입되고, 포토레지스트패턴보다 폭이 좁은 포토레지스트패턴을 마스크로 액티브층에 n⁻이온이 주입된다. 이에 따라, N형 TFT의 액티브층에서 n⁺, n⁻이온이 주입되지 않은 영역은 채널영역이 되며, n⁻이온이 주입된 영역은 LDD영역이 되며, n⁺이온이 주입된 영역은 소스영역 및 드레인영역이 된다.
- <39> P형 TFT인 경우에는 포토레지스트패턴을 마스크로 액티브층에 p⁺이온이 주입된다. 이에 따라, P형 TFT의 액티브층에서 p⁺이온이 주입되지 않은 영역은 채널영역이 되며, p⁺이온이 주입된 영역은 소스영역 및 드레인영역이 된다.
- <40> 채널영역(14C), 소스영역(14S) 및 드레인영역(14D)을 갖는 액티브층이 형성된 하부기판(1) 상에 데이터금속층이 전면 증착된 후 노광 및 현상공정을 포함하는 포토리쓰그래피공정과 식각공정에 의해 데이터금속층이 패터닝됨으로써 도 3d에 도시된 바와 같이 데이터라인(4), 소스전극(8) 및 드레인전극(10)이 형성된다.
- <41> 데이터라인(4), 소스전극(8) 및 드레인전극(10)이 형성된 하부기판(1) 상에 절연물질이 전면 증착됨으로써 도 3e에 도시된 바와 같이 보호막(18)이 형성된다. 이 후 노광 및 현상공정을 포함하는 포토리쓰그래피공정과 식각공정에 의해 보호막(18)이 패터닝됨으로써 드레인전극(10)을 노출시키는 접촉홀(20)이 형성된다.
- <42> 보호막(18)이 형성된 하부기판(1) 상에 투명전도성물질이 전면 증착된 후 노광 및 현상공정을 포함하는 포토리쓰그래피공정과 식각공정에 의해 투명전도성물질이 패터닝됨으로써 도 3f에 도시된 바와 같이 화소전극(22)이 형성된다. 화소전극(22)은 접촉홀(20)을 통해 드레인전극(10)과 전기적으로 접속된다.
- <43> 이와 같이, 종래 폴리실리콘형 박막트랜지스터를 제조방법은 6마스크 공정을 채용함으로써 제조 공정이 복잡하여 원가 절감에 한계가 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리쓰그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 제조 공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 방안이 요구된다.
- <44> 또한, 종래 아몰퍼스 실리콘막을 폴리실리콘막으로 결정화하기 위해서는 레이저 열처리방법이 주로 이용된다. 이 레이저 열처리방법은 아몰퍼스 실리콘막이 증착된 기판에 레이저빔을 조사하여 폴리 실리콘막을 형성하는 방법으로, 아몰퍼스 실리콘막이 증착된 기판에 약 수십 내지 수백 ns의 레이저 에너지를 공급하여 아몰퍼스 실리콘막을 용융상태로 만든 후 냉각함으로써 폴리 실리콘을 형성한다. 이러한 레이저 열처리에 의한 결정화방법은 400℃이하의 저온에서 결정화가 가능한 장점이 있으나 결정화가 불균일하고 고가의 레이저 조사장치를 이용해야 하므로 생산성이 낮은 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<45> 따라서, 본 발명의 목적은 액티브층의 결정화 효율을 향상시키고 아울러 제조공정수를 단순화할 수 있는 액정표시패널 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<46> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널의 제조방법은 기판 상에 게이트전극을 형성하는 단계와, 상기 게이트전극이 형성된 기판 상에 게이트절연막을 형성하는 단계와, 상기 게이트절연막 상에 아몰퍼스 실리콘막을 증착하고 상기 아몰퍼스 실리콘막 상에 상기 게이트전극을 이용하여 절연패턴을 형성하는 단계와, 상기 아몰퍼스 실리콘막에 전계를 가한 상태에서 유도금속과 상기 절연패턴을 이용하여 상기 아몰퍼스 실리콘막을 열처리함으로써 상기 아몰퍼스 실리콘막을 폴리실리콘막으로 결정화하고 상기 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계와, 상기 소스 및 드레인영역 각각과 직접 접촉되는 소스 및 드레인전극을 형성하고, 상기 소스 영역 및 드레인 영역이 상기 소스 및 드레인전극을 따라 그 하부에 위치하도록 상기 소스 영역 및 드레인 영역을 패터닝하는 단계를 포함하며, 상기 소스 및 드레인전극을 형성하고, 상기 소스 영역 및 드레인 영역을 패터닝하는 단계는 상기 채널영역, 소스영역 및 드레인영역을 포함하는 폴리실리콘막이 형성된 기판 상에 데이터금속층 및 포토레지스트를 순차적으로 형성하는 단계와, 상기 포토레지스트를 부분 노광한 후 현상하여 단차진 포토레지스트패턴을 형성하는 단계와, 상기 단차진 포토레지스트패턴을 이용하여 상기 데이터금속층과 상기 소스 영역 및 드레인 영역을 식각하는 단계와, 상기 단차진 포토레지스트패턴을 애싱하는 단계와, 상기 애싱된 포토레지스트패턴을 이용하여 상기 데이터금속층을 식각함으로써 상기 채널영역과 중첩되는 절연패턴을 노출시키는 단계를 포함하는 것을 특징으로 한다.

<47> 상기 아몰퍼스 실리콘막을 유도금속과 상기 절연패턴을 이용하여 폴리실리콘막으로 결정화하고 상기 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계는 상기 절연패턴과 아몰퍼스 실리콘막 상에 상기 유도금속을 형성하는 단계와, 상기 유도금속이 형성된 아몰퍼스 실리콘막에 불순물을 주입하는 단계와, 상기 불순물이 주입된 아몰퍼스 실리콘막에 전계를 가한 상태에서 상기 아몰퍼스 실리콘막을 열처리하여 결정화된 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

<48> 상기 아몰퍼스 실리콘막을 유도금속과 상기 절연패턴을 이용하여 폴리실리콘막으로 결정화하고 상기 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계는 상기 아몰퍼스 실리콘막 상에 상기 유도금속을 형성하는 단계와, 상기 유도금속이 형성된 아몰퍼스 실리콘막에 상기 절연패턴을 마스크로 불순물을 주입하는 단계와, 상기 불순물이 주입된 아몰퍼스 실리콘막에 전계를 가한 상태에서 상기 아몰퍼스 실리콘막을 열처리하여 결정화된 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

<49> 상기 유도금속은 Ni를 포함하는 것을 특징으로 한다.

<50> 상기 불순물이 주입된 아몰퍼스 실리콘막에 전계를 가한 상태에서 상기 아몰퍼스 실리콘막을 열처리하여 결정화된 폴리 실리콘막의 소스영역, 드레인영역 및 채널영역을 형성하는 단계는 상기 아몰퍼스 실리콘막에 주입된 상기 불순물을 활성화시키는 단계를 포함하는 것을 특징으로 한다.

<51> 상기 게이트절연막 상에 아몰퍼스 실리콘막을 증착하고 상기 아몰퍼스 실리콘막 상에 상기 게이트전극을 이용하여 절연패턴을 형성하는 단계는 상기 아몰퍼스 실리콘막 상에 절연물질 및 포토레지스트를 순차적으로 형성하는 단계와, 상기 기판 배면에서 상기 포토레지스트쪽으로 광을 조사하여 포토레지스트를 배면노광하는 단계와, 상기 배면노광된 포토레지스트를 현상하여 포토레지스트패턴을 형성하는 단계와, 상기 포토레지스트패턴을 마스크로 상기 절연물질을 식각하는 단계를 포함하는 것을 특징으로 한다.

<52> 삭제

<53> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널은 기판 상에 형성되는 게이트전극과, 상기 게이트 전극과 절연되게 중첩되는 채널영역, 채널영역을 사이에 두고 양측에 위치하는 소스영역 및 드레인영역을 포함하는 액티브패턴과, 상기 액티브패턴 상에 상기 액티브패턴의 채널영역과 중첩되게 형성되는 절연패턴과, 상기

액티브패턴의 소스영역과 직접 접촉하는 소스전극과, 상기 액티브패턴의 드레인영역과 직접 접촉하는 드레인전극을 구비하며, 상기 액티브패턴은 아몰퍼스 실리콘막에 전계를 가한 상태에서 유도금속과 절연 패턴을 이용하여 상기 아몰퍼스 실리콘막을 열처리함으로써 상기 아몰퍼스 실리콘막이 결정화된 폴리실리콘이며, 상기 소스영역 및 드레인 영역은 상기 소스 및 드레인전극 하부에 그들을 따라 형성되는 것을 특징으로 한다.

- <54> 삭제
- <55> 삭제
- <56> 삭제
- <57> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <58> 이하, 도 4 내지 도 13e를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <59> 도 4는 본 발명의 제1 실시 예에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시패널을 나타내는 평면도이며, 도 5는 도 4에서 선 "V-V'"를 따라 절취한 액정표시패널을 나타내는 단면도이다.
- <60> 도 4 및 도 5를 참조하면, 본 발명에 따른 액정표시패널은 게이트라인(102)과, 게이트라인(102)과 게이트절연막(112)을 사이에 두고 교차되게 형성되는 데이터라인(104)과, 게이트라인(102) 및 데이터라인(104)의 교차부에 위치하는 TFT(130)와, 게이트라인(102) 및 데이터라인(104)의 교차로 정의된 화소영역에 형성되는 화소전극(122)을 구비한다.
- <61> 게이트라인(102)은 박막트랜지스터(130)의 게이트전극(106)에 게이트신호를 공급한다.
- <62> 데이터라인(104)은 박막트랜지스터(130)의 드레인전극(110)을 통해 화소전극(122)에 화소신호를 공급한다.
- <63> TFT(130)는 게이트라인(102)과 접속되는 게이트전극(106)과, 데이터라인(104)과 접속되는 소스전극(108)과, 화소전극(122)과 보호막(118)을 관통하는 접촉홀(120)을 통해 접속되는 드레인전극(110)을 구비한다.
- <64> 게이트전극(106)은 게이트절연막(112)을 사이에 두고 액티브층의 채널영역(114C)과 중첩되게 형성된다.
- <65> 소스전극(108)은 액티브층의 소스영역(114S)과 직접 접촉되며, 드레인전극(110)은 액티브층의 드레인영역(114D)과 직접 접촉된다.
- <66> 소스전극(108) 및 드레인전극(110) 사이에는 액티브층의 채널영역(114C)과 중첩되는 절연패턴(128)이 형성된다. 이 절연패턴(128)은 액티브층의 채널영역(114C)의 과식각을 방지하는 역할을 하게 된다.
- <67> 액티브층(114)은 금속촉매를 이용하여 결정화하는 FEMIC(Field Enhanced Metal Induced Crystallization) 방법에 의해 아몰퍼스 실리콘막이 폴리실리콘막으로 결정화되어 형성된다. 이러한 액티브층(114)은 TFT(130)의 채널에 따라 주입되는 이온이 달라진다. 즉, TFT(130)가 N 채널인 경우에는 n+ 및 n- 이온 중 적어도 어느 하나가 액티브층에 주입된다. n-이온이 주입된 액티브층은 엘디디영역이 되어 상대적으로 높은 오프전류를 감소시키며, n+이온이 주입된 액티브층은 소스영역 및 드레인영역이 되며, n-,n+이온이 주입되지 않은 액티브층은 채널영역이 된다. TFT가 P 채널인 경우에는 p+이온이 액티브층에 주입된다. p+이온이 주입된 액티브층은 소스영역 및 드레인영역이 되며, p+이온이 주입되지 않은 액티브층은 채널영역이 된다.
- <68> 이러한 TFT(130)는 게이트 라인(102)으로부터의 스캔 펄스에 응답하여 데이터 라인(104)으로부터의 비디오 신호, 즉 화소 신호를 액정셀에 충전되게 한다. 이에 따라, 액정셀은 충전된 화소 신호에 따라 광투과율을 조절하게 된다.
- <69> 화소 전극(122)은 보호막(118)을 관통하는 접촉홀(120)을 통해 TFT(130)의 드레인 전극(110)과 접속되어 화소영역에 형성된다.
- <70> 이에 따라, TFT(130)를 통해 화소 신호가 공급된 화소 전극(122)과 공통 전극(도시하지 않음) 사이에는 전계가 형성된다. 이러한 전계에 의해 액정분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에

따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.

- <71> 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시패널은 아몰퍼스실리콘막을 FEMIC방법에 의해 폴리 실리콘막으로 형성함으로써 고가의 레이저장비가 불필요해져 생산성이 향상된다.
- <72> 도 6은 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시패널의 제1 마스크공정을 상세히 설명하기 위한 평면도 및 단면도이다.
- <73> 도 6을 참조하면, 하부기판(101) 상에 제1 마스크공정으로 게이트전극(106) 및 게이트라인(102)이 형성된다.
- <74> 이를 상세히 설명하면, 하부기판(101) 상에 게이트금속층이 스퍼터링 등의 증착방법을 통해 전면 증착된다. 여기서, 게이트금속층은 알루미늄계금속이 이용된다. 이 게이트금속층이 제1 마스크를 이용한 포토리쓰그래피공정과 식각공정에 의해 패터닝됨으로써 게이트전극(106) 및 게이트라인(102)이 형성된다. 여기서, 게이트전극(106) 및 게이트라인(102)을 포함하는 게이트패턴과 하부기판(101) 사이에 버퍼층이 형성될 수도 있다.
- <75> 도 7은 본 발명에 따른 폴리실리콘형 박막트랜지스터를 갖는 액정표시패널에서 절연패턴과 폴리실리콘막 형성공정을 상세히 설명하기 위한 평면도 및 단면도이다.
- <76> 도 7을 참조하면, 게이트전극(106)이 형성된 하부기판(101) 상에 게이트절연막(112) 및 폴리실리콘막(114)이 순차적으로 형성되고, 폴리실리콘막(114) 상에 게이트전극(106)과 중첩되는 절연패턴(128)이 형성된다.
- <77> 이에 대한 상세한 설명을 도 8a 내지 도 8e를 결부하여 설명하기로 한다.
- <78> 먼저, 게이트패턴이 형성된 하부기판(101) 상에 SiO₂ 등의 게이트절연막(112)과 아몰퍼스 실리콘막(124)이 PECVD 등의 증착방법을 통해 순차적으로 형성된다. 아몰퍼스 실리콘막(124)이 형성된 하부기판(101) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x) 등을 포함하는 절연물질이 PECVD 등의 증착방법을 통해 증착된다. 이후, 게이트전극(106)을 마스크로 이용하여 하부기판(101)에서 게이트전극(106)쪽으로 UV를 조사하는 노광공정과 현상공정에 의해 형성되는 포토레지스트패턴을 마스크로 절연물질이 식각됨으로써 도 8a에 도시된 바와 같이 절연패턴(128)이 형성된다. 이 절연패턴(128)은 게이트전극(106)과 중첩되게 형성된다.
- <79> 이러한 절연패턴(128)을 마스크로 아몰퍼스 실리콘막(124)을 결정화하기 위한 유도금속(140), 예를 들어 니켈(Ni)이 스퍼터링 또는 PECVD등의 증착방법을 통해 도 8b에 도시된 바와 같이 아몰퍼스 실리콘막(124)에 증착된다. 이 때, 절연패턴(128)과 중첩되는 아몰퍼스 실리콘막(124) 상에는 유도금속(140)이 형성되지 않는다.
- <80> 유도금속(140)이 증착된 아몰퍼스 실리콘막(124)에는 도 8c에 도시된 바와 같이 TFT(130)의 채널에 대응되는 불순물이 주입된다. 예를 들어, N형 TFT인 경우에는 절연패턴(128)을 마스크로 게이트전극(106)과 비중첩되는 아몰퍼스 실리콘막(124)에 n⁺이온이 주입되고, P형 TFT인 경우에는 절연패턴(128)을 마스크로 게이트전극(106)과 비중첩되는 아몰퍼스 실리콘막(124)에 p⁺이온이 주입된다.
- <81> 불순물 이온이 주입되고 유도금속(140)이 증착된 아몰퍼스 실리콘막(124)에 소정 전계를 인가한 상태에서 소정 온도로 아몰퍼스 실리콘막(124)을 도 8d에 도시된 바와 같이 열처리하게 된다. 이 열처리공정을 통해 유도금속(140)이 인가된 아몰퍼스 실리콘막(124a)에서는 금속 유도 결정화(Metal Induced Crystallization; MIC)에 의해 결정화가 이루어지고, 유도금속(140)이 인가되지 않은 아몰퍼스 실리콘막(124b)에서는 유도금속(140)과 아몰퍼스 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속하여 전파되면서 아몰퍼스 실리콘의 결정화를 유도하는 금속 유도 측면 결정화(Metal Induced Lateral Crystallization; MILC)에 의해 결정화가 이루어진다. 또한, 열처리공정은 아몰퍼스 실리콘막(124)에 주입된 이온을 활성화시키는 어닐링공정과 유사하기 때문에 결정화공정과 이온의 활성화공정을 한번의 열처리공정으로 진행할 수 있다.
- <82> 이에 따라, 아몰퍼스 실리콘막(124)은 도 8e에 도시된 바와 같이 FEMIC에 의해 폴리실리콘막으로 결정화되고, 폴리실리콘막에 주입된 이온으로 인해 폴리실리콘막은 소스영역(114S), 채널영역(114C) 및 드레인영역(114D)으로 구분된 액티브층(114)으로 형성된다. 채널영역(114C)은 게이트전극(106)과 중첩되는 영역이며, 소스영역(114S) 및 드레인영역(114D)은 채널영역(114C)을 제외한 영역이다.
- <83> 이와 같이, 열처리공정을 통해 액티브층의 소스영역(114S) 및 드레인영역(114D)은 이들 영역에 직접 인가된 유도금속에 의해 MIC에 의해 결정화가 이루어지고 채널영역(114C)은 소스영역(114S) 및 드레인영역(114D)으로부터 양쪽에서 진행되는 MILC에 의해 결정화가 이루어진다.
- <84> 도 9는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시패널의 제2 마스크공정을 상세히 설명하

기 위한 평면도 및 단면도이다.

- <85> 도 9를 참조하면, 하부기판(101) 상에 제2 마스크공정을 이용하여 데이터라인(104), TFT의 소스 및 드레인전극(108, 110)을 포함하는 데이터패턴과, 데이터패턴을 따라 소스영역(114S) 및 드레인영역(114D)이 한정된 액티브층(114)이 형성된다. 이러한 제3 마스크공정을 도 10a 내지 도 10d를 참조하여 상세히 설명하면 다음과 같다.
- <86> 도 10a에 도시된 바와 같이 액티브층(114) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 데이터금속층(109)이 형성된다. 여기서, 데이터금속층(109)은 크롬(Cr), 구리(Cu) 또는 몰리브덴(Mo) 등이 이용된다.
- <87> 그런 다음, 데이터금속층(109) 상에 포토레지스트(158)가 형성된 다음 제2 마스크(150)가 하부기판(101) 상부에 정렬된다. 제2 마스크(150)는 투명한 재질이며 노출된 영역이 노광영역(S2)인 마스크 기판(152)과, 마스크 기판(152)의 차단 영역(S1)에 형성된 차단부(154)와, 마스크 기판(152)의 부분 노광 영역(S3)에 형성된 회절 노광부(156)(또는 반투과부)를 구비한다. 이러한 제2 마스크(150)를 이용한 포토레지스트(158)를 노광한 후 현상함으로써 도 10b에 도시된 바와 같이 제2 마스크(150)의 차단부(154)와 회절 노광부(156)에 대응하여 차단 영역(S1)과 부분 노광 영역(S3)에서 단차를 갖는 포토레지스트 패턴(160)이 형성된다. 즉, 부분 노광 영역(S3)에 형성된 포토레지스트 패턴(160)은 차단 영역(S1)에서 형성된 제1 높이를 갖는 포토레지스트 패턴(160)보다 낮은 제2 높이를 갖게 된다.
- <88> 이러한 포토레지스트 패턴(160)을 마스크로 이용한 습식 식각 공정으로 데이터금속층이 패터닝됨으로써 TFT에 일체화된 소스 및 드레인전극(108, 110)을 포함하는 데이터패턴이 형성된다.
- <89> 그리고, 포토레지스트 패턴(160)을 마스크로 이용한 건식 식각 공정으로 폴리실리콘막이 패터닝됨으로써 데이터패턴을 따라 액티브층의 소스영역(114S)과 드레인영역(114D)이 한정된다. 이어서, 산소(O₂) 플라즈마를 이용한 애싱(Ashing) 공정으로 부분 노광 영역(S3)에 제2 높이를 갖는 포토레지스트 패턴(160)은 도 10c에 도시된 바와 같이 제거되고, 차단 영역(S1)에 제1 높이를 갖는 포토레지스트 패턴(160)은 높이가 낮아진 상태가 된다. 이러한 포토레지스트 패턴(160)을 이용한 식각 공정으로 부분 노광 영역(S3), 즉 TFT의 채널영역(114C)과 중첩되는 데이터금속층은 제거된다. 이에 따라, 일체화된 소스 및 드레인전극(108, 110)은 서로 분리되어 액티브층의 채널영역(114C)과 중첩되는 절연패턴(128)이 노출된다. 그런 다음, 도 10d에 도시된 바와 같이 데이터패턴 상에 남아 있는 포토레지스트 패턴(160)은 스트립 공정으로 제거된다.
- <90> 도 11은 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시패널의 제3 마스크공정을 상세히 설명하기 위한 평면도 및 단면도이다.
- <91> 도 11을 참조하면, 소스전극(108) 및 드레인전극(110)이 형성된 하부기판(101) 상에 제3 마스크공정을 이용하여 접촉홀(120)을 갖는 보호막(118)이 형성된다.
- <92> 이를 상세히 설명하면, 소스전극(108) 및 드레인전극(110)이 형성된 하부기판(101) 상에 PECVD 또는 스퍼터링 등의 증착방법을 통해 절연물질이 전면 증착됨으로써 보호막(118)이 형성된다. 여기서, 보호막(118)은 SiO₂, SiN_x를 포함하는 무기절연물질 또는 유기절연물질 등이 이용된다. 보호막(118)이 형성된 하부기판(101) 상에 포토레지스트가 증착된다. 이 후 제3 마스크를 이용한 포토리소그래피공정에 의해 포토레지스트가 패터닝되어 포토레지스트패턴이 형성된다. 이 포토레지스트패턴을 마스크로 이용한 식각공정에 의해 보호막(118)이 패터닝됨으로써 드레인전극(110)을 노출시키는 접촉홀(120)이 형성된다.
- <93> 도 12는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시패널의 제4 마스크공정을 상세히 설명하기 위한 평면도 및 단면도이다.
- <94> 도 12를 참조하면, 보호막(118)이 형성된 하부기판(101) 상에 제4 마스크공정을 이용하여 화상표시부에 위치하는 화소전극(122)이 형성된다.
- <95> 이를 상세히 설명하면, 보호막(118)이 형성된 하부기판(101) 상에 스퍼터링 등의 증착방법을 통해 투명전도성물질과 포토레지스트가 순차적으로 증착된다. 여기서, 투명전도성물질은 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide) 및 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide) 중 어느 하나가 이용된다. 이 후, 마스크를 이용한 포토리소그래피공정에 의해 포토레지스트가 패터닝되어 포토레지스트패턴이 형성된다. 이 포토레지스트패턴을 마스크로 이용한 식각공정에 의해 투명금속층이 패터닝됨으로써 화소전극(122)이 형성된다. 화소전극(122)은 접촉홀(120)을 통해 화상표시부에 위치하는 N형 TFT의 드레인전극(110)과 접촉된다.

- <96> 도 13a 내지 도 13e는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 갖는 액정표시패널의 다른 제조방법을 나타내는 단면도이다.
- <97> 본 발명에 따른 폴리실리콘형 박막트랜지스터를 갖는 액정표시패널의 다른 제조방법은 도 6에 도시된 제1 마스크공정으로 게이트패턴을 형성하고, 도 13a 내지 도 13e에 도시된 제2 마스크공정으로 절연패턴을 형성하고, 도 9에 도시된 제3 마스크공정으로 데이터패턴과, 데이터패턴을 따라 영역이 한정되는 액티브층을 형성하고, 도 11에 도시된 제4 마스크공정으로 접촉홀을 갖는 보호막을 형성하고, 도 12에 도시된 제5 마스크공정으로 화소전극을 형성하게 된다.
- <98> 한편, 제2 마스크공정을 도 13a 내지 도 13e를 결부하여 설명하기로 한다.
- <99> 먼저, 게이트전극(106)이 형성된 하부기관(101) 상에 SiO₂ 등의 게이트절연막(112)과 아몰퍼스 실리콘막(124)이 PECVD 등의 증착방법을 통해 순차적으로 형성된다. 이 후, 아몰퍼스 실리콘막(124) 상에는 도 13a에 도시된 바와 같이 아몰퍼스 실리콘막(124)을 결정화하기 위한 유도금속(140), 예를 들어 니켈(Ni)이 스퍼터링 또는 PECVD 등의 증착방법을 통해 형성된다.
- <100> 유도금속(140)이 형성된 하부기관(101) 상에 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등을 포함하는 절연물질이 PECVD 등의 증착방법을 통해 증착된다. 이 절연물질은 제2 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 도 13b에 도시된 바와 같이 게이트전극(106)과 중첩되는 절연패턴(128)이 형성된다.
- <101> 이 절연패턴(128)이 형성된 아몰퍼스 실리콘막(124)에는 도 13c에 도시된 바와 같이 TFT(130)의 채널에 대응되는 불순물이 주입된다. 예를 들어, N형 TFT인 경우에는 절연패턴(128)을 마스크로 게이트전극(106)과 비중첩되는 아몰퍼스 실리콘막(124)에 n⁺이온이 주입된다. P형 TFT인 경우에는 절연패턴(128)을 마스크로 게이트전극(106)과 비중첩되는 아몰퍼스 실리콘막(114)에 p⁺이온이 주입된다.
- <102> 불순물 이온이 주입되고 유도금속(140)이 증착된 아몰퍼스 실리콘막(124)에 소정 전계를 인가한 상태에서 소정 온도로 아몰퍼스 실리콘막(124)을 도 13d에 도시된 바와 같이 열처리하게 된다. 이 열처리공정을 통해 유도금속(140)이 인가된 아몰퍼스 실리콘막(124)에서는 금속 유도 결정화(Metal Induced Crystallization; MIC)에 의해 결정화가 이루어진다. 또한, 열처리공정은 아몰퍼스 실리콘막(124)에 주입된 이온을 활성화시키는 어닐링공정과 유사하기 때문에 결정화공정과 이온의 활성화공정을 한번의 열처리공정으로 진행할 수 있다. 뿐만 아니라, 게이트전극(106)과 중첩되는 결정화된 액티브층 영역 내의 유도금속(140)은 열처리공정을 통해 확산되어 불순물 이온과 인접한 기관(101)의 배면으로 모이게 된다. 이러한 게터링 효과에 의해 게이트전극(106)과 중첩되는 영역 내에 유도금속이 잔류하지 않으므로 누설전류발생을 방지할 수 있다.
- <103> 이에 따라, 아몰퍼스 실리콘막은 도 13e에 도시된 바와 같이 FEMIC에 의해 폴리실리콘막으로 결정화되고 폴리실리콘막에 주입된 이온으로 인해 폴리실리콘막은 소스영역(114S), 채널영역(114C) 및 드레인영역(114D)으로 구분된다.
- <104> 이와 같이, 열처리공정을 통해 액티브층의 소스영역(114S) 및 드레인영역(114D)은 이들 영역에 직접 인가된 유도금속에 의해 FEMIC에 의해 결정화가 이루어진다.

발명의 효과

- <105> 상술한 바와 같이, 본 발명에 따른 액정표시패널 및 그 제조방법은 게이트전극을 마스크로 이용한 배면노광공정에 의해 이온주입공정과 결정화공정이 이루어지므로 4 마스크공정으로 액정표시패널을 형성할 수 있다. 이에 따라, 공정이 단순해지며 비용이 절감된다. 또한, 결정화공정이 FEMIC 방법으로 이루어지므로 고가의 레이저장비가 불필요하므로 생산성이 향상된다.
- <106> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 종래의 폴리 실리콘형 박막트랜지스터를 갖는 액정표시패널을 나타내는 평면도이다.

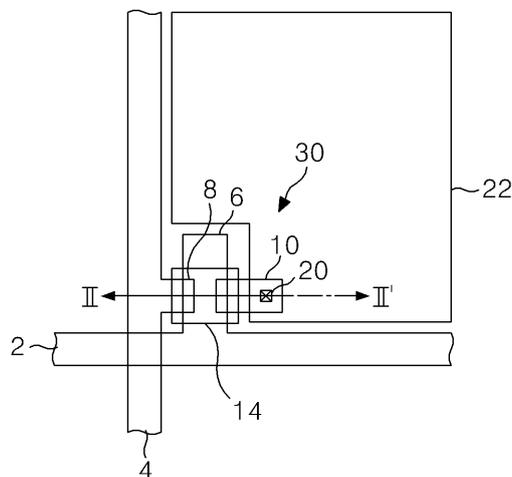
- <2> 도 2는 도 1에서 선"II-II'"를 따라 절취한 액정표시패널을 나타내는 단면도이다.
- <3> 도 3a 내지 도 3f는 도 2에 도시된 액정표시패널의 제조방법을 나타내는 단면도이다.
- <4> 도 4는 본 발명에 따른 폴리 실리콘형 박막트랜지스터를 갖는 액정표시패널을 나타내는 평면도이다.
- <5> 도 5는 도 4에서 선"V-V'"를 따라 절취한 액정표시패널을 나타내는 단면도이다.
- <6> 도 6은 본 발명에 따른 제1 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- <7> 도 7은 본 발명에 따른 절연패턴과 액티브층을 형성하는 공정을 설명하기 위한 평면도 및 단면도이다.
- <8> 도 8a 내지 도 8e는 도 7에 도시된 절연패턴과 액티브층을 형성하는 공정을 상세히 설명하기 위한 단면도이다.
- <9> 도 9는 본 발명에 따른 제2 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- <10> 도 10a 내지 도 10d는 도 9에 도시된 제2 마스크공정을 상세히 설명하기 위한 단면도이다.
- <11> 도 11은 본 발명에 따른 제3 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- <12> 도 12는 본 발명에 따른 제4 마스크공정을 설명하기 위한 평면도 및 단면도이다.
- <13> 도 13a 내지 도 13e는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 갖는 액정표시패널의 다른 제조공정을 나타내는 단면도이다.

<14> < 도면의 주요부분에 대한 설명>

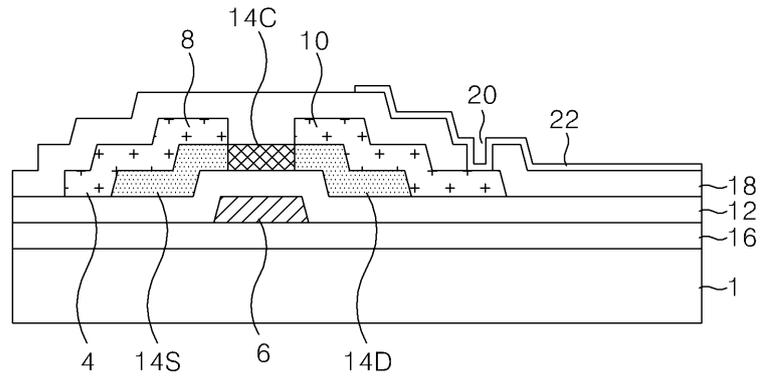
- | | |
|---------------------|-----------------|
| <15> 2,102 : 게이트라인 | 4,104 : 데이터라인 |
| <16> 6,106 : 게이트전극 | 8,108 : 소스전극 |
| <17> 10,110 : 드레인전극 | 12,112 : 게이트절연막 |
| <18> 14,114 : 액티브층 | 16,116 : 버퍼층 |
| <19> 18,118 : 보호막 | 20,120 : 접촉홀 |
| <20> 22,122 : 화소전극 | |

도면

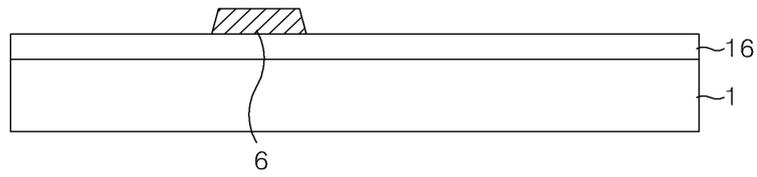
도면1



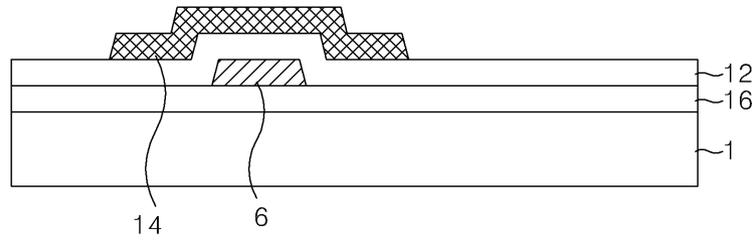
도면2



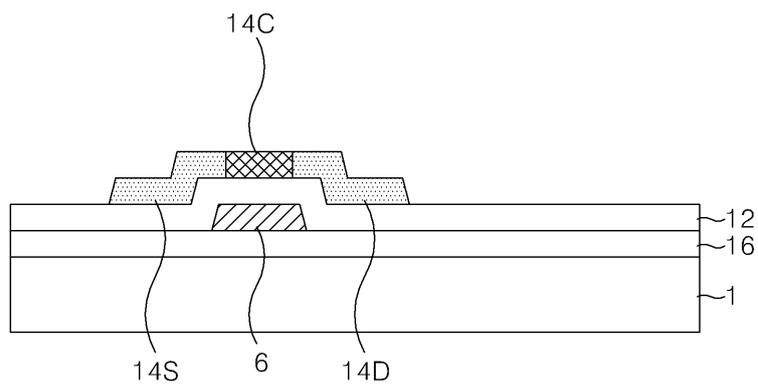
도면3a



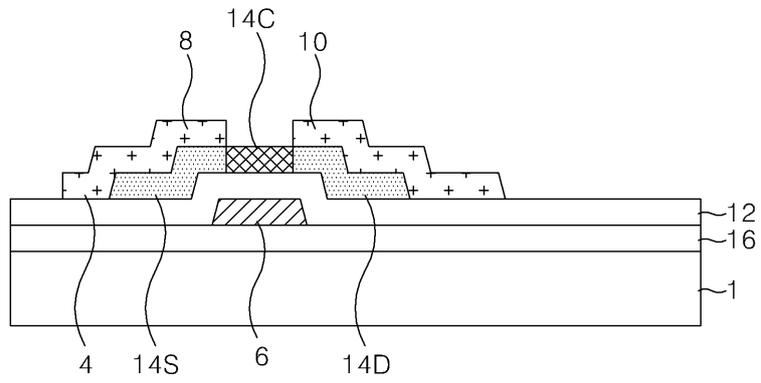
도면3b



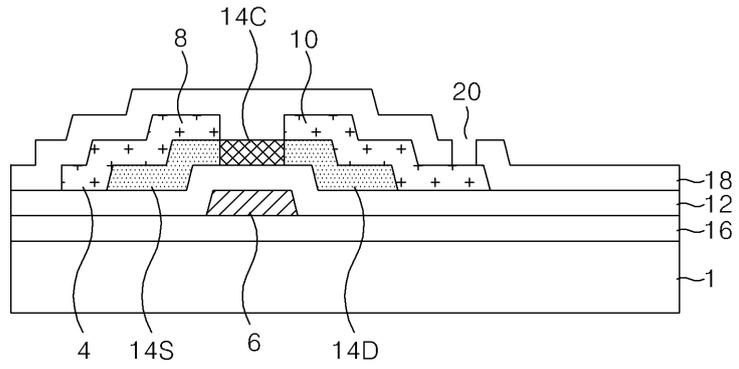
도면3c



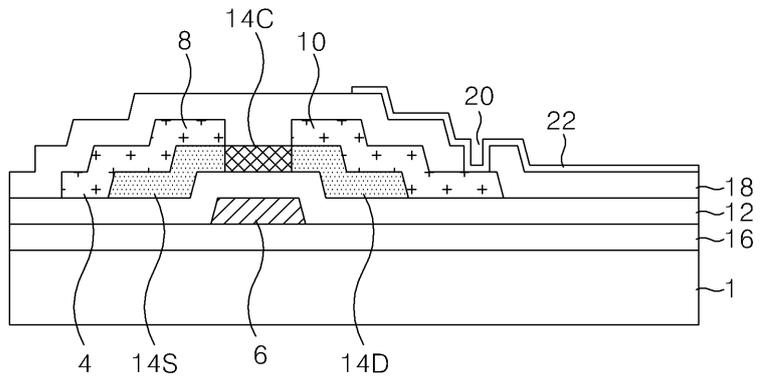
도면3d



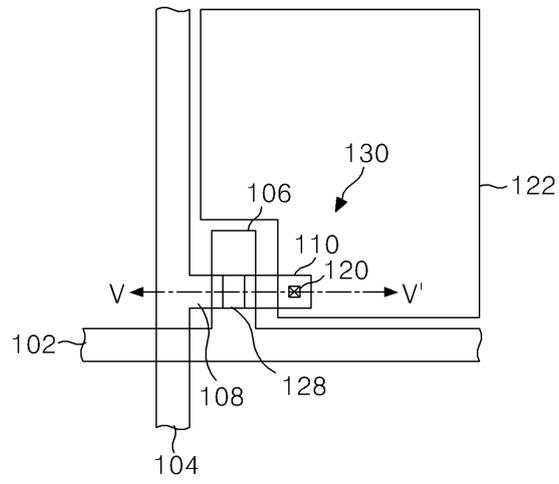
도면3e



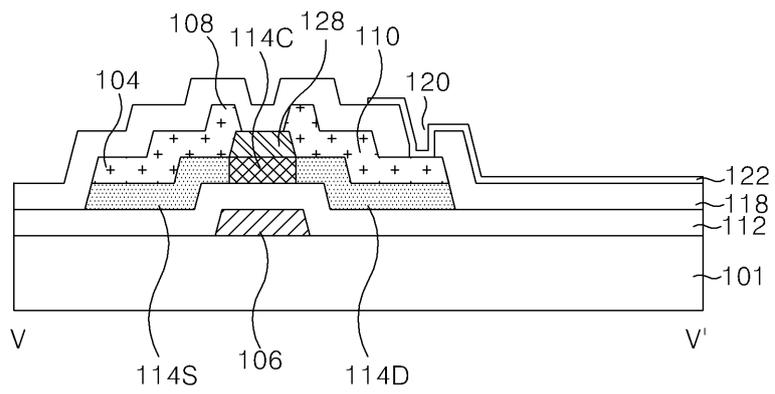
도면3f



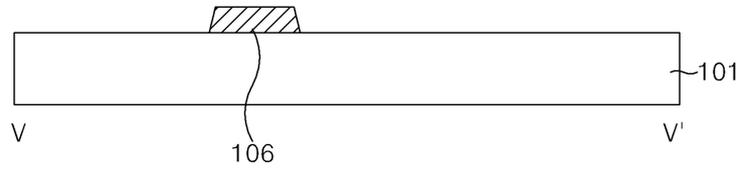
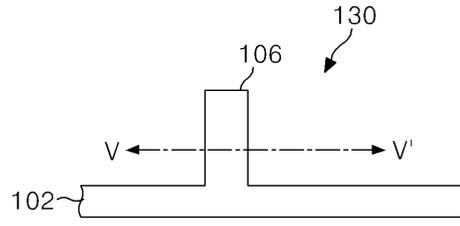
도면4



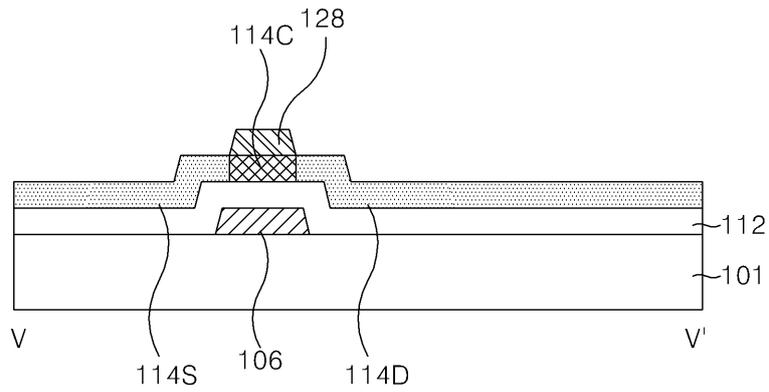
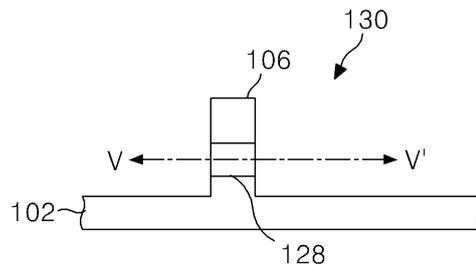
도면5



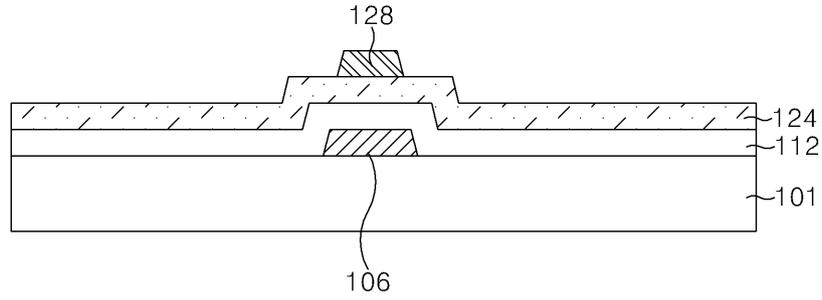
도면6



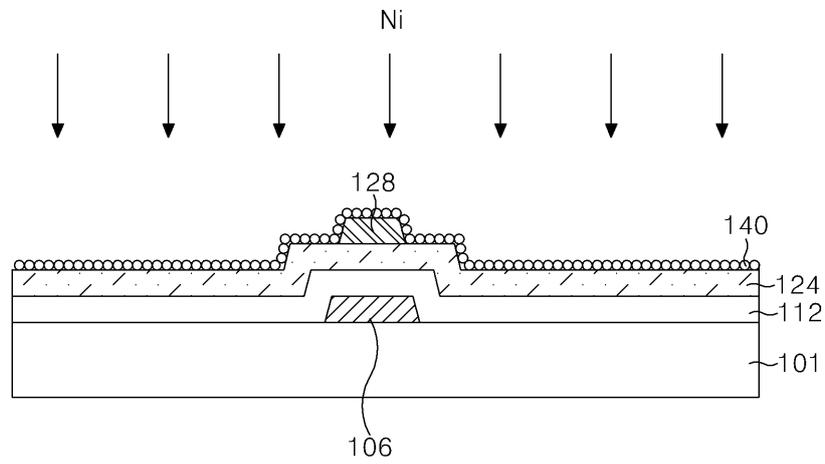
도면7



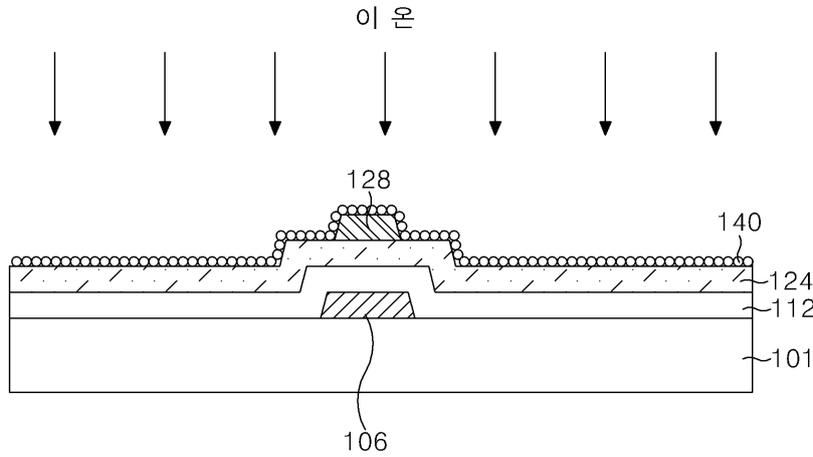
도면8a



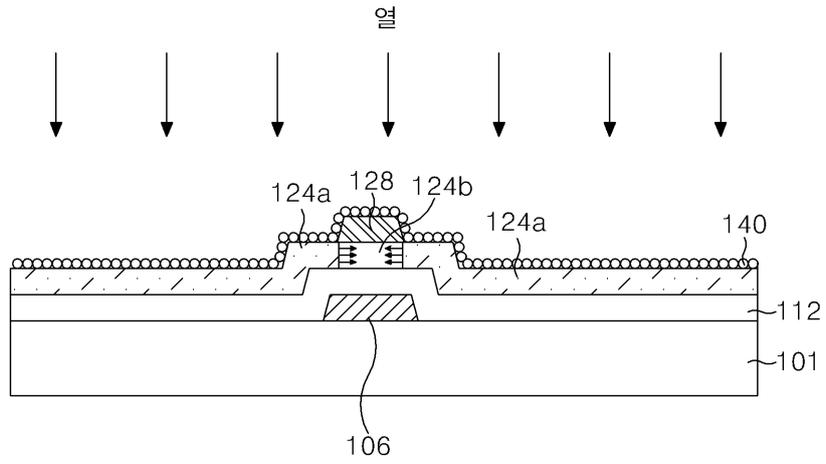
도면8b



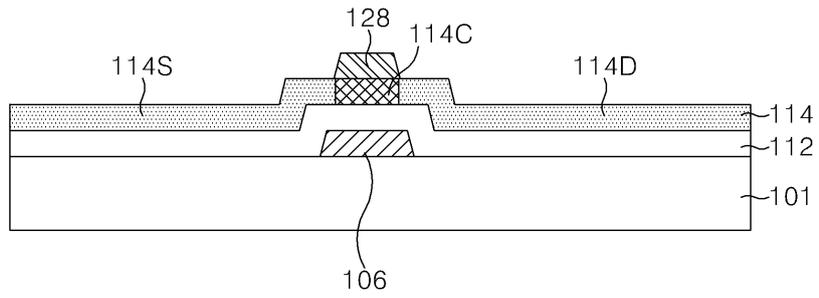
도면8c



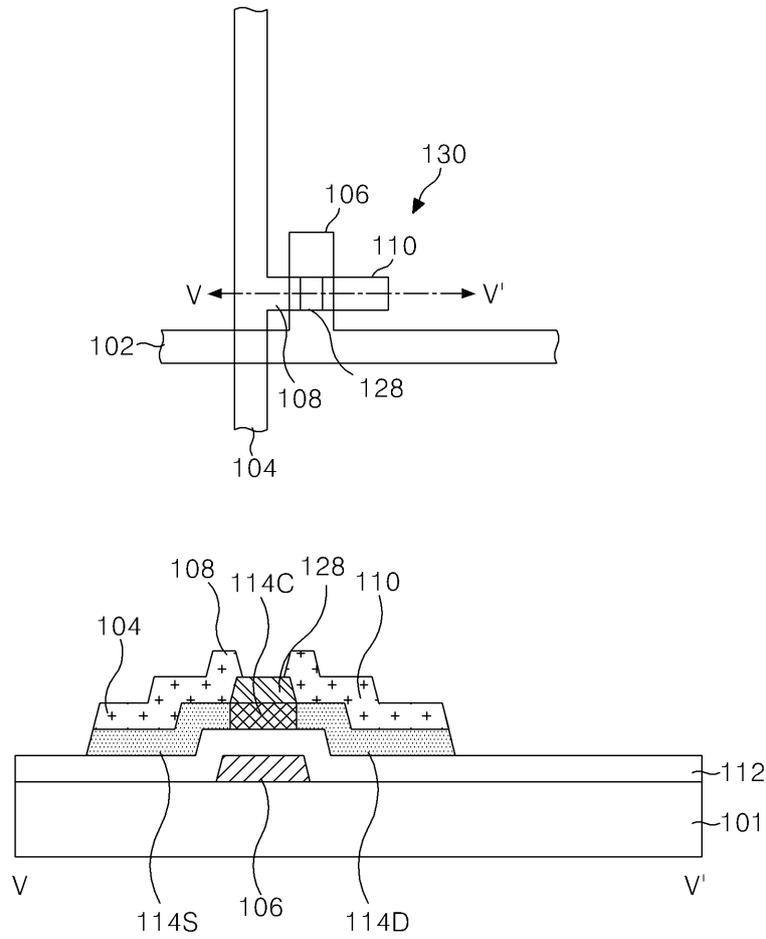
도면8d



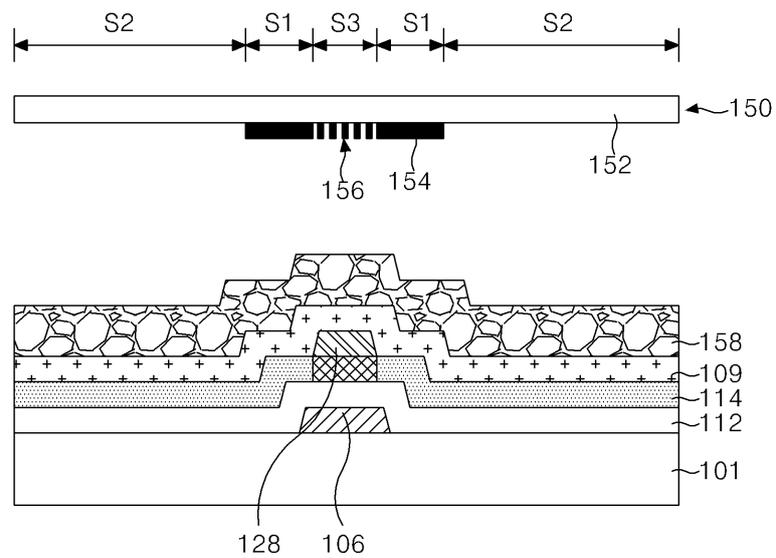
도면8e



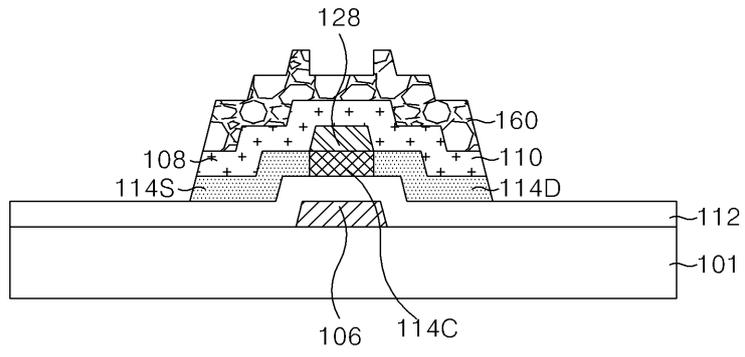
도면9



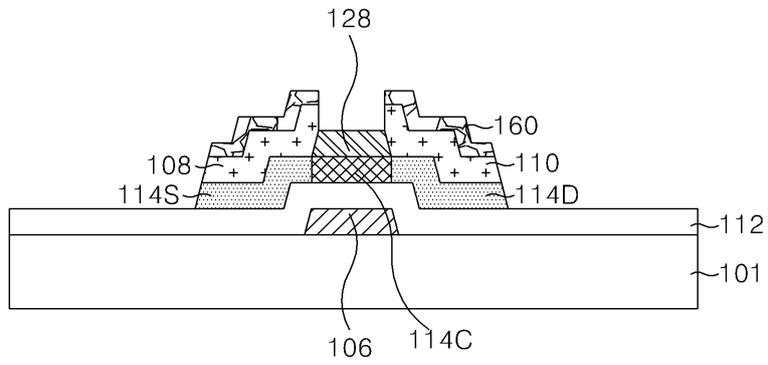
도면10a



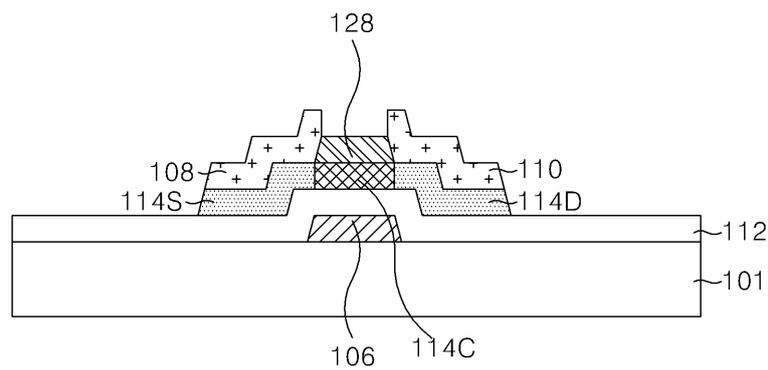
도면10b



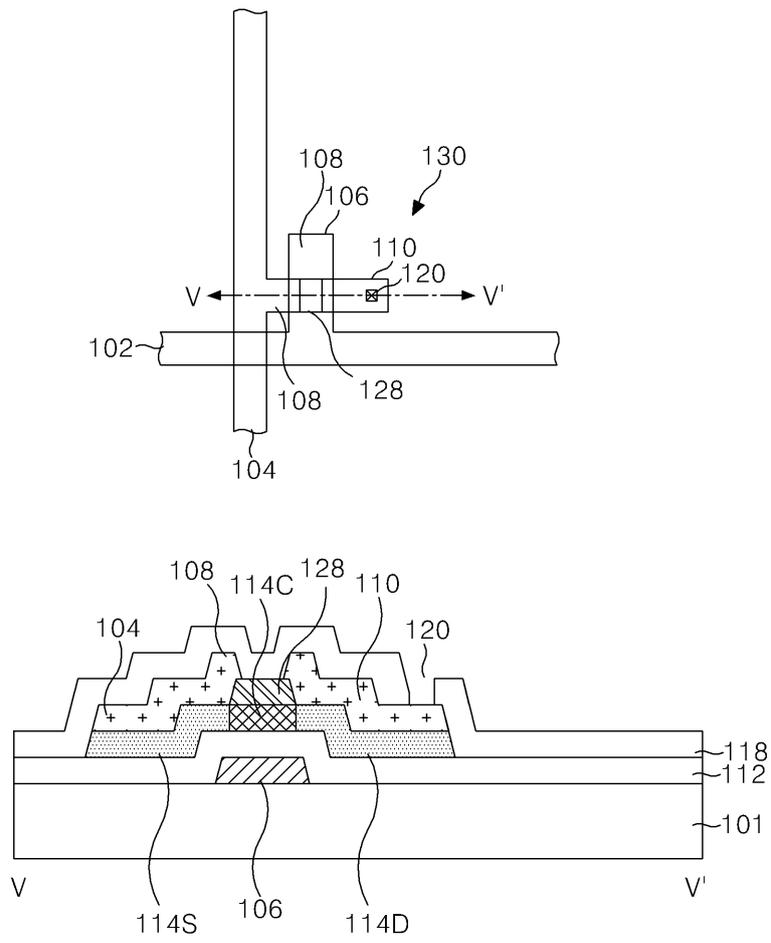
도면10c



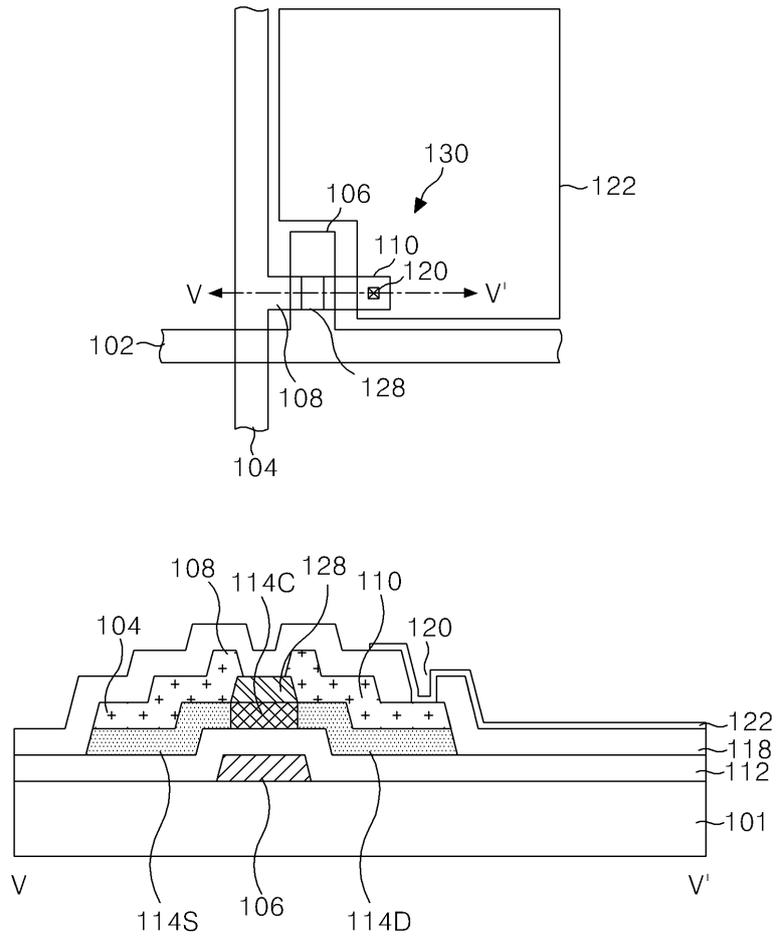
도면10d



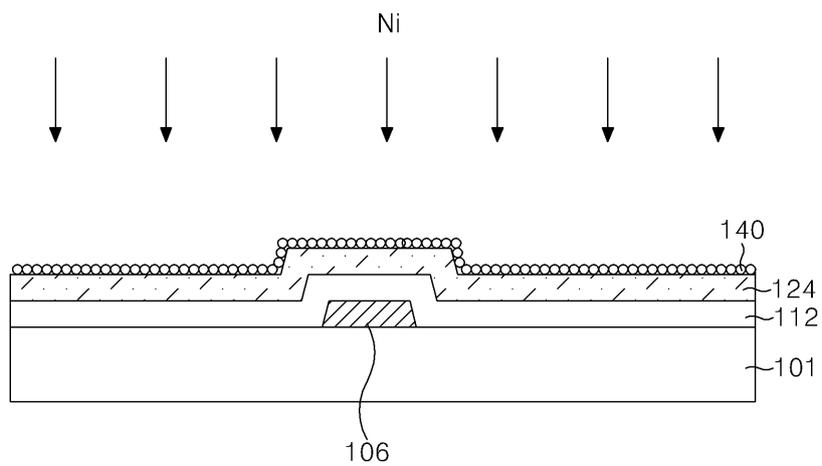
도면11



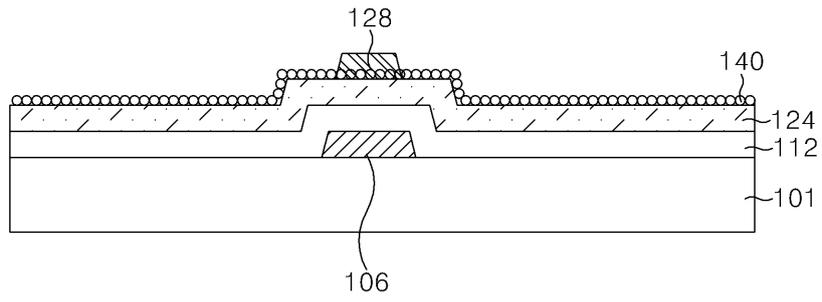
도면12



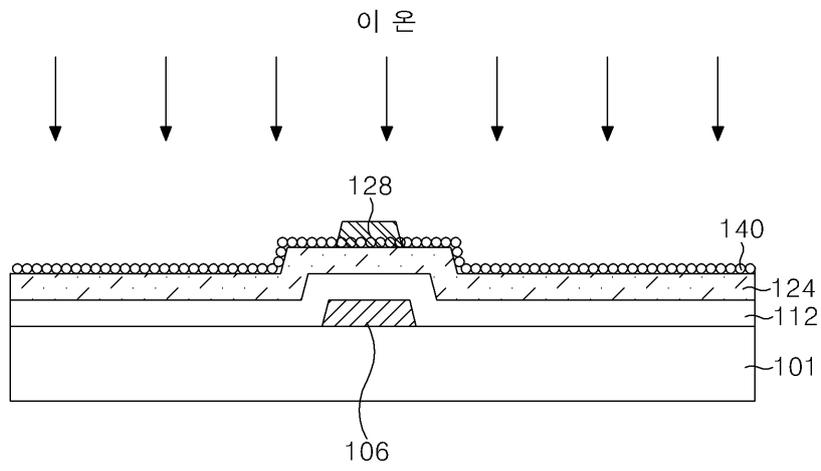
도면13a



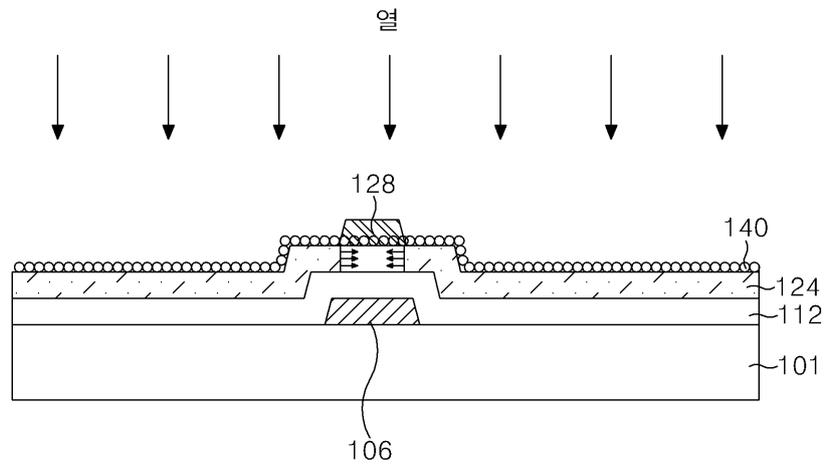
도면13b



도면13c



도면13d



도면13e

