

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-124397

(P2012-124397A)

(43) 公開日 平成24年6月28日(2012.6.28)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46 Q	5E319
H05K 3/34 (2006.01)	H05K 3/34 502D	5E336
H05K 1/18 (2006.01)	H05K 1/18 F	5E346

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号	特願2010-275306 (P2010-275306)	(71) 出願人	000228833 日本シイエムケイ株式会社 東京都新宿区西新宿六丁目5番1号
(22) 出願日	平成22年12月10日(2010.12.10)	(74) 代理人	110000084 特許業務法人アルガ特許事務所
		(74) 代理人	100068700 弁理士 有賀 三幸
		(74) 代理人	100077562 弁理士 高野 登志雄
		(74) 代理人	100096736 弁理士 中嶋 俊夫
		(74) 代理人	100117156 弁理士 村田 正樹
		(74) 代理人	100111028 弁理士 山本 博人

最終頁に続く

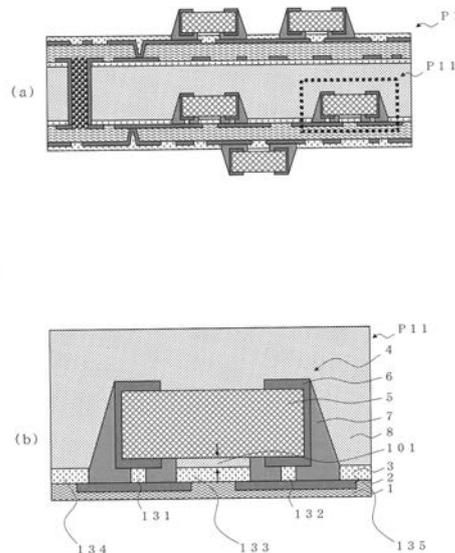
(54) 【発明の名称】 部品内蔵型多層プリント配線板

(57) 【要約】

【課題】内層に電子部品を埋め込み樹脂で埋め込んだ部品内蔵型多層プリント配線板に於いて、内蔵した電子部品下の僅かなボイドの発生も抑制することができる部品内蔵型多層プリント配線板の提供。

【解決手段】外部に2つ以上の電極端子を有する電子部品を、埋め込み樹脂で内層に埋め込んだ部品内蔵型多層プリント配線板に於いて、当該電子部品の電極端子の下部にスペーサが配されている事を特徴とする部品内蔵型多層プリント配線板。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

外部に 2 つ以上の電極端子を有する電子部品を、埋め込み樹脂で内層に埋め込んだ部品内蔵型多層プリント配線板に於いて、当該電子部品の電極端子の下部にスペースが配されている事を特徴とする部品内蔵型多層プリント配線板。

【請求項 2】

内層に、外部に 2 つ以上の電極端子を有する電子部品を、埋め込み樹脂で内層に埋め込んだ部品内蔵型多層プリント配線板に於いて、当該電子部品を実装する導体パターンを備え、かつ当該電子部品の電極端子の少なくとも一部と、当該導体パターンの少なくとも一部との間に、スペースが配されている事を特徴とする部品内蔵型多層プリント配線板。

10

【請求項 3】

前記スペースは、表面が平坦である事を特徴とする請求項 1 又は 2 記載の部品内蔵型多層プリント配線板。

【請求項 4】

前記スペースは、ソルダーレジスト上に配されている事を特徴とする請求項 1 ~ 3 の何れか 1 項記載の部品内蔵型多層プリント配線板。

【請求項 5】

前記スペースは、ソルダーレジストで形成されている事を特徴とする請求項 1 ~ 4 の何れか 1 項記載の部品内蔵型多層プリント配線板。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、内層に電子部品を埋め込み樹脂で埋め込んだ部品内蔵型多層プリント配線板、特に、当該電子部品の埋め込み性向上を図った部品内蔵型多層プリント配線板に関する。

【背景技術】

【0002】

近年の電子機器のスリム化に伴い、内層に電子部品を埋め込んだ部品内蔵型多層プリント配線板へのニーズが高まりつつあるが、電子部品を内蔵する際に当該電子部品下に埋め込み樹脂が入り込まずボイド（内層内の樹脂が無い空隙）が発生する場合があった。

30

【0003】

内層に電子部品を埋め込んだ部品内蔵基板の電子部品下にボイドが存在すると、表面実装の際、リフローの熱により、内蔵された部品のはんだを再熔融させ、ボイドを伝ってショートを引き起こすという問題があった。

【0004】

又、僅かなボイドは、リフロー時の熱で体積が膨張し、ボイドを起因に電子部品と埋め込み樹脂との層間剥離を引き起こすなど、基板信頼性に影響を与えていた。

【0005】

図 7 に、従来例の 1 つを示す。

【0006】

40

図 7 に於いて、P 7 は部品内蔵型多層プリント配線板の電子部品内蔵部で、支持体 7 1 と、当該支持体 7 1 の表面に配された導体パターン 7 2 と、当該導体パターン 7 2 にはんだ 7 7 を介して実装されている電子部品 7 4 と、当該電子部品 7 4 を導体パターン 7 2 と接続しているはんだ 7 7 と、当該導体パターン 7 2 の周囲又は当該導体パターン 7 2 上に配されたソルダーレジスト 7 3 と、当該電子部品 7 4 をプリント配線板 P 7 内部に埋め込んでいる埋め込み樹脂 7 8 と、で構成され、当該電子部品 7 4 は、電子部品本体部 7 5 と、当該電子部品本体部 7 5 の両端各々に配された電極端子 7 6 と、で構成されている。

【0007】

図 7 に於いて、ソルダーレジスト 7 3 は、導体パターン 7 2 上の一部又は全部に開口部を設け、部品実装パッド（フットプリント）を設けると共に、当該開口部以外の領域をは

50

んだ77から保護する役割を成しているが、はんだ77の製造上の量のばらつきや電子部品74の実装精度のばらつき等によって、電子部品本体部75とソルダーレジスト73との間隙701を制御する事は出来ず、当該間隙701が狭く成り過ぎて、埋め込み樹脂78に含有されているフィラーの中で比較的大きなフィラーの一部が間隙701に入り込めず、結果、電子部品74の下にボイドを発生させていた。

【0008】

そこで、図8に示すような方法(例えば特許文献1)が提案されている。

【0009】

図8に於いて、P8は部品内蔵型多層プリント配線板の電子部品内蔵部で、支持体81と、当該支持体81の表面に配された導体パターン82と、当該導体パターン82にはんだ87を介して実装されている電子部品84と、当該電子部品84を導体パターン82と接続しているはんだ87と、当該導体パターン82の周囲又は当該導体パターン82上に配されたソルダーレジスト83と、当該電子部品84をプリント配線板P8内部に埋め込んでいる埋め込み樹脂88と、で構成され、当該電子部品84は、電子部品本体部85と、当該電子部品本体部85の両端各々に配された電極端子86と、で構成され、当該ソルダーレジスト83には、電極パッド(導体パターン)82間の略中央において、当該ソルダーレジスト83を分断するスリット(溝)89が形成されている。

10

【0010】

図8のように、電極パッド(導体パターン)82間のソルダーレジスト83にスリット89が設けられている為、ソルダーレジスト83にスリット89を配していない場合と比較して、スリット間隙802への埋め込み樹脂88の埋め込み性は向上するものの、図7に示した従来例の間隙701と同様に、はんだ87の製造上の量のばらつきや電子部品84の実装精度のばらつき等によって、非スリット間隙801を制御する事は出来ず、当該間隙801が狭く成り過ぎて、埋め込み樹脂88に含有されているフィラーの中で比較的大きなフィラーの一部が間隙801に入り込めず、結果、電子部品84の下に僅かなボイドが発生してしまうのが実状であった。

20

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2004-103988号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明は、前述の問題と実状に鑑みて成されたもので、内層に電子部品を埋め込み樹脂で埋め込んだ部品内蔵型多層プリント配線板に於いて、内蔵した電子部品下の僅かなボイドの発生も抑制することができる部品内蔵型多層プリント配線板を提供することを課題とする。

【0013】

本発明者は、当該課題を解決すべく種々研究を重ねた結果、内蔵された電子部品の電極端子の下部にスペーサを配すれば、極めて良い結果が得られることを見出し、本発明を完成させた。

40

【課題を解決するための手段】

【0014】

すなわち、本発明は、外部に2つ以上の電極端子を有する電子部品を、埋め込み樹脂で内層に埋め込んだ部品内蔵型多層プリント配線板に於いて、当該電子部品の電極端子の下部にスペーサが配されている事を特徴とする部品内蔵型多層プリント配線板により上記課題を解決したものである。

【0015】

又、本発明は、外部に2つ以上の電極端子を有する電子部品を埋め込み樹脂で内層に埋め込む部品内蔵型多層プリント配線板に於いて、当該電子部品を実装する導体パターンを

50

備え、かつ当該電子部品の電極端子の少なくとも一部と、当該導体パターン of の少なくとも一部との間に、スペーサが配されている事を特徴とする部品内蔵型多層プリント配線板により上記課題を解決したものである。

【0016】

本発明に於いて、前記スペーサは、表面が平坦であるものがより望ましい。

【0017】

又、本発明に於いて、前記スペーサは、ソルダーレジスト上に配されているものがより望ましい。

【0018】

又、本発明において、前記スペーサは、ソルダーレジストで形成されているのがより望ましい。

10

【発明の効果】

【0019】

本発明によれば、部品実装パッドと、内蔵する電子部品の電極端子との間に一定の間隙を確保する為のスペーサが存在しているので、内蔵する電子部品の下に、埋めこみ樹脂が充填される為に必要な間隙の中が確保され、結果として、電子部品下の僅かなボイドの発生も抑制可能な部品内蔵型多層プリント配線板を提供することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の部品内蔵型多層プリント配線板の第1の実施の形態を説明する為の概略断面構成図。

20

【図2】本発明の部品内蔵型多層プリント配線板の第2の実施の形態を説明する為の概略断面構成図。

【図3】本発明の部品内蔵型多層プリント配線板の第3の実施の形態を説明する為の概略断面構成図。

【図4】本発明の部品内蔵型多層プリント配線板の第4の実施の形態を説明する為の概略断面構成図。

【図5】本発明の部品内蔵型多層プリント配線板の第5の実施の形態を説明する為の概略断面構成図。

【図6】本発明の部品内蔵型多層プリント配線板の第6の実施の形態を説明する為の概略断面構成図。

30

【図7】従来のプリント配線板を説明する為の概略断面構成図。

【図8】別の従来のプリント配線板を説明する為の概略断面構成図。

【発明を実施するための形態】

【0021】

本発明の第1の実施の形態を図1を用いて説明する。

【0022】

図1は、本発明のプリント配線板の第1の実施の形態を説明する為の概略断面構成図であり、(a)は、内部に電子部品を有する部品内蔵型多層プリント配線板P1の概略断面構成図を、又(b)は、(a)に示された部品内蔵型多層プリント配線板P1の電子部品内蔵部P11を拡大し詳細化した概略断面構成図を示している。

40

【0023】

図1に於いて、電子部品内蔵部P11は支持体1と、当該支持体1の内部に電子部品4との接合面を露出して埋設された導体パターン2と、当該導体パターン2にはんだ7を介して実装されている電子部品4と、当該電子部品4を導体パターン2と接続しているはんだ7と、当該導体パターン2の周囲又は当該導体パターン2上に配されたソルダーレジスト3(131~134)と、当該電子部品4を部品内蔵型多層プリント配線板P1内部に埋め込んでいる埋め込み樹脂8と、で構成され、当該電子部品4は、電子部品本体部5と、当該電子部品本体部5の両端各々に配された電極端子6と、で構成されている。

【0024】

50

本実施の形態に於いて、ソルダーレジスト 3 は、配されている位置によってその役割が異なり、131 及び 132 に位置するソルダーレジストは、本発明の構造上の特徴であるスペーサとして機能し、133、134、135 に位置する各々のソルダーレジストは、ソルダーレジストの本来の機能であるマスクとして機能している。

【0025】

図 1 (b) に示すように、電子部品 4 の両端各々に配された電極端子 6 と導体パターン 2 との間に、スペーサとしてソルダーレジスト 131 及び 132 が配されている。当該スペーサとしてのソルダーレジスト 131 及び 132 の厚みは、当該電極端子 6 と当該導体パターン 2 とのはんだ実装に最低限必要な距離以上とするのが好ましい。

【0026】

これにより、電子部品本体部 5 とマスクとしてのソルダーレジスト 133 との距離、すなわち間隙 101 の巾を広く形成することができる。

【0027】

よって、はんだの製造上の量のばらつきや電子部品の実装精度のばらつき等があっても、従来のように間隙が狭く成り過ぎて、埋め込み樹脂に含有されているフィラーの中で比較的大きなフィラーの一部が間隙に入り込めず、電子部品の下にボイドを発生させるような事は無い。すなわち、当該スペーサとしてのソルダーレジスト 131 及び 132 によって、間隙 101 の巾が広く確保されているので、当該間隙 101 の中に埋め込み樹脂 8 が確実に充填され、僅かなボイドの発生も抑制し得る部品内蔵型多層プリント配線板を得る事が出来る。

【0028】

尚、はんだの製造上の量のばらつきとは、例えば、印刷工法によるはんだ塗布工程に於いて、被塗布側（被印刷面）と成る基材表面の凹凸、反り、歪み等により、はんだマスクと被印刷面との間隔に、印刷位置によりばらつきが発生し、結果、同じ被印刷面の中でも場所によりはんだ塗布量が異なる等の現象を示す。

【0029】

又、電子部品の実装精度のばらつきとは、例えば、チップマウンタの機械精度に依存した位置精度ばらつきで、設計上の実装位置に対して、縦横の 2 次元的なずれの他、片側の電極が他方に比べて浮き上がる等の 3 次元的なずれ等の現象を示す。

【0030】

又、図 1 (b) に示すように、スペーサとしてのソルダーレジスト 131 及び 132 の厚みが、マスクとしてのソルダーレジスト 133 の厚みと等しい場合、マスクとしてのソルダーレジスト 133 と、電子部品本体部 5 との距離、即ち間隙 101 の巾が、電極端子 6 の厚みと等しく成る為、電極端子 6 は、電子部品本体部 5 の表面より突出している事が望ましく、更には、当該電極端子 6 の厚みが、埋め込み樹脂 8 を充填するのに必要な間隙 101 の巾を形成し得る厚みとなっている事が望ましい。

【0031】

具体的な電極端子 6 の厚みとしては、例えば、5 μ m 以上であると、間隙 101 の巾も 5 μ m 以上と成り、一般的な埋め込み樹脂がボイド無く充填される。

【0032】

尚、スペーサとしてのソルダーレジスト 131 及び 132 が、電子部品 4 が安定した配置を保持する為の支点を、電子部品 4 の電極端子 6 と接触する領域内に有しているようにする事で、電子部品 4 の配置時に、電子部品 4 が傾く事を防止し確実に配置出来、実装時の不具合を抑制出来る。

【0033】

又、スペーサとしてのソルダーレジスト 131 及び 132 が、互いの厚みを等しくする事で、実装した電子部品 4 の傾きを防ぎ、確実な実装が成されると共に、間隙 101 の形状がいびつに成る事を回避し、従って、間隙 101 に埋め込み樹脂 8 による確実な充填が成され、結果、電子部品 4 の下の僅かなボイドの発生も抑制が可能と成る。

【0034】

10

20

30

40

50

又、電子部品 4 の実装の際、スペーサとしてのソルダーレジスト 1 3 1 及び 1 3 2 が変形しない程度の適度な押し込み圧を掛ける事で、電子部品 4 への押し込み量を制御し、電子部品 4 が不用意に浮き上がる事を抑制出来、電子部品 4 の上層導体パターン（図示せず）との接触や、電子部品 4 の破壊等、昨今の部品内蔵型多層プリント配線板の更なる薄型化に伴う不具合を回避する事が出来る。

【 0 0 3 5 】

又、スペーサとしてのソルダーレジスト 1 3 1 及び 1 3 2 の厚みやマスクとしてのソルダーレジスト 1 3 3 の厚みを意図的に変える事で、間隙 1 0 1 の巾を調整、変更する事が可能と成る。

【 0 0 3 6 】

例えば、スペーサとしてのソルダーレジスト 1 3 1 及び 1 3 2 の厚みとマスクとしてのソルダーレジスト 1 3 3 の厚みが等しい場合、設計上、間隙 1 0 1 は電極端子 6 の厚みと等しい厚みと成るが、一定の誤差が生じてしまう時は、当該誤差による差分を吸収するように、スペーサとしてのソルダーレジスト 1 3 1 及び 1 3 2 の厚みか、マスクとしてのソルダーレジスト 1 3 3 の厚みか、又はその両方が、の何れかを調整する事で、材料や製造上の要因で発生する厚み誤差を吸収し、設計上の間隙 1 0 1 の巾を確実に確保して、本発明の目的である電子部品 4 の下の僅かなボイドの発生も抑制することができる。

【 0 0 3 7 】

又、別の例として、スペーサとしてのソルダーレジスト 1 3 1 及び 1 3 2 の厚みとマスクとしてのソルダーレジスト 1 3 3 の厚みに意図的に差を設けて、間隙 1 0 1 の巾を変更し、使用する埋め込み樹脂 8 に含有されているフィラーの径や形状に合わせて最適な間隙 1 0 1 の巾を得る事で、部品内蔵型多層プリント配線板 P 1 の薄型化と、電子部品 4 の下の僅かなボイドの発生抑制の両立が可能と成ると共に、高機能化やコスト削減等に伴う埋め込み樹脂の材料変更等にも対応が容易と成る。

【 0 0 3 8 】

又、スペーサとしてのソルダーレジスト 1 3 1 及び 1 3 2 の表面を平坦化した場合、電子部品 4 を配置する際、より安定した実装が可能と成り、間隙 1 0 1 内の巾のばらつきを抑制出来る為、より確実な充填が成され、ボイドの発生を更に抑制出来る。

【 0 0 3 9 】

又、マスクとしてのソルダーレジスト 1 3 3 の表面をより平坦化し、埋め込み樹脂 8 の充填する際の樹脂流動の阻害要素を低減する事で、より確実な充填が成され、ボイドの発生を更に抑制出来る。

【 0 0 4 0 】

又、スペーサとしてのソルダーレジストは、図 1 のように各電極端子に対して 1 つずつに限定されたものではなく、電子部品実装時の安定性を高める等の理由で、数を増やしても構わない。

【 0 0 4 1 】

又、同様に、スペーサとしてのソルダーレジストは、特定の形状に限定されたものではなく、電子部品実装時の安定性を高める等の理由で、形状を変えても構わない。

【 0 0 4 2 】

次に、本発明の第 2 の実施の形態を図 2 を用いて説明する。

【 0 0 4 3 】

図 2 は、図 1 (b) に示される電子部品内蔵部 P 1 1 を、第 2 の実施の形態の内容に合わせて置き換えた図で、第 1 の実施の形態を説明する際に用いた図 1 (b) の電子部品内蔵部 P 1 1 と、ソルダーレジストの部分を除いて略同じ構造である。

すなわち、図 2 に於いて、電子部品内蔵部 P 1 2 は、支持体 2 1 と、当該支持体 2 1 の内部に電子部品 2 4 との接合面を露出して埋設された導体パターン 2 2 と、当該導体パターン 2 2 にはんだ 2 7 を介して実装されている電子部品 2 4 と、当該電子部品 2 4 を導体パターン 2 2 と接続しているはんだ 2 7 と、当該導体パターン 2 2 の周囲又は当該導体パターン 2 2 上に配されたソルダーレジスト 2 3 (2 3 4 ~ 2 3 6) と、当該電子部品 2 4

10

20

30

40

50

を部品内蔵型多層プリント配線板 P 1 内部に埋め込んでいる埋め込み樹脂 2 8 と、で構成され、当該電子部品 2 4 は、電子部品本体部 2 5 と、当該電子部品本体部 2 5 の両端各々に配された電極端子 2 6 と、で構成されている。

【 0 0 4 4 】

本実施の形態に於いて、ソルダーレジスト 2 3 は、配されている位置によってその役割が異なり、2 3 4 及び 2 3 5 に位置するソルダーレジストはマスクとして機能し、2 3 6 に位置するソルダーレジストは、スペーサとしての機能とマスクとしての機能を兼ね備えており、第 1 の実施の形態を説明する際に用いた図 1 (b) の電子部品内蔵部 P 1 1 とは、このソルダーレジストの構造に於いて異なる。

【 0 0 4 5 】

図 2 に示すように、電子部品 2 4 は、両端各々に配された電極端子 2 6 と導体パターン 2 2 との間にソルダーレジスト 2 3 6 が配されている為、当該スペーサ兼マスクとしてのソルダーレジスト 2 3 6 の厚みは、当該電極端子 2 6 と当該導体パターン 2 2 とのはんだ実装に最低限必要な距離以上とするのが好ましい。これにより、電子部品本体部 2 5 とスペーサ兼マスクとしてのソルダーレジスト 2 3 6 との距離、すなわち間隙 2 0 1 の巾を広く形成することができる。

【 0 0 4 6 】

更に、スペーサ兼マスクとしてのソルダーレジスト 2 3 6 は、電子部品 2 4 の 2 つの部品実装パッド間を跨ぐ一体化された構造となっており、スペーサ機能と共にマスク機能を備えている為、第 1 の実施の形態を説明する際に用いた図 1 (b) の電子部品内蔵部 P 1 1 と異なり、当該ソルダーレジスト 2 3 6 と電子部品 2 4 との間隙 2 0 1 は、電子部品本体部 2 5 と電極端子 2 6 と当該ソルダーレジスト 2 3 6 とで囲われ、形状的に安定した間隙と成る。

【 0 0 4 7 】

これにより、間隙 2 0 1 は、埋め込み樹脂 2 8 がより安定して充填される形状と成り、ボイドの発生を更に抑制出来る。

【 0 0 4 8 】

よって、はんだの製造上の量のばらつきや電子部品の実装精度のばらつき等があっても、当該スペーサ兼マスクとしてのソルダーレジスト 2 3 6 によって、間隙 2 0 1 の巾が広く確保され、且つ、埋め込み樹脂 2 8 がより安定して充填される形状となっているので当該間隙 2 0 1 に、埋め込み樹脂 2 8 が確実に充填され、僅かなボイドの発生も抑制した部品内蔵型多層プリント配線板が得られる。

【 0 0 4 9 】

尚、はんだの製造上の量のばらつきとは、例えば、印刷工法によるはんだ塗布工程に於いて、被塗布側（被印刷面）と成る基材表面の凹凸、反り、歪み等により、はんだマスクと被印刷面との間隔に、印刷位置によりばらつきが発生し、結果、同じ被印刷面の中でも場所によりはんだ塗布量が異なる等の現象を示す。

【 0 0 5 0 】

又、電子部品の実装精度のばらつきとは、例えば、チップマウンタの機械精度に依存した位置精度ばらつきで、設計上の実装位置に対して、縦横の 2 次元的なずれの他、片側の電極が他方に比べて浮き上がる等の 3 次元的なずれ等の現象を示す。

【 0 0 5 1 】

又、スペーサ兼マスクとしてのソルダーレジスト 2 3 6 の表面を平坦化した場合、電子部品 2 4 を配置する際、より安定した実装が可能と成り、間隙 2 0 1 の巾のばらつきの発生を抑制出来ると共に、間隙 2 0 1 内に充填される埋め込み樹脂 2 8 の樹脂流動阻害要素を低減出来る為、より確実な充填が成され、ボイドの発生を更に抑制出来る。

【 0 0 5 2 】

尚、図 2 に示すように、間隙 2 0 1 の巾が、電極端子 2 6 の厚みと等しく成る為、電極端子 2 6 は、電子部品本体部 2 5 の表面より突出している事が望ましく、更には、当該電極端子 2 6 の厚みが、埋め込み樹脂 2 8 を充填するのに必要な間隙 2 0 1 の巾と等しくな

10

20

30

40

50

っている事が望ましい。

【0053】

具体的な電極端子26の厚みとしては、例えば、5 μ m以上であると、間隙201の巾も5 μ m以上と成り、一般的な埋め込み樹脂がポイド無く充填される。

【0054】

次に、本発明の第3の実施の形態を図3を用いて説明する。

【0055】

図3は、図1(b)に示される部品内蔵部P11を、第3の実施の形態の内容に合わせて置き換えた図で、第1の実施の形態を説明する際に用いた図1(b)の電子部品内蔵部P11と、導体パターンの構成位置とソルダーレジストの部分を除いて略同じ構造である。

10

すなわち、図3に於いて、電子部品内蔵部P13は、支持体31と、当該支持体31上に配された導体パターン32と、当該導体パターン32にはんだ37を介して実装されている電子部品34と、当該電子部品34を導体パターン32と接続しているはんだ37と、当該導体パターン32の周囲又は当該導体パターン32上に配されたソルダーレジスト33(331~335)と、当該電子部品34を部品内蔵型多層プリント配線板P1内部に埋め込んでいる埋め込み樹脂38と、で構成され、当該電子部品34は、電子部品本体部35と、当該電子部品本体部35の両端各々に配された電極端子36と、で構成されている。

【0056】

本実施の形態に於いて、ソルダーレジスト33は、スペーサとして機能するソルダーレジスト331及び332と、マスクとして機能するソルダーレジスト333、334、335で構成されている。

20

【0057】

尚、導体パターンに関して、第1の実施の形態を説明する際に用いた図1(b)の電子部品内蔵部P11、及び、第2の実施の形態を説明する際に用いた図2の電子部品内蔵部P12は、支持体の内部に電子部品との接合面を露出して埋設された導体パターンであり、所謂コアレス構造と呼ばれているのに対して、当該第3の実施の形態を説明する際に用いる図3の電子部品内蔵部P13は、支持体の表面に導体パターンが配されている所謂コア構造である。

【0058】

30

ところで、当該第3の実施の形態を説明する際に用いる図3の電子部品内蔵部P13のように、部品実装面がコア構造である場合、通常の液状タイプのソルダーレジストを用いた製造方法では、導体パターンが、当該導体パターンの厚みの分だけ支持体31から飛び出している為、当該導体パターンの凹凸にソルダーレジストが追従し、ソルダーレジストの表面を平坦化する事が難しい。

【0059】

そこで、ソルダーレジスト33として、カバーフィルム(図示しない)で保護されたドライフィルム形状のソルダーレジストを、真空ラミネータを用いて当該導体パターンの凹凸を有する支持体31に熱圧着によって仮圧着し、次いで、平面ホットプレス機でプレス加工する事で、当該ソルダーレジスト33の表面の平坦化が可能と成る。

40

【0060】

又、ソルダーレジスト33として、予め液状ソルダーレジストを当該導体パターンの凹凸を有する支持体31に塗布して半硬化させ、次いで、離型フィルムを介して、平面ホットプレス機でプレス加工する方法を用いても良い。

【0061】

図3に示すように、電子部品内蔵部P13は、ソルダーレジスト33の表面が平坦化されている為、はんだの製造上の量のばらつきや電子部品の実装精度のばらつき等があっても、当該スペーサとしてのソルダーレジスト331及び332によって、間隙301が必要巾以上に確実に確保され、且つ、当該巾が全体的に均一に一定であり、間隙301内の位置による巾のばらつきも無い為、当該間隙301に埋め込み樹脂38が確実に充填され

50

、僅かなボイドの発生も抑制した部品内蔵型多層プリント配線板が得られる。

【 0 0 6 2 】

尚、はんだの製造上の量のばらつきとは、例えば、印刷工法によるはんだ塗布工程に於いて、被塗布側（被印刷面）と成る基材表面の凹凸、反り、歪み等により、はんだマスクと被印刷面との間隔に、印刷位置によりばらつきが発生し、結果、同じ被印刷面の中でも場所によりはんだ塗布量が異なる等の現象を示す。

【 0 0 6 3 】

又、電子部品の実装精度のばらつきとは、例えば、チップマウンタの機械精度に依存した位置精度ばらつきで、設計上の実装位置に対して、縦横の2次元的なずれの他、片側の電極が他方に比べて浮き上がる等の3次元的なずれ等の現象を示す。

10

【 0 0 6 4 】

又、スペーサとしてのソルダーレジスト331及び332の表面を平坦化した場合、電子部品34を配置する際、より安定した実装が可能と成り、間隙301内の巾のばらつきが発生する事を抑制出来る為、より確実な充填が成され、ボイドの発生を更に抑制出来る。

【 0 0 6 5 】

又、ソルダーレジスト333の表面をより平坦化し、埋め込み樹脂28を充填する際の樹脂流動の阻害要素を低減する事で、より確実な充填が成され、ボイドの発生を更に抑制出来る。

【 0 0 6 6 】

又、スペーサとしてのソルダーレジストは、図3のように各電極端子1つに対して1つずつに限定されたものではなく、電子部品実装時の安定性を高める等の理由で、数を増やしても構わない。

20

【 0 0 6 7 】

又、同様に、スペーサとしてのソルダーレジストは、特定の形状に限定されたものではなく、電子部品実装時の安定性を高める等の理由で、形状を変えても構わない。

【 0 0 6 8 】

尚、図3に示すように、間隙301の巾が、電極端子36の厚みと等しい場合、電極端子36は、電子部品本体部35の表面より突出している事が望ましく、更には、当該電極端子36の厚みが、埋め込み樹脂38を充填するのに必要な間隙301の巾と等しくなっている事が望ましい。

30

【 0 0 6 9 】

具体的な電極端子36の厚みとしては、例えば、5 μ m以上であると、間隙301の巾も5 μ m以上と成り、一般的な埋め込み樹脂がボイド無く充填される。

【 0 0 7 0 】

次に、本発明の第4の実施の形態を図4を用いて説明する。

【 0 0 7 1 】

図4は、図1(b)に示される電子部品内蔵部P11を、第4の実施の形態の内容に合わせて置き換えた図で、導体パターンの構成位置に関しては第3の実施の形態を説明する際に用いた図3の電子部品内蔵部P13と略同じ構造であると共に、ソルダーレジストの構成に関しては第2の実施の形態を説明する際に用いた図2の電子部品内蔵部P12と類似した構造である。

40

すなわち、図4に於いて、電子部品内蔵部P14は、支持体41と、当該支持体41上に配された導体パターン42と、当該導体パターン42にはんだ47を介して実装されている電子部品44と、当該電子部品44を導体パターン42と接続しているはんだ47と、当該導体パターン42の周囲又は当該導体パターン42上に配されたソルダーレジスト43(434~436)と、当該電子部品44をプリント配線板P1内部に埋め込んで埋め込み樹脂48と、で構成され、当該電子部品44は、電子部品本体部45と、当該電子部品本体部45の両端各々に配された電極端子46と、で構成されている。

【 0 0 7 2 】

50

本実施の形態に於いて、ソルダーレジスト43は、配されている位置によってその役割が異なり、434及び435に位置するソルダーレジストはマスクとして機能し、436に位置するソルダーレジストは、スペーサとしての機能とマスクとしての機能を兼ね備えている。

【0073】

導体パターン42は、第3の実施の形態を説明する際に用いた図3の電子部品内蔵部P13と同様に、支持体の表面に導体パターンが配されているコア構造である。

【0074】

図4に示すように、電子部品44は、両端各々に配された電極端子46と導体パターン42との間にソルダーレジスト436が配されている為、間隙401の大きさは一定の巾以上と成り、更に、ソルダーレジスト436は、電子部品44の2つの部品実装パッド間を跨ぐ一体化された構造となっており、スペーサ兼マスクとして機能する為、間隙401は、電子部品本体部45と電極端子46とソルダーレジスト436とで囲われ、形状的に安定した間隙と成る。

10

【0075】

よって、間隙401を有する電子部品内蔵部P14は、埋め込み樹脂48が間隙401に安定して充填され、はんだの製造上の量のばらつきや電子部品の実装精度のばらつき等があっても、僅かなボイドの発生も抑制した部品内蔵型多層プリント配線板が得られる。

【0076】

尚、はんだの製造上の量のばらつきとは、例えば、印刷工法によるはんだ塗布工程に於いて、被塗布側（被印刷面）と成る基材表面の凹凸、反り、歪み等により、はんだマスクと被印刷面との間隔に、印刷位置によりばらつきが発生し、結果、同じ被印刷面の中でも場所によりはんだ塗布量が異なる等の現象を示す。

20

【0077】

又、電子部品の実装精度のばらつきとは、例えば、チップマウンタの機械精度に依存した位置精度ばらつきで、設計上の実装位置に対して、縦横の2次元的なずれの他、片側の電極が他方に比べて浮き上がる等の3次元的なずれ等の現象を示す。

【0078】

尚、前述の第3の実施の形態と同様に、ソルダーレジスト43として、カバーフィルム（図示しない）で保護されたドライフィルム形状のソルダーレジストを、真空ラミネータを用いて当該導体パターンの凹凸を有する支持体41に熱圧着によって仮圧着し、次いで、平面ホットプレス機でプレス加工する事で、当該ソルダーレジスト43の表面の平坦化が可能と成る。

30

【0079】

又、ソルダーレジスト43として、予め液状ソルダーレジストを当該導体パターンの凹凸を有する支持体41に塗布して半硬化させ、次いで、離型フィルムを介して、平面ホットプレス機でプレス加工する方法を用いても良い。

【0080】

又、スペーサ兼マスクとしてのソルダーレジスト436の表面を平坦化した場合、電子部品44を配置する際、より安定した実装が可能と成り、間隙401内の距離のばらつきの発生を抑制出来ると共に、間隙401内に充填される埋め込み樹脂48の樹脂流動阻害要素を低減出来る為、より確実な充填が成され、ボイドの発生を更に抑制出来る。

40

【0081】

尚、図4に示すように、間隙401の巾が、電極端子46の厚みと等しく成る為、電極端子46は、電子部品本体部45の表面より突出している事が望ましく、更には、当該電極端子46の厚みが、埋め込み樹脂48を充填するのに必要な間隙401の巾と等しくなっている事が望ましい。

【0082】

具体的な電極端子46の厚みとしては、例えば、5 μ m以上であると、間隙401の巾も5 μ m以上と成り、一般的な埋め込み樹脂がボイド無く充填される。

50

【0083】

次に、本発明の第5の実施の形態を図5を用いて説明する。

【0084】

図5は、図1(b)に示される電子部品内蔵部P11を、第5の実施の形態の内容に合わせて置き換えた図で、支持体51と、当該支持体51上に配された導体パターン52と、当該導体パターン52にはんだ57を介して実装されている電子部品54と、当該電子部品54を導体パターン52と接続しているはんだ57と、当該導体パターン52の周囲又は当該導体パターン52上に配されたソルダーレジスト53(531~535)と、当該ソルダーレジスト53上の一部に配されたスペーサ537及び538と、当該電子部品54を部品内蔵型多層プリント配線板P15内部に埋め込んでいる埋め込み樹脂58と、で構成され、当該電子部品54は、電子部品本体部55と、当該電子部品本体部55の両端各々に配された電極端子56と、で構成されている。

10

【0085】

本実施の形態に於いて、ソルダーレジスト53は、配されている位置によってその役割が異なり、531及び532に位置するソルダーレジストは、スペーサとして機能し、533、534、535に位置する各々のソルダーレジストは、ソルダーレジストの本来の機能であるマスクとして機能している。

【0086】

又、ソルダーレジスト531及び532上には各々、スペーサ537及び538が配されている。

20

【0087】

第5実施の形態の特徴は、スペーサとしてのソルダーレジスト531及び532上に、スペーサ537及び538が配されており、当該スペーサ537及び538の2つを適正な厚みとする事で、間隙501の巾を大きくする事が出来、結果、使用する埋め込み樹脂58に含有されているフィラーの径や形状に合わせて最適な間隙501の巾が得られる事にある。

【0088】

これにより、部品内蔵型多層プリント配線板の薄型化と、電子部品の下の僅かなボイドの発生抑制の両立が可能と成ると共に、高機能化等に伴う埋め込み樹脂の材料変更等にも対応が容易と成る。

30

【0089】

尚、間隙501の巾を適正なものにするには、スペーサ537及び538の厚みのみを調整するに限定されず、スペーサとしてのソルダーレジスト531及び532の厚みを調整しても良く、又、スペーサ537及び538の厚みとスペーサとしてのソルダーレジスト531及び532の厚みの両方で調整しても良い。

【0090】

又、スペーサとしてのソルダーレジスト531及び532を、マスクとしてのソルダーレジストである533、534、535と同時工程で配する場合は、スペーサ537及び538の厚みのみで調整する方が望ましい。

【0091】

又、スペーサは、図5のように各電極端子1つに対して1つずつに限定されたものではなく、電子部品実装時の安定性を高める等の理由で、数を増やしても構わない。

40

【0092】

又、同様に、スペーサは、特定の形状に限定されたものではなく、電子部品実装時の安定性を高める等の理由で、形状を変えても構わない。

【0093】

又、スペーサは、当該スペーサとして要求される機能(適正な厚みである事、並びに、当該適正な厚みをプリント配線板製造工程に於いて保持出来る事、等)を満足しているものであれば、ソルダーレジスト(はんだをはじく)機能の有無を問わない。

【0094】

50

又、スペーサは、樹脂であるか否かを問わず、金属等、樹脂以外のものであっても構わない。

【0095】

尚、スペーサとして金属を用いる場合、スペーサとしての機能を保持する必要がある為、リフロー（はんだ溶融による電極端子と導体パターンとの接合工程）時でもリフローの熱で溶融しないものである必要が有る。

【0096】

又、スペーサは、予め電子部品の電極端子に配しておく事も可能である。

【0097】

又、スペーサは、スペーサ自体を電子部品の実装時に搭載する事も可能である。

10

【0098】

尚、電子部品実装時でのスペーサの搭載方法に関しては、目的とする場所に適切に搭載出来ればその方法は問わないが、搭載精度の高い装置を用いる事が望ましい。

【0099】

尚、当該第5の実施の形態としては、既に説明した第3の実施の形態及び第4の実施の形態と同様に、支持体の表面に導体パターンが配されている所謂コア構造であっても良く、その際は、ソルダーレジストとして、カバーフィルム（図示しない）で保護されたドライフィルム形状のソルダーレジストを、真空ラミネータを用いて当該導体パターンの凹凸を有する支持体に熱圧着によって仮圧着し、次いで、平面ホットプレス機でプレス加工する方法を用いても良く、又、ソルダーレジストとして、予め液状ソルダーレジストを当該導体パターンの凹凸を有する支持体に塗布して半硬化させ、次いで、離型フィルムを介して、平面ホットプレス機でプレス加工する方法を用いても良い。

20

【0100】

又、スペーサ537及び538の表面を平坦化した場合、電子部品54を配置する際、より安定した実装が可能と成る。

【0101】

尚、間隙501の巾が、電極端子56の厚みと等しい場合、電極端子56は、電子部品本体部55の表面より突出している事が望ましく、更には、当該電極端子56の厚みが、埋め込み樹脂58を充填するのに必要な間隙501の巾と等しくなっている事が望ましい。

30

【0102】

具体的な電極端子56の厚みとしては、例えば、5 μ m以上であると、間隙501の巾も5 μ m以上と成り、一般的な埋め込み樹脂がポイド無く充填される。

【0103】

次に、本発明の第6の実施の形態を図6を用いて説明する。

【0104】

図6は、図1(b)に示される部品内蔵部P11を、第6の実施の形態の内容に合わせて置き換えた図で、支持体61と、当該支持体61上に配された導体パターン62と、当該導体パターン62にはんだ67を介して実装されている電子部品64と、当該電子部品64を導体パターン62と接続しているはんだ67と、当該導体パターン62の周囲又は当該導体パターン62上に配されたソルダーレジスト63(631~632)と、当該電子部品64を部品内蔵型多層プリント配線板P1内部に埋め込んでいる埋め込み樹脂68と、で構成され、当該電子部品64は、電子部品本体部65と、当該電子部品本体部65の両端各々に配された電極端子66と、で構成されている。

40

【0105】

本実施の形態に於いては、ソルダーレジスト63が開口された実装パッド内部に、ソルダーレジスト63を配する工程とは異なる工程で配されたスペーサ631及び632が配されている。

【0106】

第6実施の形態の特徴は、ソルダーレジスト63が開口された実装パッド上に、ソルダ

50

レジスト 63 を配する工程とは異なる工程で配されたスペーサ 631 及び 632 が配されている事であり、スペーサ 631 及び 632 の 2 つを適正な厚みとする事で、開口部 601 の巾を大きくも小さくも自在に変化させる事が出来、結果、使用する埋め込み樹脂 68 に含有されているフィルターの径や形状に合せて最適な間隙 601 の巾が得られる。

【0107】

これにより、部品内蔵型多層プリント配線板の薄型化と、電子部品の下の僅かなボイドの発生抑制の両立が可能と成ると共に、高機能化等に伴う埋め込み樹脂の材料変更等にも更に幅広い対応が可能と成る。

【0108】

ここで、スペーサ 631 及び 632 は、当該スペーサとして要求される機能（適正な厚みである事、並びに、当該適正な厚みをプリント配線板製造工程に於いて保持出来る事、等）を満足しているものであれば、ソルダーレジスト（はんだをはじく）機能の有無を問わない。

10

【0109】

又、スペーサ 631 及び 632 は、樹脂であるか否かを問わず、金属等、樹脂以外のものであっても構わない。

【0110】

尚、スペーサ 631 及び 632 として金属を用いる場合、スペーサとしての機能を保持する必要がある為、リフロー（はんだ溶融による電極端子と導体パターンとの接合工程）時でもリフローの熱で溶融しないものである必要が有るが、スペーサ 631 及び 632 に溶融しない金属を用いれば、当該金属の粒子が極めて均一な厚みを作り出すので、間隙 601 の巾精度をより向上させる事が出来る。

20

【0111】

例えば、図 6 に於いて、スペーサ 631 と 632 として、粒径が調整されリフロー時の熱で溶解しない金属粒子を含むはんだ材を用いれば、電子部品 64 を実装した際にも金属粒子が変形を起こし難い為、スペーサ（高さ調整の機能を有するもの）としての精度を向上させる事が出来、結果、間隙 601 の巾精度を向上させる事が可能と成る。

【0112】

又、スペーサ 631 と 632 に、粒径が調整されリフロー時の熱で溶解しない金属粒子を含むはんだ材を用いれば、非金属性のもの（導電性の無いもの）を用いた場合と比較して、導体パターン 62 と電極端子 66 との間の金属比率が上がり、結果、導通性を向上させる事が可能と成る。

30

【0113】

又、スペーサは、予め電子部品の電極端子に配しておく事も可能である。

【0114】

又、スペーサは、スペーサ自体を電子部品の実装時に実装パッドに搭載する事も可能である。

【0115】

尚、電子部品実装時でのスペーサの搭載方法に関しては、目的とする場所に適切に搭載出来ればその方法は問わないが、搭載精度の高い装置を用いる事が望ましい。

40

【0116】

尚、スペーサは、図 6 のように 2 つ（各電極端子 1 つに対して 1 つずつ）に限定されたものではなく、電子部品実装時の安定性を高める等の理由で、数を増やしても構わない。

【0117】

又、同様に、スペーサは、特定の形状に限定されたものではなく、電子部品実装時の安定性を高める等の理由で、形状を変えても構わない。

【0118】

尚、当該第 6 の実施の形態としては、既に説明した第 3 の実施の形態及び第 4 の実施の形態と同様に、支持体の表面に導体パターンが配されている所謂コア構造であっても良い。

50

【0119】

又、スペーサ631と632の表面を平坦化した場合、電子部品64を配置する際、より安定した実装が可能と成る。

【0120】

尚、図6に示すように、スペーサ631及び632の厚みが、ソルダーレジスト63の厚みと等しい場合、ソルダーレジスト63と、電子部品本体部65との距離、即ち間隙601の巾が、電極端子66の厚みと等しく成る為、電極端子66は、電子部品本体部65の表面より突出している事が望ましく、更には、当該電極端子66の厚みが、埋め込み樹脂78を充填するのに必要な間隙601巾を形成し得る厚みとなっている事が望ましい。

【0121】

具体的な電極端子66の厚みとしては、例えば、5 μ m以上であると、間隙601の巾も5 μ m以上と成り、一般的な埋め込み樹脂がポイド無く充填される。

【0122】

尚、前述の6つの実施の形態の説明で用いた電子部品とは、例えば、表面実装タイプで一般に2つの電極を有する受動部品（抵抗器、コンデンサ、インダクタ、等）の他、シリコンウェハ上に機能体（回路）を有するベアチップや当該ベアチップを樹脂封止したモールドICパッケージ等、外部に2つ以上の電極端子を有する電子部品全般を指し、本稿に記載した名称や説明内容及び図面により、その範囲や種類を限定されたものではない。

【0123】

本発明を説明するに当たって、前述の6つの実施の形態を例として説明したが、本発明の構成はこれらの限りでなく、又、これらの例により何ら制限されるものではなく、本発明の範囲内で種々の変更が可能である。

【実施例】

【0124】

以下、実施例、比較例、試験例を挙げて更に説明する。

【0125】

実施例1

先ず、銅箔を用意し、スペーサ兼マスクとしてのソルダーレジスト（PSR4000 AUS320：太陽インキ社製）を塗布した後、露光、現像、硬化し、実装パッドを形成した。

【0126】

次に、積層セラミックコンデンサ（GRM1552C1H330JA01：村田製作所社製）を使用し、接続材料にはんだ（M-705-BKC10：千住金属社製）を用いて、実装を行った。

【0127】

次に、平均粒径が0.5～1.0 μ mのフィラーを含有したFR-4相当の埋め込み樹脂材料を用いて、高温真空積層プレスを行った。

【0128】

次に、貫通穴あけ、めっき、回路形成を行い、積層前処理を行った。

【0129】

次に、ビルドアップ材を用いて積層を再び行い、レーザ穴加工、めっき、回路形成、ソルダーレジストを塗布し、図2に示す電子部品内蔵部を有する部品内蔵型多層プリント配線板を得た。尚、得られたプリント配線板は、長さ方向で電極端子の30%（0.06mm）がスペーサで保持され、幅方向では電極端子に対して両端で13%（0.05mm）ずつ保持されるものであった。

【0130】

比較例1

電極端子の下部にスペーサとしてのソルダーレジストを塗布しなかった以外は実施例1と同様にして、図8に示す電子部品内蔵部を有する部品内蔵型多層プリント配線板を得た。

。

10

20

30

40

50

【 0 1 3 1 】

試験例 1

実施例 1 で得られたプリント配線板の電子部品とソルダーレジストとの断面間隙を測定したところ、その巾は 14.8 ~ 17.1 μm の範囲であった。

他方、比較例 1 で得られたプリント配線板の電子部品とソルダーレジストとの断面間隙を測定したところ、その巾は 0.0 ~ 22.7 μm の範囲であった。

以上より、本発明によれば当該間隙を広く均等に確保できることが確認できた。

【 0 1 3 2 】

試験例 2

実施例 1 で得られたプリント配線板の電子部品下の断面を 99 のポイントで観察したところ、ポイド数は 0 であり、ポイドの発生がないことが確認できた。

他方、比較例 1 で得られたプリント配線板の電子部品下の断面を同様に観察したところ、ポイド数は 8 であった。

以上より、本発明によれば樹脂流動性が向上し、内蔵した部品下の僅かなポイドの発生も抑制できることが確認出来た。

【 符号の説明 】

【 0 1 3 3 】

1, 21, 31, 41, 51, 61, 71, 81 : 支持体

2, 22, 32, 42, 52, 62, 72, 82 : 導体パターン

3, 23, 33, 43, 53, 63, 73, 83 : ソルダーレジスト

4, 24, 34, 44, 54, 64, 74, 84 : 電子部品

5, 25, 35, 45, 55, 65, 75, 85 : 電子部品本体部

6, 26, 36, 46, 56, 66, 76, 86 : 電極端子

7, 27, 37, 47, 57, 67, 77, 87 : はんだ

8, 28, 38, 48, 58, 68, 78, 88 : 埋め込み樹脂

101, 201, 301, 401, 501, 601, 701, 801 : 間隙

131, 132, 331, 332, 531, 532 : スペースとしてのソルダーレジスト

133, 134, 135, 234, 235, 333, 334, 335, 434, 435,

533, 534, 535 : マスクとしてのソルダーレジスト

236, 436 : スペース兼マスクとしてのソルダーレジスト

537, 538, 731, 732 : スペース

801 : 非スリット間隙

802 : スリット間隙

89 : スリット

P1 : プリント配線板

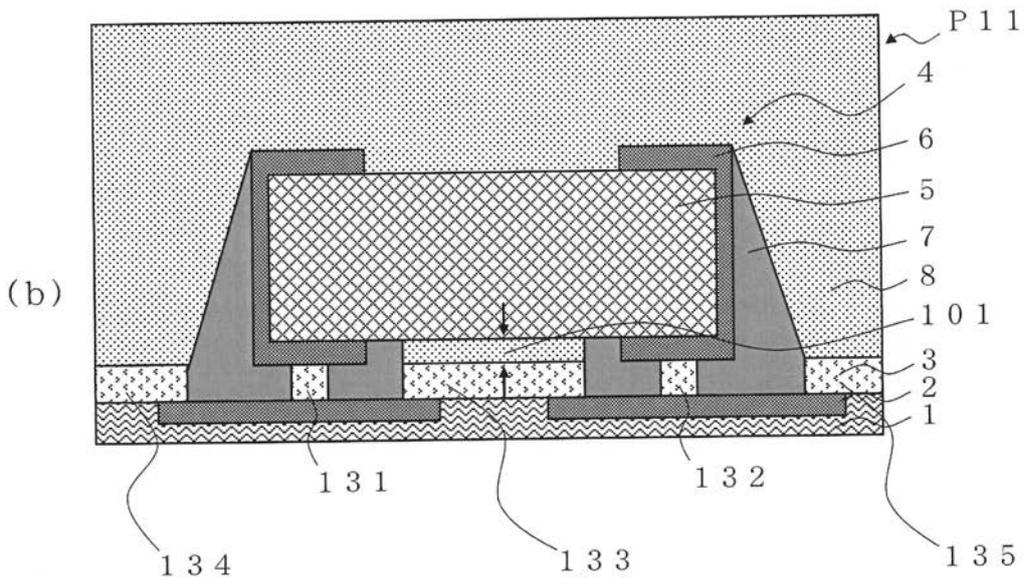
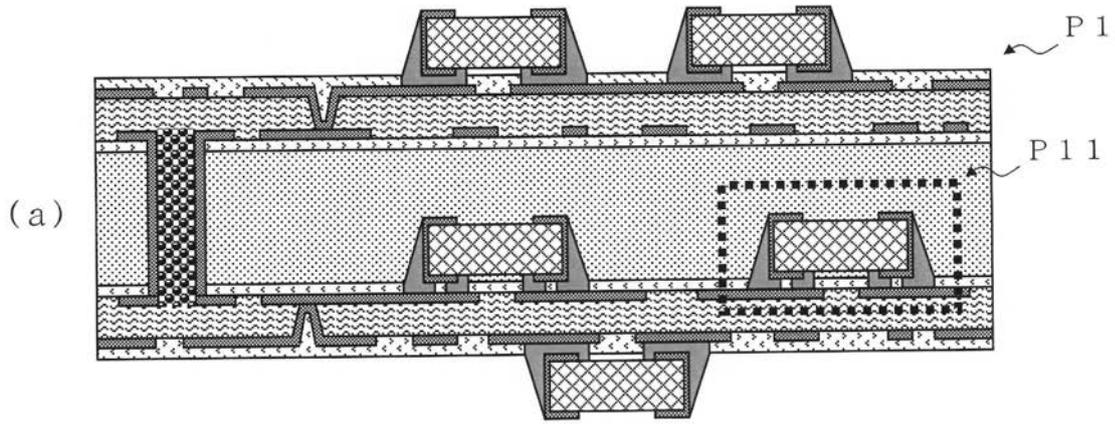
P11, P12, P13, P14, P15, P16, P7, P8 : 電子部品内蔵部

10

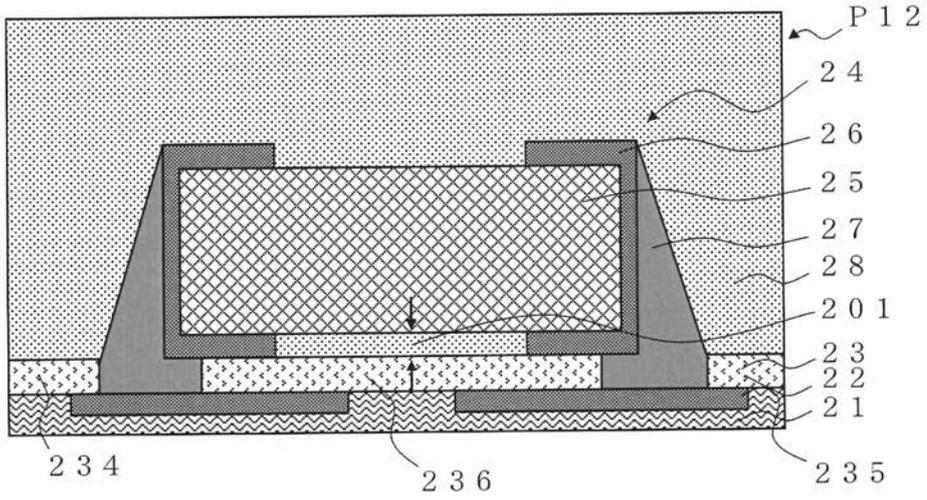
20

30

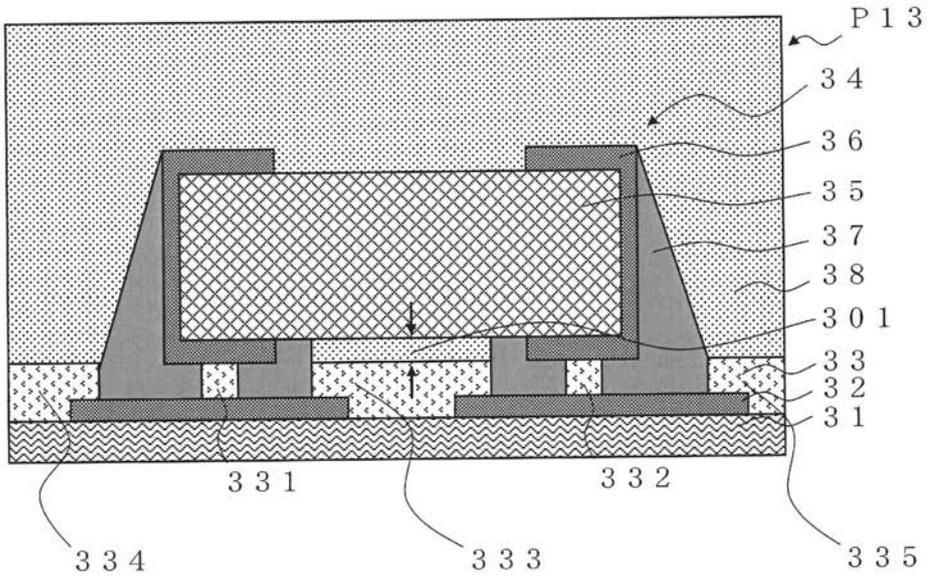
【図1】



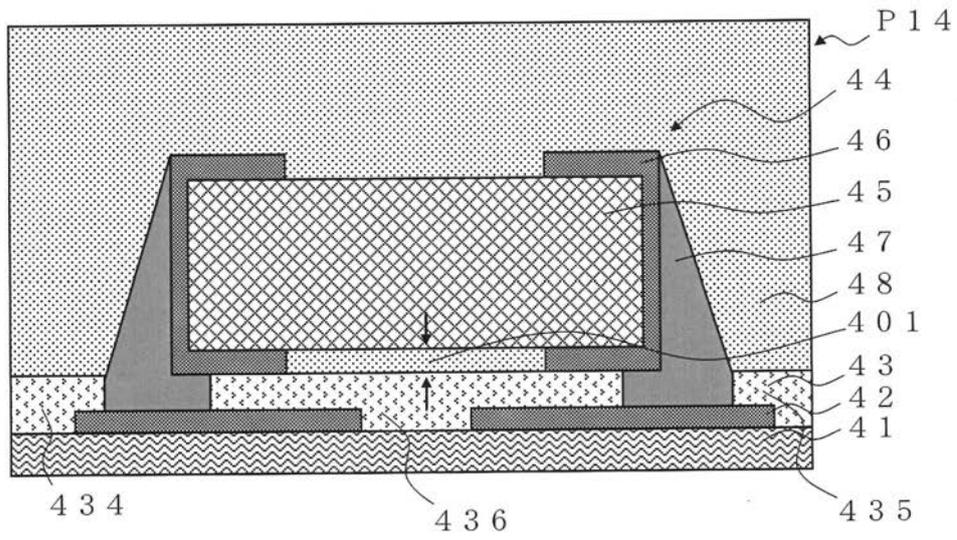
【図2】



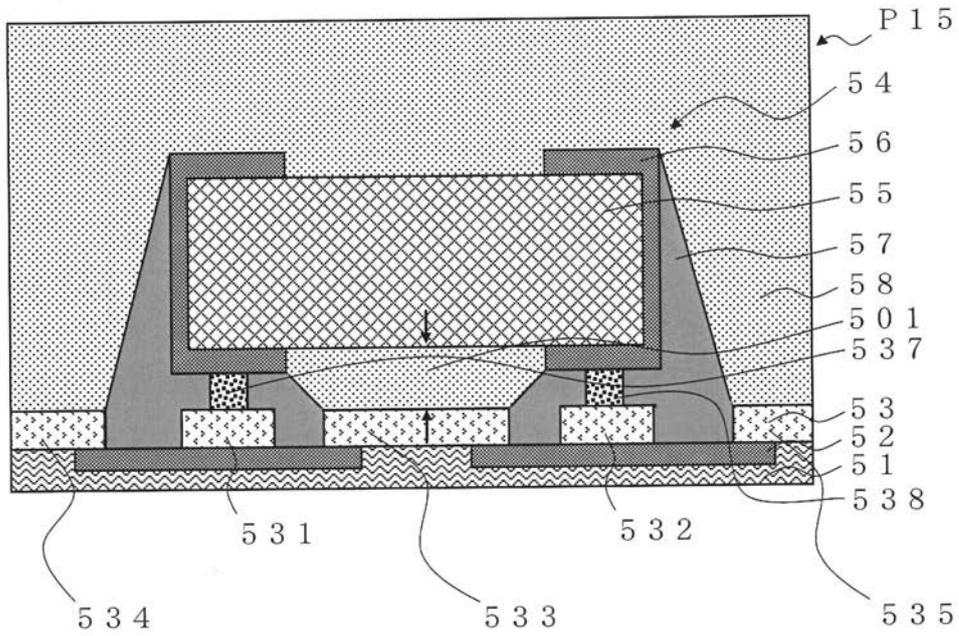
【図3】



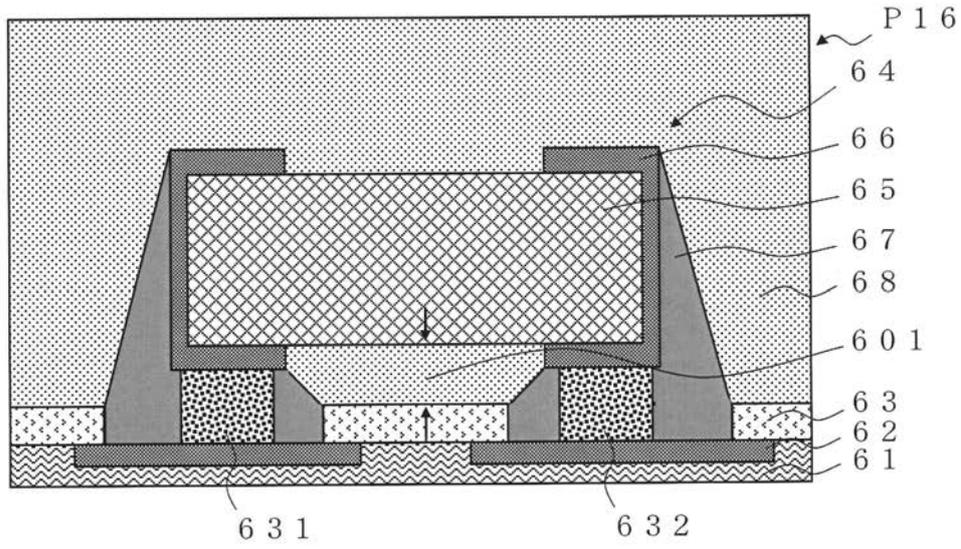
【 図 4 】



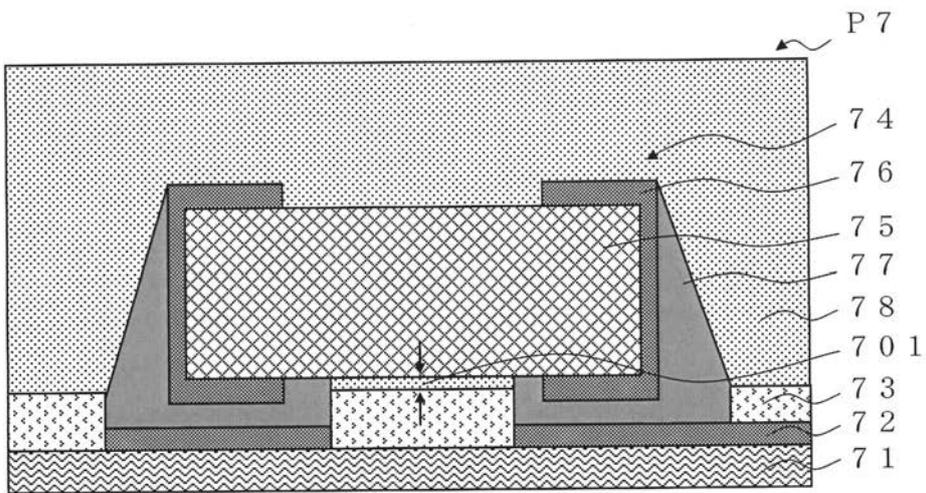
【 図 5 】



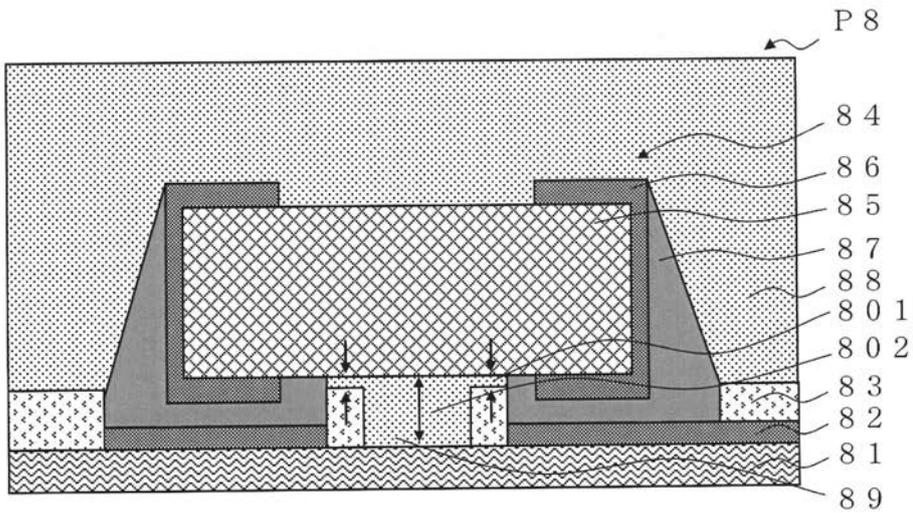
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 周藤 達也

群馬県伊勢崎市長沼町 1 7 4 4 - 1 日本シイエムケイ株式会社内

(72)発明者 関 宏之

群馬県伊勢崎市柴町今井 2 3 6 日本シイエムケイ株式会社内

Fターム(参考) 5E319 AA03 AB06 AC13 BB05 CC33 CD26 CD27 CD29 GG20

5E336 AA04 AA09 AA13 BB15 BB17 CC31 CC52 CC53 DD01 EE03

GG05 GG30

5E346 AA02 CC08 CC16 CC31 FF45 HH33 HH40