

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5902111号  
(P5902111)

(45) 発行日 平成28年4月13日(2016.4.13)

(24) 登録日 平成28年3月18日(2016.3.18)

(51) Int.Cl. F 1  
**G 1 1 C 11/22 (2006.01)** G 1 1 C 11/22 5 0 3

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2013-44106 (P2013-44106)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成25年3月6日(2013.3.6)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2014-175020 (P2014-175020A)	(74) 代理人	110002147 特許業務法人酒井国際特許事務所
(43) 公開日	平成26年9月22日(2014.9.22)	(72) 発明者	首藤 晋 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成27年2月9日(2015.2.9)	(72) 発明者	岡田 貴行 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	園島 巖 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

強誘電体膜がゲート絶縁膜に設けられたメモリセルであって、ウェルに形成されたソース層およびドレイン層と、前記ソース層と前記ドレイン層との間の前記ウェル上に前記ゲート絶縁膜を介して形成された制御ゲート電極とを有するメモリセルと、

前記メモリセルにデータを記憶させる時に、前記ゲート絶縁膜に第1電圧を印加させた後、前記メモリセルからのデータの読み出し結果に基づいて、前記第1電圧よりも振幅が小さくかつ極性が逆方向の第2電圧を印加させる制御回路とを備え、

前記メモリセルに含まれるセルトランジスタが直列に接続されることでNANDストリングが構成され、前記NANDストリングの両端がそれぞれセレクトトランジスタを介してビット線およびソース線に接続され、

前記制御回路は、前記制御ゲート電極に0V、前記ウェルに書き込み電圧を印加することで、前記ゲート絶縁膜に前記第1電圧をブロック単位で一括して印加させた後、前記メモリセルからのデータの読み出し結果に基づいて、前記制御ゲート電極に弱消去電圧、前記ビット線に前記メモリセルからの読み出し結果に応じた電圧を印加することで、前記ゲート絶縁膜に前記第2電圧をビット単位で印加させて前記メモリセルへの書き込み動作を行うことを特徴とする半導体記憶装置。

【請求項2】

強誘電体膜がゲート絶縁膜に設けられたメモリセルと、

前記メモリセルにデータを記憶させる時に、前記ゲート絶縁膜に第1電圧を印加させた

後、前記メモリセルからのデータの読み出し結果に基づいて、前記第 1 電圧よりも振幅が小さくかつ極性が逆方向の第 2 電圧を印加させる制御回路を備えることを特徴とする半導体記憶装置。

【請求項 3】

前記第 1 電圧の振幅は前記強誘電体膜の分極反転閾値以上、前記第 2 電圧の振幅は前記強誘電体膜の分極反転閾値より小さいことを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記第 2 電圧の印加時間は前記第 1 電圧の印加時間よりも小さいことを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

半導体記憶装置では、メモリセルの微細化に対応するため、メモリセルに強誘電体トランジスタ (FeFET) を用いたものがある。この強誘電体トランジスタでは、強誘電体膜の分極方向を反転させることでデータを記憶することができる。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献 1】特開 2010 - 79941 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一つの実施形態は、強誘電体トランジスタの分極反転後のしきい値の安定性を向上させることが可能な半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

30

本発明の一つの実施形態によれば、メモリセルと、制御回路とが設けられている。メモリセルは、強誘電体膜がゲート絶縁膜に設けられている。制御回路は、前記メモリセルにデータを記憶させる時に、前記ゲート絶縁膜に第 1 電圧を印加させた後、前記第 1 電圧よりも振幅が小さくかつ極性が逆方向の第 2 電圧を印加させる。

【図面の簡単な説明】

【0006】

【図 1】図 1 は、第 1 実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

【図 2】図 2 は、図 1 の半導体記憶装置のブロックの概略構成を示す回路図である。

【図 3】図 3 ( a ) は、図 1 の半導体記憶装置のセルトランジスタの一例を示す断面図、図 3 ( b ) は、図 1 の半導体記憶装置のセルトランジスタのその他の例を示す断面図である。

40

【図 4】図 4 ( a ) は、図 1 の半導体記憶装置の書き込み電圧印加方法を示す断面図、図 4 ( b ) は、図 4 ( a ) の書き込み電圧印加後のセルトランジスタの状態を示す断面図、図 4 ( c ) は、図 1 の半導体記憶装置の弱消去電圧印加方法を示す断面図である。

【図 5】図 5 は、図 1 の半導体記憶装置の書き込み時の動作を示すフローチャートである。

【図 6】図 6 は、図 1 の半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

【図 7】図 7 ( a ) は、第 2 実施形態に係る半導体記憶装置の消去電圧印加方法を示す断

50

面図、図7(b)は、図7(a)の消去電圧印加後のセルトランジスタの状態を示す断面図、図7(c)は、第2実施形態に係る半導体記憶装置の弱書き込み電圧印加方法を示す断面図である。

【図8】図8は、第2実施形態に係る半導体記憶装置の消去時の動作を示すフローチャートである。

【図9】図9は、第2実施形態に係る半導体記憶装置の消去時の動作を示すタイミングチャートである。

【図10】図10は、第3実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

【図11】図11は、図10の半導体記憶装置の書き込み時の動作を示すフローチャートである。

10

【図12】図12は、図10の半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態に係る半導体記憶装置を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第1実施形態)

図1は、第1実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

20

図1において、この半導体記憶装置には、メモリセルアレイ1、ロウ選択回路2、ウェル電位設定回路3、ソース電位設定回路4、カラム選択回路5、データ入出力バッファ6、制御回路7およびセンスアンプ回路8が設けられている。

【0009】

メモリセルアレイ1には、データを記憶するメモリセルがロウ方向およびカラム方向にマトリクス状に配置されている。なお、メモリセルは、強誘電体膜がゲート絶縁膜に設けられたセルトランジスタを用いることができる。なお、1個のメモリセルは、1ビット分のデータを記憶するようにしてもよいし、2ビット以上のデータが記憶できるように多値化されていてもよい。

【0010】

30

ここで、メモリセルアレイ1は、 $n$  ( $n$ は正の整数)個のブロック $B_1 \sim B_n$ に分割されている。なお、各ブロック $B_1 \sim B_n$ は、NANDセルをロウ方向に複数配列して構成することができる。

【0011】

また、ロウ選択回路2は、メモリセルの読み書き消去動作時において、メモリセルアレイ1のロウ方向のメモリセルを選択することができる。ウェル電位設定回路3は、メモリセルの読み書き消去動作時において、メモリセルアレイ1のウェル電位を設定することができる。ソース電位設定回路4は、メモリセルの読み書き消去動作時において、メモリセルアレイ1のソース電位を設定することができる。カラム選択回路5は、メモリセルの読み書き消去動作時において、メモリセルアレイ1のカラム方向のメモリセルを選択することができる。センスアンプ回路8は、メモリセルから読み出されたデータをカラムごとに判別することができる。データ入出力バッファ6は、外部から受け取ったコマンドやアドレスを制御回路7に送ったり、センスアンプ回路8と外部との間でデータの授受を行ったりすることができる。

40

【0012】

制御回路7は、コマンドおよびアドレスに基づいて、ロウ選択回路2、ウェル電位設定回路3、ソース電位設定回路4およびカラム選択回路5の動作を制御することができる。また、制御回路7は、メモリセルにデータを記憶させる時に、そのゲート絶縁膜に第1電圧を印加させた後、第1電圧よりも振幅が小さくかつ極性が逆方向の第2電圧を印加させることができる。なお、第1電圧の振幅は、メモリセルのゲート絶縁膜に用いられている

50

強誘電体膜の分極反転閾値以上に設定し、第2電圧の振幅は、メモリセルのゲート絶縁膜に用いられている強誘電体膜の分極反転閾値より小さくなるように設定する。

【0013】

図2は、図1の半導体記憶装置のブロックの概略構成を示す回路図である。

図2において、各ブロックB1～Bnには、h（hは正の整数）本のワード線WL1～WLh、セレクトゲート線SGD、SGSおよびソース線SCEが設けられている。また、各ブロックB1～Bnには、m（mは正の整数）本のビット線BL1～BLmが共通に設けられている。

【0014】

そして、各ブロックB1～Bnには、m個のNANDセルNU1～NUMが設けられ、NANDセルNU1～NUMはビット線BL1～BLmにそれぞれ接続されている。

10

【0015】

ここで、NANDセルNU1～NUMには、セルトランジスタMT1～MThおよびセレクトトランジスタMS1、MS2がそれぞれ設けられている。なお、メモリセルアレイ1の1個のメモリセルは、1個のセルトランジスタにて構成することができる。そして、セルトランジスタMT1～MThが直列に接続されることでNANDストリングが構成され、そのNANDストリングの両端にセレクトトランジスタMS1、MS2が接続されることで各NANDセルNU1～NUMが構成されている。

【0016】

そして、各NANDセルNU1～NUMにおいて、セルトランジスタMT1～MThの制御ゲート電極には、ワード線WL1～WLhがそれぞれ接続されている。なお、各ワード線WL1～WLhを共有する口ウ方向の複数のメモリセルは、ページを構成する。また、各NANDセルNU1～NUMにおいて、セルトランジスタMT1～MThからなるNANDストリングの一端は、セレクトトランジスタMS1を介してビット線BL1～BLmにそれぞれ接続され、NANDストリングの他端は、セレクトトランジスタMS2を介してソース線SCEに接続されている。セレクトトランジスタMS1のゲート電極には、セレクトゲート線SGDが接続され、セレクトトランジスタMS2のゲート電極には、セレクトゲート線SGSが接続されている。

20

【0017】

図3(a)は、図1の半導体記憶装置のセルトランジスタの一例を示す断面図、図3(b)は、図1の半導体記憶装置のセルトランジスタのその他の例を示す断面図である。

30

図3(a)において、ウェル31上には強誘電体膜34を介して制御ゲート電極35が設けられている。また、ウェル31には、制御ゲート電極35の両側に配置されたソース層33およびドレイン層32が設けられている。なお、ウェル31は、例えば、Si、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaNまたはZnSeなどの半導体を用いることができる。強誘電体膜34は、例えば、HfO<sub>2</sub>などを用いることができる。このHfO<sub>2</sub>には2～3モル%のSiを添加してもよい。制御ゲート電極35は、例えば、多結晶シリコンなどを用いることができる。

【0018】

また、図3(b)において、ウェル41上には界面絶縁膜44、強誘電体膜45およびバリアメタル膜46を順次介して制御ゲート電極47が設けられている。また、ウェル41には、制御ゲート電極47の両側に配置されたソース層43およびドレイン層42が設けられている。なお、ウェル41は、例えば、Si、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaNまたはZnSeなどの半導体を用いることができる。界面絶縁膜44は、例えば、SiO<sub>2</sub>などを用いることができる。強誘電体膜45は、例えば、HfO<sub>2</sub>などを用いることができる。このHfO<sub>2</sub>には2～3モル%のSiを添加してもよい。バリアメタル膜46は、例えば、TiNなどを用いることができる。制御ゲート電極47は、例えば、多結晶シリコンなどを用いることができる。

40

【0019】

なお、以下の説明では、図3(a)のセルトランジスタを例にとって説明する。また、

50

セルトランジスタの閾値を低い値から高い値に移行させることを書き込み動作と称し、セルトランジスタの閾値を高い値から低い値に移行させることを消去動作と称する。

【0020】

図4(a)は、図1の半導体記憶装置の書き込み電圧印加方法を示す断面図、図4(b)は、図4(a)の書き込み電圧印加後のセルトランジスタの状態を示す断面図、図4(c)は、図1の半導体記憶装置の弱消去電圧印加方法を示す断面図である。

【0021】

なお、書き込み動作では、書き込み時にメモリセルのゲート絶縁膜に第1電圧をブロックB1～Bn単位で一括して印加させた後、弱消去時にメモリセルのゲート絶縁膜に第2電圧をブロックB1～Bn単位で一括して印加させることができる。

10

【0022】

すなわち、図4(a)において、書き込み時では、ブロックB1～Bnのワード線WL1～WLhに0Vを印加し、メモリセルアレイ1のウェル電位を書き込み電圧Vpp(例えば、6V)に設定する。なお、ソース層33およびドレイン層32は書き込み電圧Vppに設定することができる。この時、強誘電体膜34にはチャネル側が正、制御ゲート電極35側が負になるように高電圧がかかる。このため、図4(b)に示すように、チャネル側が負、制御ゲート電極35側が正になるように強誘電体膜34に分極37が発生し、セルトランジスタの閾値が上昇する。この時、強誘電体膜34には、正のトラップ電荷36がトラップされ、セルトランジスタの閾値の上昇を打ち消すように作用する。

【0023】

20

次に、図4(c)に示すように、弱消去時では、ブロックB1～Bnのワード線WL1～WLhに弱消去電圧Vwp(例えば、0.5V)を印加し、メモリセルアレイ1のウェル電位を0Vに設定する。なお、ソース層33およびドレイン層32は0Vに設定することができる。この時、強誘電体膜34には書き込み時と反対方向の電界がかかる。このため、強誘電体膜34にトラップされたトラップ電荷36が引き抜かれ、トラップ電荷36によるセルトランジスタの閾値の上昇抑制作用が解消される。

なお、弱消去電圧Vwpの絶対値は、強誘電体膜34の分極反転閾値より小さな値に設定することができる。例えば、強誘電体膜34の分極反転閾値が2.5Vであるとする、弱消去電圧Vwpの絶対値は2.5Vより小さな値に設定することができる。これにより、メモリセルの書き込み状態を破壊することなく、強誘電体膜34にトラップされたトラップ電荷36を引き抜くことができる。

30

【0024】

このように、書き込み後に弱消去を行うことにより、セルトランジスタの閾値の変化幅を拡大することができ、読み出しマージンを広げることが可能となるとともに、セルトランジスタの分極反転後のしきい値の安定性を向上させることができる。

【0025】

なお、図4(a)の方法では、書き込み時に、メモリセルのウェル31、ソース層33およびドレイン層32に書き込み電圧Vppを印加し、制御ゲート電極35に0Vを印加する方法について説明したが、メモリセルのウェル31、ソース層33およびドレイン層32に0Vを印加し、制御ゲート電極35に-Vppを印加するようにしてもよい。

40

【0026】

図5は、図1の半導体記憶装置の書き込み時の動作を示すフローチャートである。

図5において、書き込み動作が開始されると、強誘電体膜34の分極反転が起こるようにメモリセルに書き込み電圧Vppを印加する(S1)。

【0027】

次に、メモリセルに書き込まれたデータが消失しない程度に書き込み時と反対方向の電界が強誘電体膜34にかかるようにメモリセルに弱消去電圧Vwpを印加する(S2)。

【0028】

図6は、図1の半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

図6において、書き込み前は、制御ゲート電圧およびソース・ドレイン・ウェル電圧は

50

接地電位 GND に設定されている。そして、書き込み指示信号が接地電位 GND から電源電位 Vcc に立ち上がると、ソース・ドレイン・ウェル電圧が接地電位 GND から書き込み電圧 Vpp に立ち上がる。このため、チャンネル側が負、制御ゲート電極 35 側が正になるように強誘電体膜 34 に分極 37 が発生し、セルトランジスタの閾値が上昇する。

#### 【0029】

次に、書き込み指示信号が電源電位 Vcc から接地電位 GND に立ち下がることで、ソース・ドレイン・ウェル電圧が書き込み電圧 Vpp から接地電位 GND に立ち下がる。そして、弱消去指示信号が接地電位 GND から電源電位 Vcc に立ち上がると、制御ゲート電圧が接地電位 GND から弱消去電圧 Vwp に立ち上がる。このため、強誘電体膜 34 にトラップされたトラップ電荷 36 が引き抜かれ、トラップ電荷 36 によるセルトランジスタの閾値の上昇抑制作用が解消される。そして、弱消去指示信号が電源電位 Vcc から接地電位 GND に立ち下がることで、制御ゲート電圧が弱消去電圧 Vwp から接地電位 GND に立ち下がる。

10

#### 【0030】

この時、強誘電体膜 34 のトラップ電荷を引き抜く時に強誘電体膜 34 にかかる電界の絶対値は、強誘電体膜 34 の分極を反転させる時に強誘電体膜 34 にかかる電界の絶対値よりも小さくなるように、書き込み電圧 Vpp および弱消去電圧 Vwp を設定することができる。弱消去電圧 Vwp による電界が強誘電体膜 34 にかかる時間 t<sub>w</sub>e (例えば、50 ns) は、書き込み電圧 Vpp による電界が強誘電体膜 34 にかかる時間 t<sub>w</sub> (例えば、100 ns) よりも短くすることができる。また、弱消去電圧 Vwp の電圧パルスの高さまたは幅は可変であってもよい。また、弱消去電圧 Vwp の電圧パルスの高さまたは幅は外部から指定することができる。

20

#### 【0031】

なお、上述した説明では、書き込み動作において、書き込み時にメモリセルのゲート絶縁膜に第 1 電圧をブロック B1 ~ Bn 単位で一括して印加させた後、弱消去時にメモリセルのゲート絶縁膜に第 2 電圧をブロック B1 ~ Bn 単位で一括して印加させる方法について説明した。その他の方法として、書き込み時にメモリセルのゲート絶縁膜に第 1 電圧をブロック B1 ~ Bn 単位で一括して印加させた後、弱消去時にメモリセルのゲート絶縁膜に第 2 電圧をビット単位で印加させるようにしてもよい。この弱消去では、NAND ストリングの選択セルの制御ゲート電極 35 にかかる電圧が、NAND ストリングの非選択セルの制御ゲート電極 35 にかかる電圧より大きくなるように設定することができる。例えば、選択ワード線に弱消去電圧 Vwp (例えば、1 V) を印加し、選択ビット線に 0 V を印加する。非選択ワード線には選択セルを含む NAND ストリングの非選択セルをオンさせるのに十分な電圧 (例えば、0.8 V) を印加し、非選択ビット線には消去禁止電圧 V<sub>fe</sub> (例えば、0.5 V) を印加する。また、セレクトゲート線 SGD には、セレクトトランジスタ MS1 がオンし、セレクトゲート線 SGS には、セレクトトランジスタ MS2 をオフする電圧を印加する。

30

#### 【0032】

さらにその他の方法として、書き込み時にメモリセルのゲート絶縁膜に第 1 電圧をブロック B1 ~ Bn 単位で一括して印加させた後、弱消去時にメモリセルのゲート絶縁膜に第 2 電圧を NAND ストリング単位で印加させるようにしてもよい。この弱消去では、選択された NAND ストリングのメモリセルにおける強誘電体膜 34 にかかる電圧が、非選択の NAND ストリングメモリセルにおける強誘電体膜 34 にかかる電圧より大きくなるように設定することができる。例えば、選択ワード線 WL1 ~ WLh に弱消去電圧 Vwp (例えば、0.8 V) を印加し、選択された NAND ストリングが接続されたビット線に 0 V を印加する一方、非選択の NAND ストリングが接続されたビット線には消去禁止電圧 V<sub>fe</sub> (例えば、0.5 V) を印加する。また、セレクトゲート線 SGD には、セレクトトランジスタ MS1 がオンし、セレクトゲート線 SGS には、セレクトトランジスタ MS2 をオフする電圧を印加する。

40

#### 【0033】

50

(第2実施形態)

図7(a)は、第2実施形態に係る半導体記憶装置の消去電圧印加方法を示す断面図、図7(b)は、図7(a)の消去電圧印加後のセルトランジスタの状態を示す断面図、図7(c)は、第2実施形態に係る半導体記憶装置の弱書き込み電圧印加方法を示す断面図である。

【0034】

なお、消去動作では、消去時にメモリセルのゲート絶縁膜に第1電圧をビット単位で印加させた後、弱書き込み時にメモリセルのゲート絶縁膜に第2電圧をブロックB1~Bn単位で一括して印加させることができる。

【0035】

すなわち、図7(a)において、消去時では、選択ワード線に消去電圧 $V_e$ (例えば、6V)を印加し、選択ビット線に0Vを印加する。非選択ワード線には選択セルを含むNANDストリングの非選択セルをオンさせるのに十分な電圧(例えば、0.8V)を印加し、非選択ビット線には消去禁止電圧 $V_{fe}$ (例えば、0.5V)を印加する。また、セレクトゲート線SGDには、セレクトトランジスタMS1がオンし、セレクトゲート線SGSには、セレクトトランジスタMS2をオフする電圧を印加する。

【0036】

すると、選択ビット線に印加された0Vの電圧は、セレクトトランジスタMS1および非選択セルを介して選択セルに転送され、ウェル31、ソース層33およびドレイン層32が0Vに設定される。この時、選択ワード線に消去電圧 $V_e$ が印加されているため、強誘電体膜34にはチャネル側が負、制御ゲート電極35側が正になるように高電圧がかかる。このため、図7(b)に示すように、チャネル側が正、制御ゲート電極35側が負になるように強誘電体膜34に分極39が発生し、セルトランジスタの閾値が下降する。この時、強誘電体膜34には、負のトラップ電荷38がトラップされ、セルトランジスタの閾値の下降を打ち消すように作用する。

【0037】

一方、非選択ビット線に接続されたNANDセルでは、消去禁止電圧 $V_{fe}$ が非選択ビット線に印加されているので、セレクトトランジスタMS1がオフする。その結果、非選択ビット線に接続されたNANDセルのセルトランジスタMT1~MThはフローティング状態になり、選択ワード線に印加された消去電圧 $V_e$ に追従するように、選択ワード線に接続された非選択セルのチャネルの電位が上昇する(セルフブースト)。このため、選択ワード線に接続された非選択セルでは、強誘電体膜34にかかる電圧が低下し、強誘電体膜34に分極39が変化しないようにすることができる。

【0038】

次に、図7(c)に示すように、弱書き込み時では、ブロックB1~Bnのワード線WL1~WLhに弱書き込み電圧 $V_{we}$ (例えば、-0.5V)を印加し、メモリセルレイ1のウェル電位を0Vに設定する。なお、ソース層33およびドレイン層32は0Vに設定することができる。この時、強誘電体膜34には消去時と反対方向の電界がかかる。このため、強誘電体膜34にトラップされたトラップ電荷38が引き抜かれ、トラップ電荷38によるセルトランジスタの閾値の下降抑制作用が解消される。

なお、弱書き込み電圧 $V_{we}$ の絶対値は、強誘電体膜34に分極反転閾値より小さな値に設定することができる。例えば、強誘電体膜34に分極反転閾値が2.5Vであるとすると、弱書き込み電圧 $V_{we}$ の絶対値は2.5Vより小さな値に設定することができる。これにより、メモリセルの消去状態を破壊することなく、強誘電体膜34にトラップされたトラップ電荷38を引き抜くことができる。

【0039】

このように、消去動作後に弱書き込み動作を行うことにより、セルトランジスタの閾値の変化幅を拡大することができ、読み出しマージンを広げることが可能となるとともに、セルトランジスタに分極反転後のしきい値の安定性を向上させることができる。

【0040】

10

20

30

40

50

図 8 は、第 2 実施形態に係る半導体記憶装置の消去時の動作を示すフローチャートである。

図 8 において、消去動作が開始されると、強誘電体膜 3 4 の分極反転が起こるようにメモリセルに消去電圧  $V_e$  を印加する (S 1 1)。

【 0 0 4 1 】

次に、メモリセルの書き込みが起こらない程度に消去時と反対方向の電界が強誘電体膜 3 4 にかかるようにメモリセルに弱書き込み電圧  $V_{we}$  を印加する (S 1 2)。

【 0 0 4 2 】

図 9 は、第 2 実施形態に係る半導体記憶装置の消去時の動作を示すタイミングチャートである。

図 9 において、消去前は、制御ゲート電圧およびソース・ドレイン・ウェル電圧は接地電位  $GND$  に設定されている。そして、消去指示信号が接地電位  $GND$  から電源電位  $V_{cc}$  に立ち上がると、制御ゲート電圧が接地電位  $GND$  から消去電圧  $V_e$  に立ち上がる。このため、チャンネル側が正、制御ゲート電極 3 5 側が負になるように強誘電体膜 3 4 に分極 3 9 が発生し、セルトランジスタの閾値が降下する。

【 0 0 4 3 】

次に、消去指示信号が電源電位  $V_{cc}$  から接地電位  $GND$  に立ち下がることで、制御ゲート電圧が消去電圧  $V_e$  から接地電位  $GND$  に立ち下がる。そして、弱書き込み指示信号が接地電位  $GND$  から電源電位  $V_{cc}$  に立ち上がると、制御ゲート電圧が接地電位  $GND$  から弱書き込み電圧  $V_{we}$  に立ち下がる。このため、強誘電体膜 3 4 にトラップされたトラップ電荷 3 8 が引き抜かれ、トラップ電荷 3 8 によるセルトランジスタの閾値の降下抑制作用が解消される。そして、弱書き込み指示信号が電源電位  $V_{cc}$  から接地電位  $GND$  に立ち下がることで、制御ゲート電圧が弱書き込み電圧  $V_{we}$  から接地電位  $GND$  に立ち上がる。

【 0 0 4 4 】

この時、強誘電体膜 3 4 のトラップ電荷 3 8 を引き抜く時に強誘電体膜 3 4 にかかる電界の絶対値は、強誘電体膜 3 4 の分極を反転させる時に強誘電体膜 3 4 にかかる電界の絶対値よりも小さくなるように、消去電圧  $V_e$  および弱書き込み電圧  $V_{we}$  を設定することができる。弱書き込み電圧  $V_{we}$  による電界が強誘電体膜 3 4 にかかる時間  $t_{we}$  は、消去電圧  $V_e$  による電界が強誘電体膜 3 4 にかかる時間  $t_w$  よりも短くすることができる。また、弱書き込み電圧  $V_{we}$  の電圧パルスの高さまたは幅は可変であってもよい。また、弱書き込み電圧  $V_{we}$  の電圧パルスの高さまたは幅は外部から指定することができる。

【 0 0 4 5 】

なお、上述した説明では、消去動作において、消去時にメモリセルのゲート絶縁膜に第 1 電圧をビット単位で印加させた後、弱書き込み時にメモリセルのゲート絶縁膜に第 2 電圧をブロック  $B_1 \sim B_n$  単位で一括して印加させる方法について説明した。別の方法として、消去時にメモリセルのゲート絶縁膜に第 1 電圧をブロック  $B_1 \sim B_n$  単位で一括して印加させた後、弱書き込み時にメモリセルのゲート絶縁膜に第 2 電圧をブロック  $B_1 \sim B_n$  単位で一括して印加させるようにしてもよい。

【 0 0 4 6 】

また、第 1 実施形態では、書き込み動作後に弱消去動作を行う方法を示し、第 2 実施形態では、消去動作後に弱書き込み動作を行う方法を示したが、両方の動作を行うようにしてもよい。

【 0 0 4 7 】

( 第 3 実施形態 )

図 1 0 は、第 3 実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

図 1 0 において、この半導体記憶装置には、図 1 の半導体記憶装置の制御回路 7 の代わりに制御回路 2 7 が設けられている。制御回路 2 7 は、メモリセルにデータを記憶させる時に、そのゲート絶縁膜に第 1 電圧を印加させた後、そのメモリセルからのデータの読み出し結果に基づいて、第 1 電圧よりも振幅が小さくかつ極性が逆方向の第 2 電圧を印加さ

10

20

30

40

50

せることができる。この第2電圧はビット単位で印加させることができる。この時、メモリセルから読み出されたデータが正しくない場合、そのメモリセルに第2電圧を印加させ、そのメモリセルから読み出されたデータが正しい場合、第2電圧を印加させないようにすることができる。また、メモリセルの書き込み時において、第2電圧をビット単位で印加させる場合、NANDストリングの選択セルの制御ゲート電極35にかかる電圧が、NANDストリングの非選択セルの制御ゲート電極35にかかる電圧より大きくなるように設定することができる。

#### 【0048】

図11は、図10の半導体記憶装置の書き込み時の動作を示すフローチャートである。なお、以下の説明では、メモリセルに‘1’が記憶されている時は書き込み状態、メモリセルに‘0’が記憶されている時は消去状態とする。

10

図11において、書き込み動作が開始されると、強誘電体膜34の分極反転が起こるようにメモリセルに書き込み電圧 $V_{pp}$ を印加する(S31)。次に、ペリファイ対象となるメモリセルを選択し(S32)、選択セルからデータを読み出す(S33)。なお、メモリセルの選択はビット単位で行うことができる。

#### 【0049】

次に、選択セルに記憶されているデータが‘1’であるか‘0’であるかを判断し(S34)、選択セルに記憶されているデータが‘0’の場合、選択セルに書き込まれたデータが消失しない程度に書き込み時と反対方向の電界が強誘電体膜34にかかるように選択セルに弱消去電圧 $V_{wp}$ を印加する(S35)。

20

#### 【0050】

一方、選択セルに記憶されているデータが‘1’の場合、全てのメモリセルを選択したかどうかを判断し(S36)、全てのメモリセルを選択してない場合、全てのメモリセルが選択されるまでS31～S35の処理を繰り返す。

#### 【0051】

ここで、選択セルに記憶されているデータが‘0’の場合にのみ選択セルに弱消去電圧 $V_{wp}$ を印加することにより、メモリセルの閾値が高くなり過ぎるのを防止することができる。同一NANDストリングの異なるメモリセルの読み出しができなくなるのを防止することができる。また、初めから強すぎる弱消去が行われるのを防止ことができ、分極反転を防止することができる。

30

#### 【0052】

図12は、図10の半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

図12において、書き込み前は、制御ゲート電圧、ビット線電圧、ドレイン電圧およびソース・ウェル電圧は接地電位GNDに設定されている。そして、書き込み指示信号が接地電位GNDから電源電位 $V_{cc}$ に立ち上がると、ビット線電圧、ドレイン電圧およびソース・ウェル電圧が接地電位GNDから書き込み電圧 $V_{pp}$ に立ち上がる。このため、チャンネル側が負、制御ゲート電極35側が正になるように強誘電体膜34に分極37が発生し、セルトランジスタの閾値が上昇する。そして、書き込み指示信号が電源電位 $V_{cc}$ から接地電位GNDに立ち下がることで、ビット線電圧、ドレイン電圧およびソース・ウェル電圧が書き込み電圧 $V_{pp}$ から接地電位GNDに立ち下がる。

40

#### 【0053】

次に、書き込み動作が行われた後、読み出し動作が行われる。この読み出し動作では、選択ワード線に読み出し電圧 $V_{rg}$ が印加されることで、選択セルの制御ゲート電圧が接地電位GNDから読み出し電圧 $V_{rg}$ に立ち上がる。非選択ワード線にはセルトランジスタをオンさせるのに十分な中間電圧(例えば、2.5V)が印加される。また、セレクトゲート線SGD、SGSには、セレクトトランジスタMS1、MS2をオンさせるのに十分な中間電圧が印加される。また、選択ビット線にプリチャージ電圧が印加され、ソース線SCEに0Vが印加される。

#### 【0054】

50

この時、選択セルの閾値が読み出しレベルに達していない場合は、選択ビット線に充電された電荷がNANDストリングを介して放電され、選択ビット線の電位がロウレベルになる。一方、選択セルのしきい値が読み出しレベルに達している場合は、選択ビット線に充電された電荷がNANDストリングを介して放電されないため、選択ビット線の電位がハイレベルになる。

【0055】

そして、選択ビット線の電位がロウレベルかハイレベルかを判定することで選択セルの閾値が読み出しレベルに達しているかどうかを判定され、選択セルに記憶されているデータが読み出される。例えば、選択セルの書き込み動作が行われたにもかかわらず、選択セルに記憶されているデータが‘0’の場合、選択ビット線の電位がロウレベルになる。一方、選択セルの書き込み動作後、選択セルに記憶されているデータが‘1’の場合、選択ビット線の電位がハイレベルになる。なお、選択セルの読み出し動作後に弱消去動作を行う場合、読み出し動作後の選択ビット線の電位を弱消去動作まで保持することができる。

10

【0056】

次に、読み出し電圧 $V_{rg}$ が立ち下がった後、弱消去指示信号が接地電位GNDから電源電位 $V_{cc}$ に立ち上がる。すると、制御ゲート電圧が接地電位GNDから弱消去電圧 $V_{wp}$ に立ち上がり、選択セルから読み出されたデータに応じて弱消去がビット単位で行われる。

【0057】

この弱消去をビット単位で行う場合、NANDストリングの選択セルの制御ゲート電極35にかかる電圧が、NANDストリングの非選択セルの制御ゲート電極35にかかる電圧より大きくなるように設定することができる。また、選択ビット線には、読み出し動作後の選択ビット線の電位を印加することができる。例えば、選択セルに記憶されているデータが‘0’の場合、選択ワード線に弱消去電圧 $V_{wp}$ （例えば、1V）を印加し、選択ビット線に0Vを印加する。非選択ワード線には選択セルを含むNANDストリングの非選択セルをオンさせるのに十分な電圧（例えば、0.8V）を印加し、非選択ビット線には消去禁止電圧 $V_{fe}$ （例えば、0.5V）を印加する。また、セレクトゲート線SGDには、セレクトトランジスタMS1がオンし、セレクトゲート線SGSには、セレクトトランジスタMS2をオフする電圧を印加する。

20

【0058】

すると、選択ビット線に印加された0Vの電圧は、セレクトトランジスタMS1および非選択セルを介して選択セルに転送され、ウェル31、ソース層33およびドレイン層32が0Vに設定される。ここで、選択セルに記憶されているデータが‘0’の場合、選択ビット線の電位がロウレベルであるため、選択セルのウェル31と制御ゲート電極35との間に弱消去電圧 $V_{wp}$ がかかる。このため、強誘電体膜34にトラップされたトラップ電荷36が引き抜かれ、トラップ電荷36によるセルトランジスタの閾値の上昇抑制作用が解消される。そして、弱消去指示信号が電源電位 $V_{cc}$ から接地電位GNDに立ち下がることで、制御ゲート電圧が弱消去電圧 $V_{wp}$ から接地電位GNDに立ち下がる。

30

【0059】

この時、そのNANDストリングの非選択セルの強誘電体膜34にも、その非選択セルをオンさせるのに十分な電圧が印加されるが、その非選択セルの制御ゲート電極35にかかる電圧は、選択セルの制御ゲート電極35にかかる電圧より小さいので、その非選択セルでは弱消去が行われなようにすることができる。

40

【0060】

一方、選択セルに記憶されているデータが‘1’の場合、選択ビット線の電位がハイレベルである。このため、選択セルのウェル31と制御ゲート電極35との間に弱消去電圧 $V_{wp}$ がかかることなく、選択セルの閾値が高くなり過ぎるのを防止することができる。

【0061】

一方、非選択ビット線に接続されたNANDセルでは、消去禁止電圧 $V_{fe}$ が非選択ビット線に印加されているので、セレクトトランジスタMS1がオフする。その結果、非選

50

択ビット線に接続されたNANDセルのセルトランジスタMT1~MThはフローティング状態になり、選択ワード線に印加された弱消去電圧Vwpに追従するように、選択ワード線に接続された非選択セルのチャネルの電位が上昇する。このため、選択ワード線に接続された非選択セルでは、強誘電体膜34にかかる電圧が低下し、弱消去が行われないうにすることができる。

【0062】

また、NANDメモリでは、弱消去動作は、同一ワード線を共有するメモリセル全部に対して行うことができる。この時、読み出し動作と弱消去動作は、書き込み後にページ中の全てのビットでデータ‘1’が読み出されるか、弱消去動作の最大繰り返し数に達するまで行うことができる。

10

【0063】

なお、上述した実施形態では、弱消去動作の電圧と時間は、複数回の弱消去動作を通じて同一として説明をしたが、弱消去動作の電圧を順に大きくしていったり、弱消去動作の時間を順に長くしていったりしてもよい。

【0064】

このようにすれば、最初はごく弱い消去から初めて、消去の程度を順に強くしていくことが可能となる。このため、弱消去の効果が大きなメモリセルに対して、より弱い弱消去を行い、弱消去の効果が小さいメモリセルに対しては、強めの弱消去を行うことが可能となる。

【0065】

なお、NANDストリングの選択セルの制御ゲート電極35にかかる電圧が、NANDストリングの非選択セルの制御ゲート電極35にかかる電圧以下になるように設定した場合、NANDストリングの非選択セルの制御ゲート電極35には弱消去電圧Vwp以上の電圧がかかる。このため、NANDストリングの選択セルだけでなく非選択セルも弱消去が行われ、NANDストリング単位で弱消去を行うことができる。

20

【0066】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

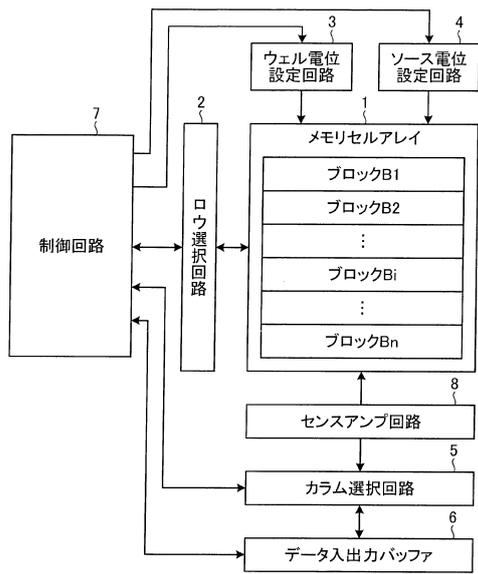
30

【符号の説明】

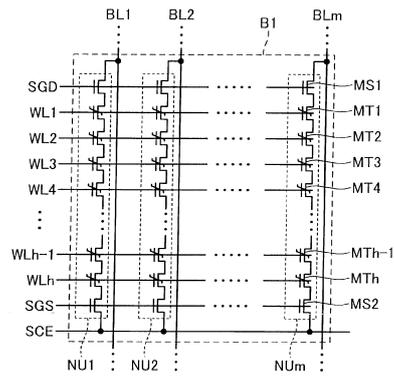
【0067】

1 メモリセルアレイ、B1~Bn ブロック、2 ロウ選択回路、3 ウェル電位設定回路、4 ソース電位設定回路、5 カラム選択回路、6 データ入出力バッファ、7、27 制御回路、8 センスアンプ回路

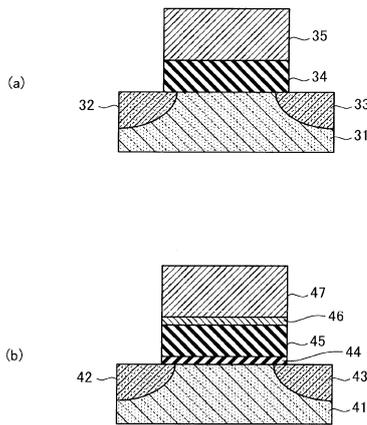
【図1】



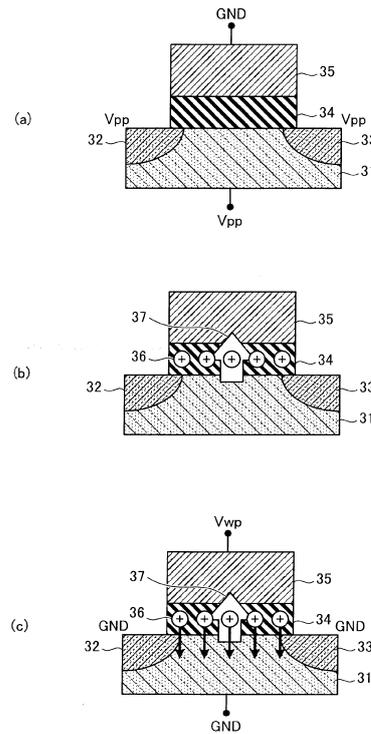
【図2】



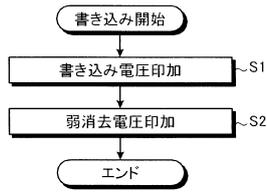
【図3】



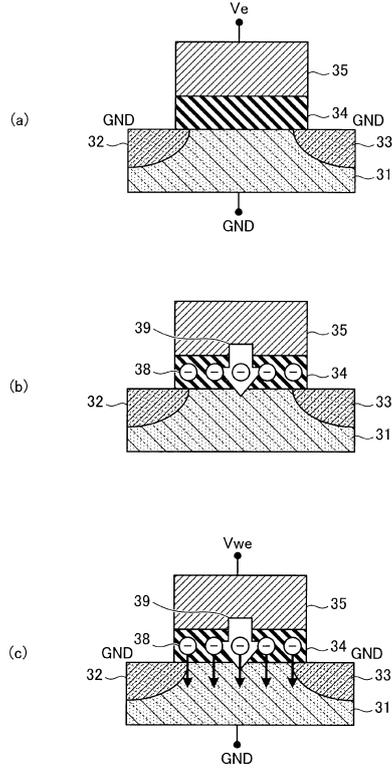
【図4】



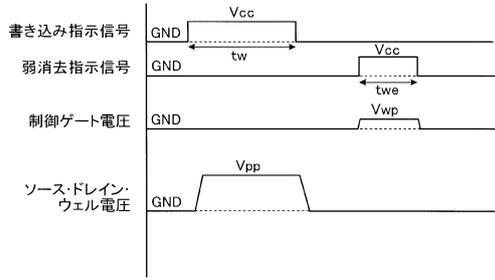
【図5】



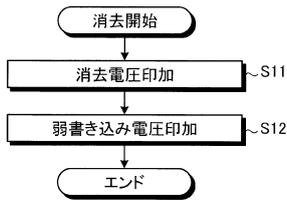
【図7】



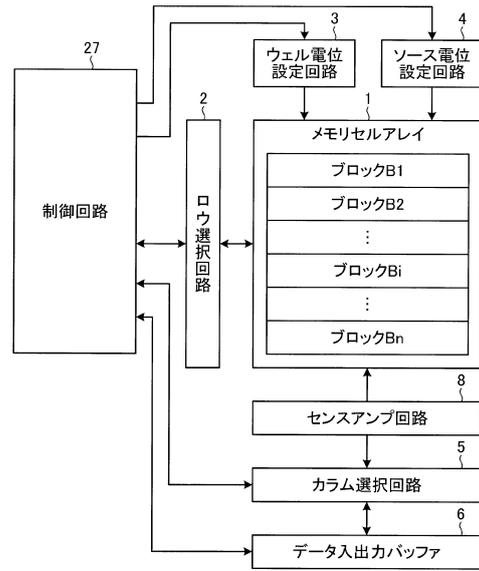
【図6】



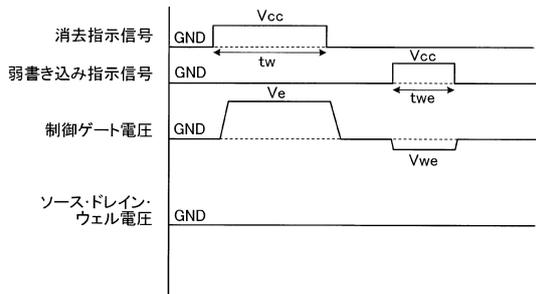
【図8】



【図10】



【図9】





---

フロントページの続き

審査官 滝谷 亮一

(56)参考文献 特開2001-024163(JP,A)  
特開2010-079941(JP,A)  
特開2009-266356(JP,A)  
特開2007-193862(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/22