



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0140950
(43) 공개일자 2021년11월23일

(51) 국제특허분류(Int. Cl.) <i>G05F 3/16</i> (2006.01) <i>H03F 1/02</i> (2006.01)	(71) 출원인 삼성전기주식회사
(52) CPC특허분류 <i>G05F 3/16</i> (2013.01) <i>H03F 1/0211</i> (2013.01)	(72) 발명자 전현구
(21) 출원번호 10-2020-0057793	(74) 대리인 팬코리아특허법인
(22) 출원일자 2020년05월14일	
심사청구일자 없음	

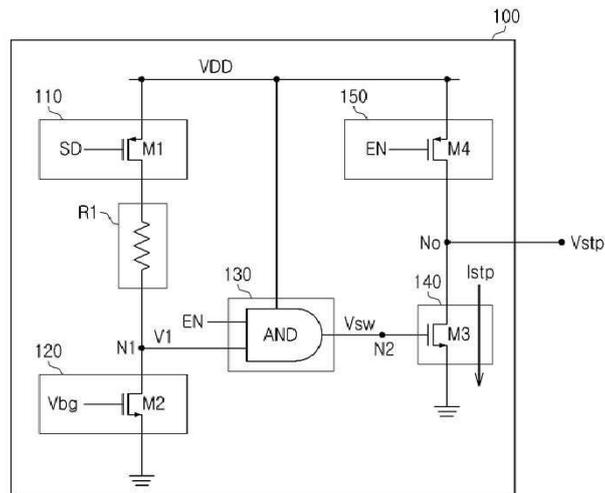
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **스타트업 회로 및 밴드갭 레퍼런스 회로**

(57) 요약

본 발명의 일 실시 예에 따른 스타트업 회로는, 동작전압 단자와 제1 접속노드 사이에 접속되어, 셧다운 신호에 따라 스위칭 동작하는 제1 스위치; 상기 제1 접속노드와 접지 사이에 접속되어, 밴드갭 전압에 따라 스위칭 동작하는 제2 스위치; 상기 제1 접속노드의 제1 전압과 인에이블 신호를 논리곱 연산하여 스위칭 전압을 생성하는 로직 회로; 및 스타트업 전압을 출력하는 출력노드와 접지 사이에 접속되고, 상기 스위칭 전압에 따라 스위칭 동작하는 제3 스위치; 를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

동작전압 단자와 제1 접속노드 사이에 접속되어, 셋다운 신호에 따라 스위칭 동작하는 제1 스위치;
 상기 제1 접속노드와 접지 사이에 접속되어, 밴드갭 전압에 따라 스위칭 동작하는 제2 스위치;
 상기 제1 접속노드의 제1 전압과 인에이블 신호를 논리곱 연산하여 스위칭 전압을 생성하는 로직 회로; 및
 스타트업 전압을 출력하는 출력노드와 접지 사이에 접속되고, 상기 스위칭 전압에 따라 스위칭 동작하는 제3 스위치;
 를 포함하는 스타트업 회로.

청구항 2

제1항에 있어서, 상기 제1 스위치는,
 상기 동작전압 단자에 접속된 소스, 제1 저항을 통해 상기 제1 접속노드에 접속된 드레인, 그리고 상기 셋다운 신호가 입력되는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는
 스타트업 회로.

청구항 3

제1항에 있어서, 상기 제2 스위치는,
 상기 제1 접속노드에 접속된 드레인, 접지에 접속된 소스, 그리고 상기 밴드갭 전압을 입력받는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는
 스타트업 회로.

청구항 4

제1항에 있어서, 상기 제3 스위치는,
 상기 출력노드에 접속된 드레인, 상기 접지에 접속된 소스, 그리고 상기 스위칭 전압을 입력받는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는
 스타트업 회로.

청구항 5

제1항에 있어서, 상기 로직 회로는,
 상기 제1 접속노드에 접속되어, 상기 제1 전압을 입력받는 제1 입력단, 상기 인에이블 신호를 입력받는 제2 입력단, 상기 제1 전압과 상기 인에이블 신호를 논리곱 연산하여 그 연산 결과가 반영된 전압레벨을 갖는 상기 스위칭 전압을 출력하는 출력단을 갖는 논리곱 게이트를 포함하는
 스타트업 회로.

청구항 6

제5항에 있어서, 상기 논리곱 게이트는,

상기 제1 전압과 상기 인에이블 신호가 모두 하이 전압레벨인 경우에, 하이 전압레벨을 갖는 상기 스위칭 전압을 출력하는

스타트업 회로.

청구항 7

제6항에 있어서, 상기 스위칭 전압의 하이 전압레벨은,

상기 동작전압과 같은 전압레벨인

스타트업 회로.

청구항 8

제1항에 있어서,

상기 동작전압 단자와 상기 출력노드 사이에 접속되어, 상기 인에이블 신호에 따라 스위칭 동작하는 제4 스위치; 을 더 포함하는

상기 제4 스위치는,

상기 동작전압 단자에 접속된 소스, 상기 출력노드에 접속된 드레인, 그리고 상기 인에이블 신호가 입력되는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는

스타트업 회로.

청구항 9

스타트업 전압을 생성하는 스타트업 회로; 및

상기 스타트업 전압을 입력받아 동작을 개시하여 밴드갭 전압을 생성하는 밴드갭 레퍼런스 코어회로; 를 포함하고,

상기 스타트업 회로는,

동작전압 단자와 제1 접속노드 사이에 접속되어, 셋다운 신호에 따라 스위칭 동작하는 제1 스위치;

상기 제1 접속노드와 접지 사이에 접속되어, 상기 밴드갭 전압에 따라 스위칭 동작하는 제2 스위치;

상기 제1 접속노드의 제1 전압과 인에이블 신호를 논리곱 연산하여 스위칭 전압을 생성하는 로직 회로; 및

상기 스타트업 전압을 출력하는 출력노드와 접지 사이에 접속되고, 상기 스위칭 전압에 따라 스위칭 동작하는 제3 스위치;

를 포함하는 밴드갭 레퍼런스 회로.

청구항 10

제9항에 있어서, 상기 제1 스위치는,

상기 동작전압 단자에 접속된 소스, 제1 저항을 통해 상기 제1 접속노드에 접속된 드레인, 그리고 상기 셋다운 신호가 입력되는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는

밴드갭 레퍼런스 회로.

청구항 11

제9항에 있어서, 상기 제2 스위치는,

상기 제1 접속노드에 접속된 드레인, 접지에 접속된 소스, 그리고 상기 밴드갭 전압을 입력받는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는

밴드갭 레퍼런스 회로.

청구항 12

제9항에 있어서, 상기 제3 스위치는,

상기 출력노드에 접속된 드레인, 상기 접지에 접속된 소스, 그리고 상기 스위칭 전압(V_{sw})을 입력받는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는

밴드갭 레퍼런스 회로.

청구항 13

제9항에 있어서, 상기 로직 회로는,

상기 제1 접속노드에 접속되어, 상기 제1 전압을 입력받는 제1 입력단, 상기 인에이블 신호를 입력받는 제2 입력단, 상기 제1 전압과 상기 인에이블 신호를 논리곱 연산하여 그 연산 결과가 반영된 전압레벨을 갖는 상기 스위칭 전압을 출력하는 출력단을 갖는 논리곱 게이트를 포함하는

밴드갭 레퍼런스 회로.

청구항 14

제13항에 있어서, 상기 논리곱 게이트는,

상기 제1 전압과 상기 인에이블 신호가 모두 하이 전압레벨인 경우에, 하이 전압레벨을 갖는 상기 스위칭 전압을 출력하는

밴드갭 레퍼런스 회로.

청구항 15

제14항에 있어서, 상기 스위칭 전압의 하이 전압레벨은,

상기 동작전압과 같은 전압레벨인

밴드갭 레퍼런스 회로.

청구항 16

제9항에 있어서,

상기 동작전압 단자와 상기 출력노드 사이에 접속되어, 상기 인에이블 신호에 따라 스위칭 동작하는 제4 스위치; 을 더 포함하는

상기 제4 스위치는,

상기 동작전압 단자에 접속된 소스, 상기 출력노드에 접속된 드레인, 그리고 상기 인에이블 신호(EN)가 입력되는 게이트를 갖는 FET(Field Effect Transistor)를 포함하는

밴드갭 레퍼런스 회로.

발명의 설명

기술 분야

[0001] 본 발명은 스타트업 회로 및 밴드갭 레퍼런스 회로에 관한 것이다.

배경 기술

[0003] 일반적으로, 무선통신 단말기는, 수신되는 신호를 증폭하는 저잡음 증폭기(LNA: Low Noise Amplifier) 및 파워 증폭기(PA: Power Amplifier)를 포함한다.

[0004] 상기 저잡음 증폭기(LNA)는 입력되는 신호를 증폭하기 위해 바이어스 전압을 생성하기 위해 레퍼런스 전압이 필요하고, 이 레퍼런스 전압은 레퍼런스 회로에 의해 제공될 수 있다.

[0005] 통상, 레퍼런스 회로는, 밴드갭 레퍼런스(BGR) 회로 및 레귤레이터(예, LDO)를 포함할 수 있다.

[0006] 특히, TDD(Time Division Duplex) 방식의 무선통신 단말기에 적용되는 저잡음 증폭기(LNA) 및 파워 증폭기(PA)는, 레퍼런스 회로를 통해 레퍼런스 전압을 공급받아 정상적으로 동작하는 경우, 저잡음 증폭기(LNA) 및 파워 증폭기(PA)의 턴온(turn on) 시간은 레퍼런스 회로의 턴온(turn on) 시간에 영향을 받는다.

[0007] 따라서, 저잡음 증폭기(LNA) 및 파워 증폭기(PA)의 빠른 구동을 위해서는 레퍼런스 회로가 빠르게 턴온(turn on) 될 수 있어야 하는데, 신속한 구동을 위해 스타트업 회로가 요구된다.

[0008] 기존의 스타트업 회로는, 일 예로, 복수의 트랜지스터와 저항을 포함하는데, 이러한 기존의 스타트업 회로는, 트랜지스터 및 저항을 포함하기 때문에 소자 특성상 필연적으로 응답 지연이 발생되므로, 레퍼런스 전압을 신속하게 공급하는데 한계를 갖는다는 문제점이 있다.

[0010] (선행기술문헌)

[0011] (특허문헌 1) JP 특허공개공보 2005-327035 (2005.11.24)

[0012] (특허문헌 2) KR 특허공개공보 2001-0058367 (2001.07.05)

발명의 내용

해결하려는 과제

[0014] 본 발명의 일 실시 예는, 로직 소자 (logic element)를 이용함으로써, 보다 응답속도를 개선할 수 있는 스타트업 회로 및 밴드갭 레퍼런스 회로를 제공한다.

과제의 해결 수단

[0016] 본 발명의 일 실시 예에 의해, 동작전압 단자와 제1 접속노드 사이에 접속되어, 셋다운 신호에 따라 스위칭 동작하는 제1 스위치; 상기 제1 접속노드와 접지 사이에 접속되어, 밴드갭 전압에 따라 스위칭 동작하는 제2 스위치; 상기 제1 접속노드의 제1 전압과 인에이블 신호를 논리곱 연산하여 스위칭 전압을 생성하는 로직 회로; 및 스타트업 전압을 출력하는 출력노드와 접지 사이에 접속되고, 상기 스위칭 전압에 따라 스위칭 동작하는 제3 스위치; 를 포함하는 스타트업 회로가 제안된다.

[0018] 또한, 본 발명의 다른 일 실시 예에 의해, 스타트업 전압을 생성하는 스타트업 회로; 및 상기 스타트업 전압을 입력받아 동작을 개시하여 밴드갭 전압을 생성하는 밴드갭 레퍼런스 코어회로; 를 포함하고, 상기 스타트업 회

로는, 동작전압 단자와 제1 접속노드 사이에 접속되어, 셋다운 신호에 따라 스위칭 동작하는 제1 스위치; 상기 제1 접속노드와 접지 사이에 접속되어, 상기 밴드갭 전압에 따라 스위칭 동작하는 제2 스위치; 상기 제1 접속노드의 제1 전압과 인에이블 신호를 논리곱 연산하여 스위칭 전압을 생성하는 로직 회로; 및 상기 스타트업 전압을 출력하는 출력노드와 접지 사이에 접속되고, 상기 스위칭 전압에 따라 스위칭 동작하는 제3 스위치; 를 포함하는 밴드갭 레퍼런스 회로가 제안된다.

발명의 효과

[0020] 본 발명의 각 실시 예에 의하면, 로직 소자 (logic element)를 이용함으로써, 보다 응답속도를 개선할 수 있고, 이에 따라 프론트-엔트 모듈(FEM)에 포함되는 저잡음 증폭기(LNA) 또는 파워 증폭기(PA)의 턴온 시간을 단축시킬 수 있는 장점이 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 일 실시 예에 따른 밴드갭 레퍼런스 회로의 일 예시도이다.
- 도 2는 본 발명의 일 실시 예에 따른 스타트업 회로의 일 예시도이다.
- 도 3은 본 발명의 일 실시 예에 따른 스타트업 회로의 다른 일 예시도이다.
- 도 4는 본 발명의 주요 신호 및 전압에 대한 파형도 및 타이밍 차트이다.
- 도 5은 본 발명의 밴드갭 레퍼런스 회로의 적용 예시도이다.
- 도 6은 본 발명의 밴드갭 레퍼런스 회로의 다른 적용 예시도이다.
- 도 7은 도 5의 저잡음 증폭기(LNA)의 턴온 시점 설명도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하에서는, 본 발명은 설명되는 실시 예에 한정되지 않으며, 본 발명의 정신 및 범위를 벗어나지 않으면서 다양하게 변경될 수 있음이 이해되어야 한다.
- [0024] 또한, 본 발명의 각 실시 예에 있어서, 하나의 예로써 설명되는 구조, 형상 및 수치는 본 발명의 기술적 사항의 이해를 돕기 위한 예에 불과하므로, 이에 한정되는 것이 아니라 본 발명의 정신 및 범위를 벗어나지 않으면서 다양하게 변경될 수 있음이 이해되어야 한다. 본 발명의 실시 예들은 서로 조합되어 여러 가지 새로운 실시 예가 이루어질 수 있다.
- [0025] 그리고, 본 발명에 참조된 도면에서 본 발명의 전반적인 내용에 비추어 실질적으로 동일한 구성과 기능을 가진 구성요소들은 동일한 부호를 사용할 것이다.
- [0027] 이하에서는, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 하기 위해서, 본 발명의 실시 예를 첨부한 도면을 참조하여 상세히 설명한다.
- [0029] 도 1은 본 발명의 일 실시 예에 따른 밴드갭 레퍼런스 회로의 일 예시도이다.
- [0030] 도 1을 참조하면, 본 발명의 일 실시 예에 따른 밴드갭 레퍼런스 회로(10)는, 스타트업 회로(100)와 밴드갭 레퍼런스 코어회로(200)를 포함할 수 있다.
- [0031] 상기 스타트업 회로(100)는, 동작전압(VDD)를 공급받고, 인에이블 신호(EN), 셋다운 신호(SD) 및 밴드갭 전압(Vbg)에 기초해 스타트업 전압(Vstp)을 생성하여 상기 밴드갭 레퍼런스 코어회로(200)에 출력할 수 있다.
- [0032] 상기 밴드갭 레퍼런스 코어회로(200)는, 동작전압(VDD)를 공급받고, 상기 스타트업 회로(100)로부터 상기 스타트업 전압(Vstp)을 입력받아 동작을 개시하여 상기 밴드갭 전압(Vbg)을 생성할 수 있다.

- [0034] 도 2는 본 발명의 일 실시 예에 따른 스타트업 회로의 일 예시도이다.
- [0035] 도 2를 참조하면, 상기 스타트업 회로(100)는, 제1 스위치(110), 제2 스위치(120), 로직 회로(130), 및 제3 스위치(140)를 포함할 수 있다.
- [0037] 본 발명의 각 도면에 대해, 동일한 부호 및 동일한 기능의 구성요소에 대해서는 가능한 불필요한 중복 설명은 생략될 수 있고, 각 도면에 대해 가능한 차이점에 대한 사항이 설명될 수 있다.
- [0039] 도 3은 본 발명의 일 실시 예에 따른 스타트업 회로의 다른 일 예시도이다.
- [0040] 도 3을 참조하면, 상기 스타트업 회로(100)는, 제1 스위치(110), 제2 스위치(120), 로직 회로(130), 제3 스위치(140), 및 제4 스위치(150)를 포함할 수 있다.
- [0042] 도 2 및 도 3을 참조하면, 상기 제1 스위치(110)는, 동작전압(VDD) 단자와 제1 접속노드(N1) 사이에 접속되어, 셋다운 신호(SD)에 따라 스위칭 동작할 수 있다.
- [0043] 상기 제2 스위치(120)는, 상기 제1 접속노드(N1)와 접지 사이에 접속되어, 밴드갭 전압(Vbg)에 따라 스위칭 동작할 수 있다.
- [0044] 상기 로직 회로(130)는, 상기 제1 접속노드(N1)의 제1 전압(V1)과 인에이블 신호(EN)를 논리곱 연산하여 스위칭 전압(Vsw)을 생성할 수 있다.
- [0045] 상기 제3 스위치(140)는, 스타트업 전압(Vstp)을 출력하는 출력노드(No)와 접지 사이에 접속되고, 상기 스위칭 전압(Vsw)에 따라 스위칭 동작할 수 있다.
- [0047] 도 3을 참조하면, 상기 제4 스위치(150)는, 상기 동작전압(VDD) 단자와 상기 출력노드(No) 사이에 접속되어, 상기 인에이블 신호(EN)에 따라 스위칭 동작할 수 있다.
- [0049] 부연하면, 도 2 및 도 3을 참조하면, 상기 제1 스위치(110)는, 일 예로, P채널 FET(Field Effect Transistor)(M1)를 포함할 수 있다.
- [0050] 상기 P채널 FET(Field Effect Transistor)(M1)는, 상기 동작전압(VDD) 단자에 접속된 소스, 제1 저항(R1)을 통해 상기 제1 접속노드(N1)에 접속된 드레인, 그리고 상기 셋다운 신호(SD)가 입력되는 게이트를 포함할 수 있다.
- [0051] 일 예로, 상기 P채널 FET(M1)는 셋다운 신호(SD)가 하이레벨 전압인 경우에는 오프상태가 되고, 인에이블 신호(EN)가 하이레벨 전압이 되어 셋다운 신호(SD)가 로우레벨 전압인 경우에는 온상태가 될 수 있으며, 이에 따라 스타트업 회로(100)는 동작을 개시할 수 있다.
- [0053] 상기 제2 스위치(120)는, 일 예로, N채널 FET(Field Effect Transistor)(M2)를 포함할 수 있다.
- [0054] 상기 N채널 FET(Field Effect Transistor)(M2)는, 상기 제1 접속노드(N1)에 접속된 드레인, 접지에 접속된 소스, 그리고 상기 밴드갭 전압(Vbg)을 입력받는 게이트를 포함할 수 있다.
- [0055] 일 예로, N채널 FET(M2)는, 스타트업 회로(100)의 출력 전압이 없어서, 밴드갭 전압(Vbg)이 로우레벨 전압인 경우에는 오프 상태가 되고, 스타트업 회로(100)의 동작에 따라 밴드갭 전압(Vbg)이 하이레벨 전압인 경우에는 온상태가 될 수 있다.

- [0057] 상기 제3 스위치(140)는, 일 예로, N채널 FET(Field Effect Transistor)(M3)를 포함할 수 있다.
- [0058] 상기 N채널 FET(M3)는, 상기 출력노드(No)에 접속된 드레인, 상기 접지에 접속된 소스. 그리고 상기 스위칭 전압(Vsw)을 입력받는 게이트를 포함할 수 있다.
- [0059] 일 예로, N채널 FET(M3)는, 상기 로직 회로(130)에서 출력되는 스위칭 전압(Vsw)이 하이레벨 전압인 경우에는 온상태가 되어, 출력노드(No)에서 접지로 스타트업 전류(Istp)를 신속하게 흐르게 하여 스타트업 전압(Vstp)을 신속하게 강하시키고, 이후 스타트업 전압(Vstp)이 로우레벨 전압이 되어서, 스위칭 전압(Vsw)이 로우레벨 전압인 경우에는 오프상태가 될 수 있다.
- [0061] 상기 로직 회로(130)는, 일 예로, 로직소자인 논리곱 게이트(AND)를 포함할 수 있다.
- [0062] 상기 논리곱 게이트(AND)는, 상기 제1 접속노드(N1)에 접속되어, 상기 제1 전압(V1)을 입력받는 제1 입력단, 상기 인에이블 신호(EN)을 입력받는 제2 입력단, 상기 제1 전압(V1)과 상기 인에이블 신호(EN)를 논리곱 연산하여 그 연산 결과가 반영된 전압레벨을 갖는 상기 스위칭 전압(Vsw)을 출력하는 출력단을 포함할 수 있다.
- [0063] 예를 들어, 상기 논리곱 게이트(AND)는, 상기 제1 전압(V1)과 상기 인에이블 신호(EN)이 모두 하이 전압레벨인 경우에, 하이 전압레벨을 갖는 상기 스위칭 전압(Vsw)을 출력할 수 있다.
- [0064] 이와 달리, 상기 논리곱 게이트(AND)는, 상기 제1 전압(V1)과 상기 인에이블 신호(EN)중 어느 하나가 로우 전압레벨인 경우에, 로우 전압레벨을 갖는 상기 스위칭 전압(Vsw)을 출력할 수 있다.
- [0065] 일 예로, 상기 스위칭 전압(Vsw)의 하이 전압레벨은, 상기 동작전압(VDD)와 같은 전압레벨일 수 일 수 있다. 예를 들어, 상기 동작전압(VDD)이 3.5V인 경우에는 상기 스위칭 전압(Vsw)의 하이 전압레벨도 3.5V가 될 수 있다.
- [0066] 일 예로, 상기 논리곱 게이트(AND)는, 상기 인에이블 신호(EN)이 하이 전압레벨이면서 스타트업 회로(100)가 정상동작 이전인 시간동안에는, 상기 제1 전압(V1)과 상기 인에이블 신호(EN)이 모두 하이 전압레벨이 되어, 하이 전압레벨을 갖는 상기 스위칭 전압(Vsw)을 출력할 수 있다.
- [0067] 이후, 상기 논리곱 게이트(AND)는, 스타트업 회로(100)가 정상동작 동작을 수행하여, N채널 FET(M2)가 온상태가 되어, 상기 제1 전압(V1)이 로우레벨 전압이 되면, 로우 전압레벨을 갖는 상기 스위칭 전압(Vsw)을 출력할 수 있다.
- [0069] 상기 제4 스위치(150)는, 일 예로, P채널 FET(Field Effect Transistor)(M4)를 포함할 수 있다.
- [0070] 상기 P채널 FET(Field Effect Transistor)(M4)는, 상기 동작전압(VDD) 단자에 접속된 소스, 상기 출력노드(No)에 접속된 드레인, 그리고 상기 인에이블 신호(EN)가 입력되는 게이트를 포함할 수 있다.
- [0071] 일 예로, 상기 P채널 FET (M4)는, 인에이블 신호(EN)가 로우레벨의 전압인 경우에는 온상태로 되어, 상기 동작 전압(VDD)를 출력노드(No)로 공급하여, 스타트업 전압(Vstp)이 동작전압(VDD)이 되어서, 이후 밴드갭 레퍼런스 코어회로(200)는 확실히 동작하지 않는다.
- [0072] 이후, 상기 P채널 FET (M4)는, 인에이블 신호(EN)가 하이레벨의 전압이 되면 오프상태로 되어, 스타트업 회로(100)가 동작을 개시할 수 있다.
- [0073] 한편, 도 3을 참조하여 부연하면, 스타트업 전압(Vstp)은 제3 스위치(140)의 N채널 FET(M3)에 흐르는 스타트업 전류(Istp)의 양이 클수록 빠르게 낮아진다. 즉, 스타트업 전류(Istp)의 양은 제3 스위치(140)의 N채널 FET(M3)의 게이트-소스 전압(Vgs)이 높을수록 증가한다.
- [0074] 이에 반해, 도 3의 회로에서, 로직 회로(130)가 없는, 회로를 종래 회로라고 하면, 제3 스위치(140)의 N채널 FET(M3)의 게이트 전압은 동작전압(VDD)보다 낮지만, 본 발명의 일 실시 예에서는, 제3 스위치(140)의 N채널 FET(M3)가 동작할 때, 의 N채널 FET(M3)의 게이트-소스 전압(Vgs)은 동작전압(VDD)이 되므로, 종래 회로의 게이트 전압 보다 높은 전압이 되므로 상대적으로 더 빠르게 스타트업 전압(Vstp)을 강하시킬 수 있다.
- [0075] 한편, 로직 회로(130)가 없는, 종래 회로에서, 스타트업 전압(Vstp)이 일정 이하로 감소하여, 상기 밴드갭 레퍼런스 코어회로(200)가 동작을 시작하면, 상기 밴드갭 레퍼런스 코어회로(200)에서 출력되는 밴드갭 전압(Vbg)이 증가하게 되고, 그로 인해 제2 스위치(120)의 N채널 FET(M2)에 온저항(Ron)이 생긴다. 이 경우, 상기 제2 스위

치(120)의 N채널 FET(M2)의 온저항에 의해, 밴드갭 전압(Vbg)이 증가할수록 제1 접속노드(N1)의 제1 전압(V1)은 감소하게 된다.

[0076] 이에 따라, 제3 스위치(140)의 N채널 FET(M3)의 스타트업 전류(Istp)도 점점 줄어들게 되고, 결국 밴드갭 레퍼런스 회로(10)가 정상동작을 할 때까지의 시간은 하기 수학적 식 1에 보인 N채널 FET(M3)의 온저항(Ron)에 의존해서 길어진다.

[0077] [수학적 식 1]

[0078]
$$R_{on} = L / \{k_n (V_{gs} - V_{th})\}$$

[0080] 상기 수학적 식 1에서, Vgs은 N채널 FET(M3)의 게이트-소스 전압이고, Vth는 N채널 FET(M3)의 문턱전압이고, kn은 상수이고, L은 N채널 FET(M3)의 게이트 길이이다.

[0081] 그러나, 로직 회로(130)를 포함하는 스타트업 회로(100)에서는, 제3 스위치(140)의 N채널 FET(M3)의 게이트 전압이, 로직 회로(130)의 출력 전압과 동일하므로, 밴드갭 전압(Vbg)이 증가하여도 동작전압(VDD)을 유지하게 되고 밴드갭 레퍼런스 회로(100)가 정상동작을 할 때까지 제3 스위치(140)의 N채널 FET(M3)에 일정한 스타트업 전류(Istp)를 흐르게 한다.

[0083] 또한, 도 3을 참조하면, 제1 스위치(110)의 P채널 FET(M1)가 셧다운 신호(SD)를 입력받아, 스타트업 회로(100) 및 밴드갭 레퍼런스 코어회로(200)가 정상동작 하여, 밴드갭 레퍼런스 코어회로(200)가 정상 상태의 밴드갭 전압(Vbg)을 출력할 수 있다.

[0084] 이후, 상기 밴드갭 전압(Vbg)이 높아짐에 따라, 제2 스위치(120)의 N채널 FET(M2)가 턴온되면, 제1 노드(N1)의 제1 전압(V1)은 로우(low)레벨이 되고, 이어서 로직 회로(130)은 제2 접속노드(N2)에 로우레벨의 스위칭 전압(Vsw)을 출력하고, 이에 따라 제3 스위치(140)의 N채널 FET(M3)는, 로우레벨의 스위칭 전압(Vsw)에 따라 스위칭 오프 상태로 될 수 있고, 이에 따라 스타트업 전압(Vstp)은 하이레벨의 전압이 될 수 있다.

[0085] 먼저, 밴드갭 회로(10)가 구동하지 않는 경우(EN=low state, SD=high state)에는, 상기 제1 스위치(110)의 P채널 FET(M1) 및 로직 회로(130)가 모두 오프 상태이므로 전류를 소모하지 않는다.

[0086] 다음, 밴드갭 회로(10)를 오프 상태에서 온 상태로 구동시키는 경우(EN=high state, SD=low state)에는, 밴드갭 회로(10)가 온 상태가 되어도 초기에는 밴드갭 전압(Vbg)이 0V이므로, 제2 스위치(120)의 N채널 FET(M2)는 오프 상태이고, 제1 접속노드(N1)의 제1 전압(V1)은 거의 동작전압(VDD)이 된다.

[0087] 이와 같이, 제1 접속노드(N1)의 제1 전압(V1)이 동작전압(VDD)이 되면, 로직회로(130)의 출력노드인 제2 접속노드(N2)의 스위칭 전압(Vsw)이 동작전압(VDD)로 변경되면서, 제3 스위치(140)의 N채널 FET(M3)가 턴온(turn on)되어 밴드갭 레퍼런스 코어회로(200)의 바이어스 전압인 스타트업 전압(Vstp)을 강하시킨다.

[0088] 상기 스타트업 전압(Vstp)이 내려가면 상기 밴드갭 레퍼런스 코어회로(200)가 정상적으로 동작하여 밴드갭 전압(Vbg)이 증가하게 되고, 밴드갭 전압(Vbg)이 제2 스위치(120)의 N채널 FET(M2)의 문턱전압(Vth)보다 높아지게 되면 제2 스위치(120)의 N채널 FET(M2)가 턴온(turn on)되면서 제1 접속노드(N1)의 제1 전압(V1)이 감소하여 로우 상태가 되고, 이에 따라 로직 회로(130)의 논리곱 게이트(AND)에서 출력되는 스위칭 전압(Vsw)은 0V로 바뀌게 된다.

[0089] 이와 같이, 상기 스위칭 전압(Vsw)이 0V가 되면, 로우레벨의 스위칭 전압(Vsw)에 따라 제3 스위치(140)의 N채널 FET(M3)는 오프 상태로 되고, 이에 따라 스타트업 회로(100)의 동작은 멈추게 되고 전류는 더 이상 소모되지 않는다.

[0091] 도 4는 본 발명의 주요 신호 및 전압에 대한 파형도 및 타이밍 차트이다.

[0092] 도 4에서, EN은 TDD(Time Division Duplex) 방식의 무선통신 단말기에 적용되는 저잡음 증폭기(LNA)의 수신인에 대응되는 인에이블 신호될 수 있거나, TDD(Time Division Duplex) 방식의 무선통신 단말기에 적용되는 파워 증폭기(PA)의 송신인에 대응되는 인에이블 신호가 될 수 있다.

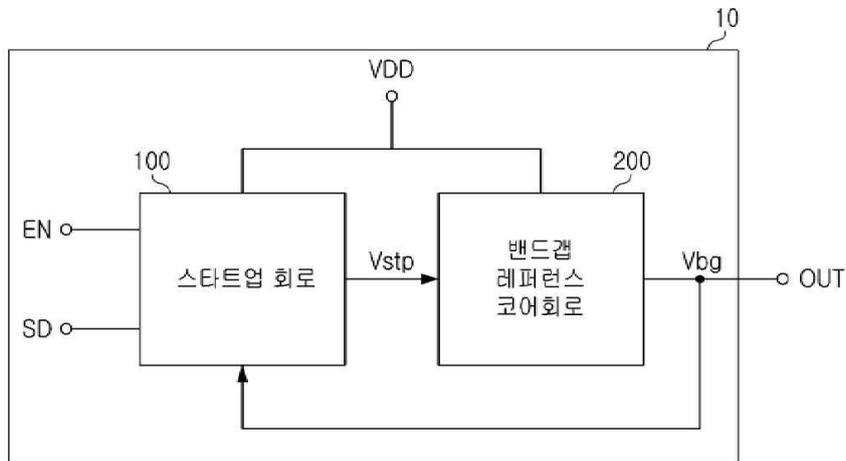
- [0093] Istp는 상기 스타트업 회로(100)의 출력단에서 접지로 흐르는 스타트업 전류이다.
- [0094] Vstp는, 상기 스타트업 회로(100)의 출력단을 통해 출력되는 전압으로, 상기 밴드갭 레퍼런스 코어회로(200)에 입력되는 스타트업 전압이다.
- [0095] 상기 스타트업 전류(Istp)가, 로직 회로가 없는 기존과 비교해서, 상기 스타트업 회로(100)의 출력단에서 접지로 신속하게 흐르게 됨에 따라, 상기 스타트업 전압(Vstp)이 기존과 비교해서 로우레벨 전압으로 신속하게 낮아지게 된다.
- [0096] 이에 따라, 상기 밴드갭 레퍼런스 코어회로(200)에 출력되는 밴드갭 전압(Vbg)은, 상기 스타트업 전압(Vstp)에 따라 신속하게 정상 전압(예, 1.1V 이상)으로 상승할 수 있으며, 기존 회로와 대비해서, 본 발명에 의한 구동 시점(T1)은 기존 회로에 의한 구동 시점(T2)보다 일정 시간($T1-T2=\Delta T=55ns$)만큼 빠르다는 것을 알 수 있다.
- [0098] 도 5은 본 발명의 밴드갭 레퍼런스 회로의 적용 예시도이다.
- [0099] 도 5를 참조하면, 밴드갭 레퍼런스 회로(10)는 저잡음 증폭기(LNA)(20)에 밴드갭 전압(Vbg)을 공급할 수 있다.
- [0100] 도 6은 본 발명의 밴드갭 레퍼런스 회로의 다른 적용 예시도이다.
- [0101] 도 6을 참조하면, 밴드갭 레퍼런스 회로(10)는 파워 증폭기(PA)(30)에 밴드갭 전압(Vbg)을 공급할 수 있다.
- [0103] 도 7은 도 5의 저잡음 증폭기(LNA)의 턴온 시점 설명도이다.
- [0104] 도 5 및 도 7을 참조하면, 본 발명의 밴드갭 레퍼런스 회로(10)가 적용되는 저잡음 증폭기(LNA)(20)는, 밴드갭 레퍼런스 회로(10)로부터 밴드갭 전압(Vbg)을 공급받고, 기존의 저잡음 증폭기의 출력신호가 출력되는 시점보다 빨리, 출력신호(Sout)를 출력할 수 있다.
- [0106] 이상에서는 본 발명을 실시 예로써 설명하였으나, 본 발명은 상기한 실시 예에 한정되지 아니하며, 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형이 가능할 것이다.

부호의 설명

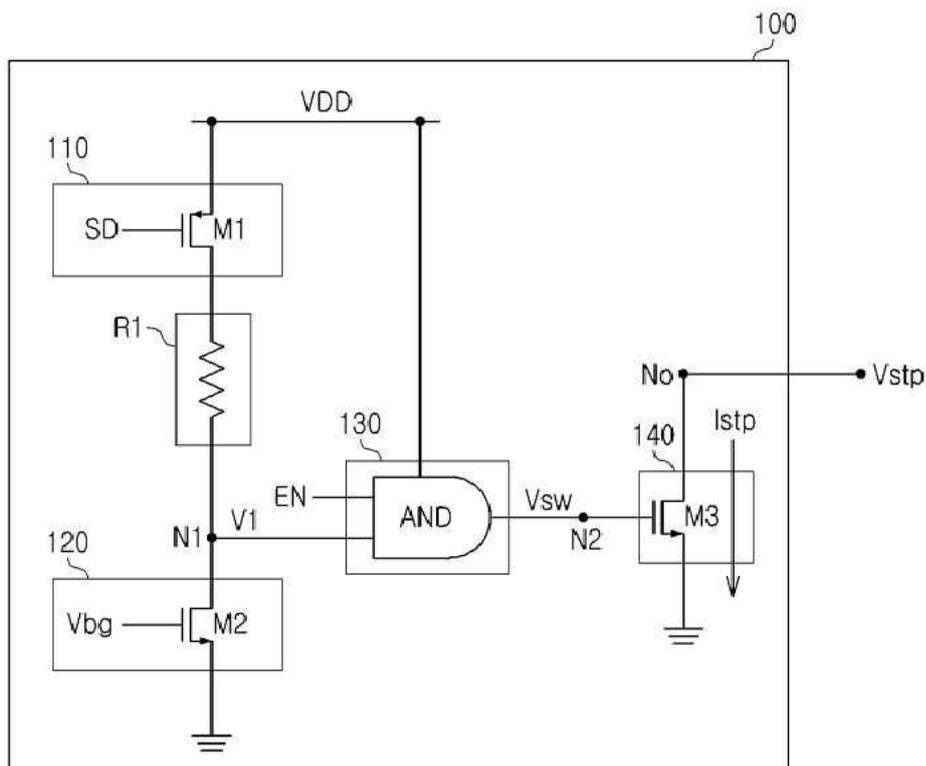
- [0108] 100: 스타트업 회로
- 200: 밴드갭 레퍼런스 코어회로
- 110: 제1 스위치
- 120: 제2 스위치
- 130: 로직 회로
- 140: 제3 스위치
- 150: 제4 스위치

도면

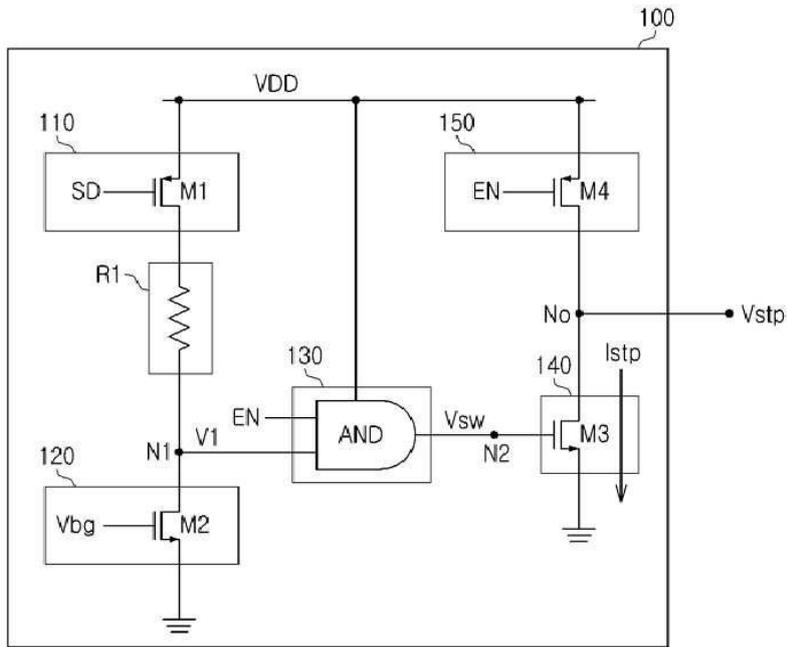
도면1



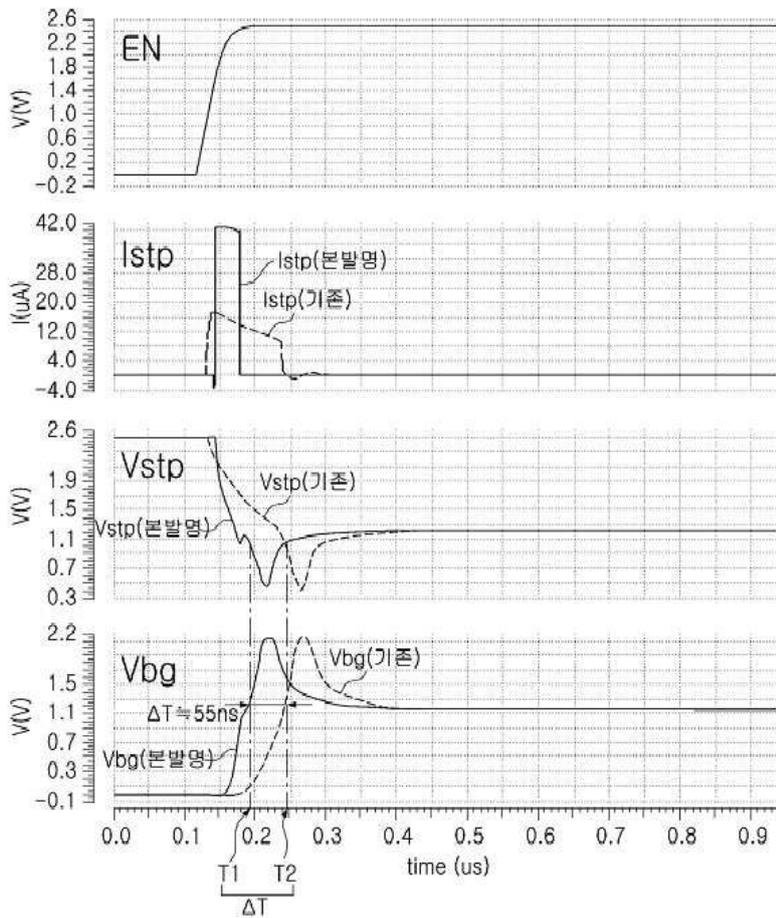
도면2



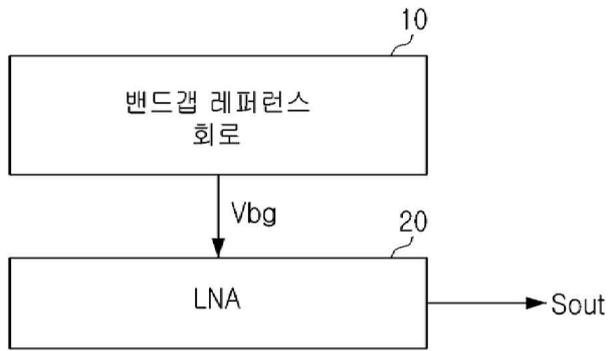
도면3



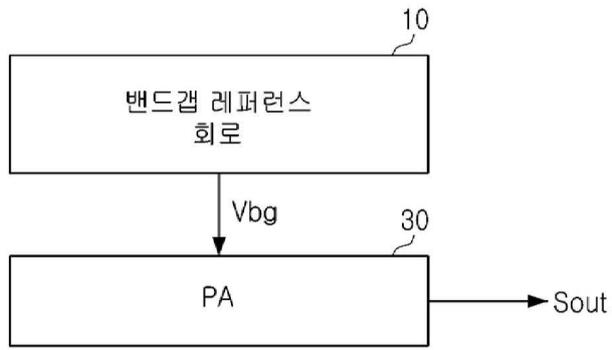
도면4



도면5



도면6



도면7

