



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I836979 B

(45) 公告日：中華民國 113 (2024) 年 03 月 21 日

(21) 申請案號：112116850

(22) 申請日：中華民國 112 (2023) 年 05 月 05 日

(51) Int. Cl. : H01L23/31 (2006.01)

H01L23/488 (2006.01)

H01L21/56 (2006.01)

H01L21/603 (2006.01)

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：黃祥華 HUANG, HSIANG HUA (TW) ; 劉奕堂 LIU, I TANG (TW) ; 詹慕萱 CHAN, MU HSUAN (TW)

(74) 代理人：張家彬

(56) 參考文獻：

TW 201803050A

TW 202202018A

US 2009/0096080A1

US 2011/0133319A1

審查人員：莊敏宏

申請專利範圍項數：20 項 圖式數：4 共 21 頁

(54) 名稱

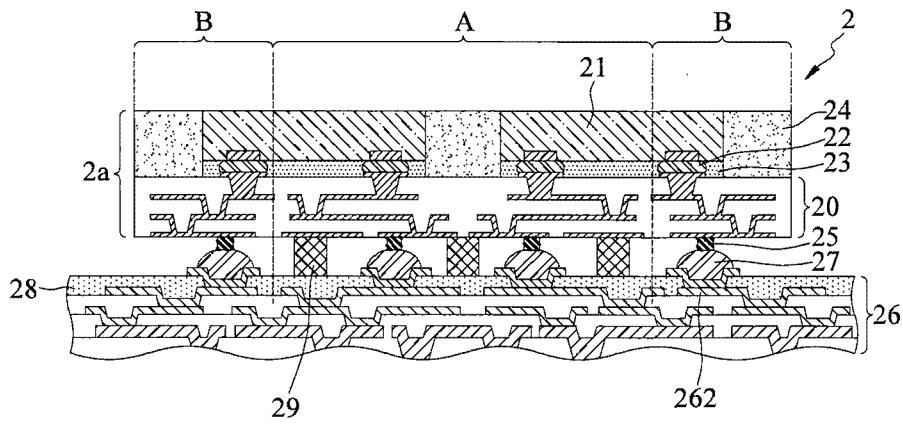
電子封裝件及其製法

(57) 摘要

一種電子封裝件及其製法，主要於一具有複數電性接觸墊之承載結構上配置支撐件，且各該電性接觸墊上係結合導電元件，以令電子模組藉由該導電元件設於該承載結構上，使該支撐件接觸支撐該電子模組，以避免該電子模組發生翹曲。

An electronic package is provided, in which a supporting member is arranged on a carrier structure with a plurality of electrical contact pads, and each of the electrical contact pads is combined with a conductive element, wherein an electronic module is arranged on the carrier structure through the conductive elements, so that the supporting member is in contact with and supports the electronic module to prevent the electronic module from warpage.

指定代表圖：



【圖 2C】

符號簡單說明：

2:電子封裝件

2a:電子模組

20:基板結構

21:電子元件

22:導電凸塊

23:包覆層

24:封裝層

25:導電體

26:承載結構

262:電性接觸墊

27:導電元件

28:絕緣保護層

29:支撐件

A:中間區域

B:外圍區域

I836979

**【發明摘要】****【中文發明名稱】** 電子封裝件及其製法**【英文發明名稱】** ELECTRONIC PACKAGE AND MANUFACTURING  
METHOD THEREOF**【中文】**

一種電子封裝件及其製法，主要於一具有複數電性接觸墊之承載結構上配置支撐件，且各該電性接觸墊上係結合導電元件，以令電子模組藉由該導電元件設於該承載結構上，使該支撐件接觸支撐該電子模組，以避免該電子模組發生翹曲。

**【英文】**

An electronic package is provided, in which a supporting member is arranged on a carrier structure with a plurality of electrical contact pads, and each of the electrical contact pads is combined with a conductive element, wherein an electronic module is arranged on the carrier structure through the conductive elements, so that the supporting member is in contact with and supports the electronic module to prevent the electronic module from warpage.

**【指定代表圖】** 圖2C**【代表圖之符號簡單說明】**

2:電子封裝件

2a:電子模組

20:基板結構

21:電子元件

22:導電凸塊

23:包覆層

24:封裝層

25:導電體

26:承載結構

262:電性接觸墊

27:導電元件

28:絕緣保護層

29:支撐件

A:中間區域

B:外圍區域

【特徵化學式】 無。

## 【發明說明書】

【中文發明名稱】 電子封裝件及其製法

【英文發明名稱】 ELECTRONIC PACKAGE AND MANUFACTURING  
METHOD THEREOF

【技術領域】

【0001】 本發明係有關一種半導體封裝製程，尤指一種電子封裝件及其製法。

【先前技術】

【0002】 隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能的趨勢。目前應用於晶片封裝領域之技術繁多，例如晶片尺寸構裝（Chip Scale Package，簡稱CSP）、晶片直接貼附封裝（Direct Chip Attached，簡稱DCA）或多晶片模組封裝（Multi-Chip Module，簡稱MCM）等覆晶型封裝模組。

【0003】 圖1係為習知半導體封裝件1之剖面示意圖。首先，提供一電子模組1a及一具有複數凸塊狀錒錫材17之封裝基板16，其中，該電子模組1a係包含一線路結構10、複數間隔佈設於該線路結構10上側之半導體晶片11、及一形成於該線路結構10上以包覆該些半導體晶片11之封裝膠體14，且該半導體晶片11藉由複數導電凸塊12覆晶結合該線路結構10，並以底膠13包覆該些導電凸塊12。接著，於該線路結構10之下側配置複數銅柱15，以藉由該些銅柱15結合該封裝基板16之錒錫材17。之後，回錒該錒錫材17，以將該電子模組1a固設於該封裝基板16上。

【0004】 惟，習知半導體封裝件1中，該電子模組1a於高溫時（如回錫該錫材17之過程中）容易發生翹曲（如圖1所示之虛線輪廓），造成該電子模組1a與該封裝基板16於相接時，該電子模組1a的中間區域會降低而低於該電子模組1a之外圍區域，導致該電子模組1a之中間區域的相鄰兩銅柱15上之錫材17相互橋接而發生短路之問題，甚至於該電子模組1a之外圍區域的銅柱15與錫材17之間發生未濕潤(non-wetting)的問題。

【0005】 因此，如何克服上述習知技術的問題，實已成目前亟欲解決的課題。

#### 【發明內容】

【0006】 鑑於上述習知技術之種種缺失，本發明係提供一種電子封裝件，係包括：承載結構，係具有複數電性接觸墊，且各該電性接觸墊上係結合導電元件；支撐件，係設於該承載結構上；以及電子模組，係藉由該導電元件設於該承載結構上，且該支撐件接觸支撐該電子模組。

【0007】 本發明亦提供一種電子封裝件之製法，係包括：提供一具有複數電性接觸墊之承載結構及一電子模組，其中各該電性接觸墊上係結合導電元件，且於該承載結構上設有支撐件；以及以熱壓方式將電子模組藉由該導電元件設於該承載結構上，且令該支撐件接觸支撐該電子模組。

【0008】 前述之電子封裝件及其製法中，該支撐件係為絕緣體，其均勻分佈或非均勻分佈於該承載結構上。

【0009】 前述之電子封裝件及其製法中，該支撐件之數量分配係依據該電性接觸墊之數量增加而減少。

【0010】 前述之電子封裝件及其製法中，該複數電性接觸墊之相鄰兩者之間的距離係至少40微米。

【0011】 前述之電子封裝件及其製法中，該支撐件之寬度係至少為該複數電性接觸墊之相鄰兩者之間的距離的70%。

【0012】 前述之電子封裝件及其製法中，該電子模組係藉由導電體與焊錫材結合該導電元件，且該支撐件之高度係小於該導電體、該焊錫材與該導電元件之總高度。例如，該支撐件之高度與該導電體、該焊錫材與該導電元件之總高度之兩者高度差係為10微米。

【0013】 前述之電子封裝件及其製法中，該支撐件之數量係相同或大於該導電元件之數量的一半。

【0014】 前述之電子封裝件及其製法中，該電子模組係包含複數間隔佈設之電子元件。例如，該電子模組之中間區域係對應該複數電子元件之相鄰兩者的間隔空間。

【0015】 由上可知，本發明之電子封裝件及其製法中，主要藉由該支撐件接觸支撐該電子模組，以避免該電子模組之部分區域變形，故相較於習知技術，該電子模組於高溫時不會發生翹曲，因而可避免對應該電子模組之部分區域的相鄰兩導電元件相互橋接而發生短路之問題，並可避免對應該電子模組之另一區域的導電元件發生未濕潤的問題，以有效提升該電子封裝件之可靠度。

#### 【圖式簡單說明】

【0016】 圖1係為習知半導體封裝件之剖面示意圖。

【0017】 圖2A至圖2C係為本發明之電子封裝件之製法的剖視示意圖。

【0018】圖3係為圖2A之另一實施例的上視示意圖。

【0019】圖4係為圖2A之其它實施例的上視示意圖。

### 【實施方式】

【0020】以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

【0021】須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「上」、「第一」、「第二」及「一」等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

【0022】圖2A至圖2C係為本發明之電子封裝件2之製法之剖視示意圖。

【0023】如圖2A所示，提供一電子模組2a及一承載結構26，且該電子模組2a係包含一基板結構20、複數間隔佈設於該基板結構20上之電子元件21、及一形成於該基板結構20上以包覆該些電子元件21之封裝層24。

【0024】該基板結構20可為具有核心層之線路結構或無核心層（coreless）之線路結構，且其組成係於介電材上形成複數線路層200，如線路重佈層（redistribution layer，簡稱RDL）。

【0025】於本實施例中，該基板結構20係無核心層（coreless）之線路結構，其定義有相對之第一側20a與第二側20b。然而，於其它實施例中，該基板



結構20亦可為具有複數導電矽穿孔（Through-silicon via，簡稱TSV）之半導體基板，以作為矽中介板（Through Silicon interposer，簡稱TSI）。

【0026】該電子元件21可為主動元件、被動元件、封裝結構或其組合者，其設於該基板結構20之第一側20a上，其中，該主動元件係如半導體晶片，而該被動元件係如電阻、電容及電感。

【0027】於本實施例中，該電子元件21係為半導體晶片，並具有相對之作用面21a與非作用面21b，該作用面21a上具有複數電極墊210，且於各該電極墊210上形成有導電凸塊22，以藉由覆晶方式使該些導電凸塊22電性連接該基板結構20之第一側20a之線路層200，並於該作用面21a與該第一側20a之間形成有包覆層23，以令該包覆層23包覆該些導電凸塊22。

【0028】再者，該導電凸塊22係為金屬柱（如銅柱）、焊錫材或其組合，且該包覆層23係為底膠或非導電性膜（Non-Conductive Film，簡稱NCF），以令該封裝層24包覆該包覆層23。

【0029】又，該些電子元件21雖均為相同類型（即主動元件），但其內部構造可相同或不相同。例如，該電子元件21（主動元件）係為特殊應用積體電路（Application-specific integrated circuit，簡稱ASIC）型半導體晶片，而另一電子元件21係為控制晶片或高頻寬記憶體（High Bandwidth Memory，簡稱HBM）型晶片。

【0030】另外，該電子模組2a係定義有中間區域A及設於該中間區域A之外圍區域B，該中間區域A係對應相鄰兩電子元件21的間隔空間S。例如，該間隔空間S之中心線L係為該電子模組2a之中心線L。

【0031】該封裝層24可為絕緣材，如聚醯亞胺（polyimide，簡稱PI）、乾膜（dry film）、環氧樹脂（epoxy）、模封化合物（molding compound）或

其它適當材料，其具有相對之第一表面24a與第二表面24b，以令該封裝層24以其第一表面24a結合至該基板結構20之第一側20a上。

【0032】於本實施例中，該封裝層24係採用壓合（lamination）或模壓（molding）之方式形成於該基板結構20上。

【0033】再者，形成該封裝層24之材質與形成該包覆層23之材質相異。例如，該封裝層24之楊氏模數（Young's modulus）係大於該包覆層23之楊氏模數。

【0034】又，可藉由整平製程或薄化製程，使該電子元件21之非作用面21b與該封裝層24之第二表面24b共平面，以令該電子元件21之非作用面21b外露於該封裝層24。例如，當形成該封裝層24於該基板結構20上時，該封裝層24係覆蓋該電子元件21之非作用面21b，再以研磨或切割方式移除該封裝層24之部分材質（亦可依需求同時移除該電子元件21之非作用面21b之部分材質），使該電子元件21之非作用面21b齊平於該封裝層24之第二表面24b。

【0035】另外，於形成該封裝層24後，可於該基板結構20之第二側20b上形成複數導電體25。例如，該導電體25係為金屬柱（如銅柱），其端部可依需求結合焊錫材27a。

【0036】該承載結構26係為線路板，其包含至少一絕緣層及設於該絕緣層上之線路層260，且於最外層之絕緣層上係形成一絕緣保護層28，並於該絕緣保護層28上形成至少一支撐件29。

【0037】於本實施例中，該線路層260採用線路重佈層（redistribution layer，簡稱RDL）規格，且形成該線路層260之材質係為銅，而形成該絕緣層之材質係為如聚對二唑苯（Polybenzoxazole，簡稱PBO）、聚醯亞胺（Polyimide，簡稱PI）、預浸材（Prepreg，簡稱PP）或其它介電材。

【0038】再者，該絕緣保護層28可為介電層或如綠漆、油墨等之防銲層，其可形成複數開孔280，以令最外層之線路層260外露於各該開孔280，俾供作為電性接觸墊262，使其結合如銲錫材料之導電元件27。或者，該絕緣保護層28可形成一外露各該電性接觸墊262(或導電元件27)之開口380，如圖3所示。應可理解地，可形成一凸塊底下金屬層(Under Bump Metallurgy，簡稱UBM)270於該電性接觸墊262上，以利於結合該導電元件27。

【0039】又，相鄰兩電性接觸墊262之間的距離D係至少40微米(um)，且該支撐件29之寬度R(直徑)係至少為相鄰兩電性接觸墊262之間的距離D的70% ( $R \geq 0.7D$ )。

【0040】另外，該支撐件29係為絕緣體，其可均勻分佈(如圖3所示之支撐件39)或非均勻分佈(如圖4所示之支撐件29)於該承載結構26上。例如，該支撐件39與該絕緣保護層28係一體成形，如圖3所示，使兩者材質相同。

【0041】如圖2B及圖2C所示，將該電子模組2a以其導電體25藉由該銲錫材27a設於該承載結構26之電性接觸墊262之導電元件27上，使該支撐件29接觸支撐該電子模組2a。接著，藉由一熱壓件9熱壓該電子模組2a以回銲該銲錫材27a與該導電元件27，以令該導電元件27結合該導電體25。

【0042】於本實施例中，該支撐件29之數量(如圖3所示之25個)係相同或大於該導電元件27之數量(如圖3所示之25個)的一半(即相同或大於13個)，以達到支撐該電子模組2a之作用。

【0043】再者，該支撐件29相對該承載結構26之高度H1係大於或等於該導電元件27相對該承載結構26之高度H2，如圖2A所示，且該支撐件29相對該承載結構26之高度H1係小於該導電體25、該銲錫材27a與該導電元件27之總高度H3，如圖2B所示，以利於支撐該電子模組2a。例如，該支撐件29之高度H1與該總高度H3之兩者高度差係約10微米(um)。

【0044】又，該支撐件29之設置位置與數量分配係依據該電性接觸墊262之數量增加而減少。例如，於圖4所示之承載結構46中，其於佈設該電性接觸墊262之數量較少之區域Z1內配置較多之支撐件29，而於佈設該電性接觸墊262之數量較多之區域Z2內配置較少之支撐件29，以利於支撐該電子模組2a。

【0045】接著，移除該熱壓件9，以獲取該電子封裝件2。

【0046】因此，本發明之製法，主要藉由該支撐件29,39的設置，當該熱壓件9施加下壓力時，該支撐件29,39能支撐該電子模組2a（如中間區域A），以避免該電子模組2a之部分區域變形（如中間區域A降低），故相較於習知技術，該電子模組2a於高溫時（如回錫該錫材27a與該導電元件27之過程中）不會發生翹曲，因而當該電子模組2a與該承載結構26於相接時，能避免對應該電子模組2a之部分區域（如中間區域A）的相鄰兩導電元件27相互橋接而發生短路之問題，並能避免對應該電子模組2a之另一區域（如外圍區域B）的導電體25與導電元件27發生未濕潤(non-wetting)的問題。

【0047】本發明復提供一種電子封裝件2，係包括：一承載結構26,46、至少一支撐件29,39以及一電子模組2a。

【0048】所述之承載結構26,46係具有複數電性接觸墊262，且各該電性接觸墊262上係結合導電元件27。

【0049】所述之支撐件29,39係設於該承載結構26,46上。

【0050】所述之電子模組2a係藉由複數該導電元件27設於該承載結構26,46上，且該支撐件29,39接觸支撐該電子模組2a。

【0051】於一實施例中，該支撐件29,39係為絕緣體，其均勻分佈於該承載結構26上或非均勻分佈於該承載結構46上。

【0052】於一實施例中，該支撐件29,39之數量分配係依據該電性接觸墊262之數量增加而減少。

【0053】於一實施例中，該複數電性接觸墊262之相鄰兩者之間的距離D係至少40微米。

【0054】於一實施例中，該支撐件29之寬度R係至少為該複數電性接觸墊262之相鄰兩者之間的距離D的70%。

【0055】於一實施例中，該電子模組2a係藉由導電體25與焊錫材27a結合該導電元件27，且該支撐件29之高度H1係小於該導電體25、該焊錫材27a與該導電元件27之總高度H3。例如，該支撐件29之高度H1與該導電體25、該焊錫材27a與該導電元件27之總高度H3之兩者高度差係為10微米。

【0056】於一實施例中，該支撐件29之數量係相同或大於該導電元件27之數量的一半。

【0057】於一實施例中，該電子模組2a係包含複數間隔佈設之電子元件21。例如，該電子模組2a之中間區域A係對應該複數電子元件21之相鄰兩者的間隔空間S。

【0058】綜上所述，本發明之電子封裝件及其製法，係藉由該支撐件的設置，使該支撐件能支撐該電子模組之中間區域，以避免該電子模組之部分區域變形，故該電子模組於高溫時不會發生翹曲，因而能避免相鄰兩導電元件相互橋接而發生短路之問題，並能避免部分導電元件發生未濕潤的問題。

【0059】上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

## 【符號說明】

【0060】

1:半導體封裝件

1a,2a:電子模組

10:線路結構

11:半導體晶片

12,22:導電凸塊

13:底膠

14:封裝膠體

15:銅柱

16:封裝基板

17,27a:鍍錫材

2:電子封裝件

20:基板結構

20a:第一側

20b:第二側

200,260:線路層

21:電子元件

21a:作用面

21b:非作用面

210:電極墊

23:包覆層

24:封裝層

24a:第一表面

24b:第二表面

25:導電體

26,46:承載結構

262:電性接觸墊

27:導電元件

270:凸塊底下金屬層

28:絕緣保護層

280:開孔

29,39:支撐件

380:開口

9:熱壓件

A:中間區域

B:外圍區域

S:間隔空間

L:中心線

D:距離

R:寬度

H1,H2,H3:高度

Z1,Z2:區域

## 【發明申請專利範圍】

【請求項1】 一種電子封裝件，係包括：

承載結構，係具有複數電性接觸墊，且各該電性接觸墊上係結合導電元件；

支撐件，係設於該承載結構上；以及

電子模組，係藉由該導電元件設於該承載結構上，且令該支撐件接觸支撐該電子模組。

【請求項2】 如請求項 1 所述之電子封裝件，其中，該支撐件係為絕緣體，其均勻分佈於該承載結構上或非均勻分佈於該承載結構上。

【請求項3】 如請求項 1 所述之電子封裝件，其中，該支撐件之數量分配係依據該電性接觸墊之數量增加而減少。

【請求項4】 如請求項 1 所述之電子封裝件，其中，該複數電性接觸墊之相鄰兩者之間的距離係至少 40 微米。

【請求項5】 如請求項 1 所述之電子封裝件，其中，該支撐件之寬度係至少為該複數電性接觸墊之相鄰兩者之間的距離的 70%。

【請求項6】 如請求項 1 所述之電子封裝件，其中，該電子模組係藉由導電體與焊錫材結合該導電元件，且該支撐件之高度係小於該導電體、該焊錫材與該導電元件之總高度。

【請求項7】 如請求項 6 所述之電子封裝件，其中，該支撐件之高度與該導電體、該焊錫材與該導電元件之總高度之兩者高度差係為 10 微米。

【請求項8】 如請求項 1 所述之電子封裝件，其中，該支撐件之數量係相同或大於該導電元件之數量的一半。



【請求項9】如請求項 1 所述之電子封裝件，其中，該電子模組係包含複數間隔佈設之電子元件。

【請求項10】如請求項 9 所述之電子封裝件，其中，該電子模組之中間區域係對應該複數電子元件之相鄰兩者的間隔空間。

【請求項11】一種電子封裝件之製法，係包括：

提供一具有複數電性接觸墊之承載結構及一電子模組，其中各該電性接觸墊上係結合導電元件，且該承載結構上設有支撐件；以及

以熱壓方式將電子模組藉由該導電元件設於該承載結構上，且令該支撐件接觸支撐該電子模組。

【請求項12】如請求項 11 所述之電子封裝件之製法，其中，該支撐件係為絕緣體，其均勻分佈或非均勻分佈於該承載結構上。

【請求項13】如請求項 11 所述之電子封裝件之製法，其中，該支撐件之數量分配係依據該電性接觸墊之數量增加而減少。

【請求項14】如請求項 11 所述之電子封裝件之製法，其中，該複數電性接觸墊之相鄰兩者之間的距離係至少 40 微米。

【請求項15】如請求項 11 所述之電子封裝件之製法，其中，該支撐件之寬度係至少為該複數電性接觸墊之相鄰兩者之間的距離的 70%。

【請求項16】如請求項 11 所述之電子封裝件之製法，其中，該電子模組係藉由導電體與焊錫材結合該導電元件，且該支撐件之高度係小於該導電體、該焊錫材與該導電元件之總高度。

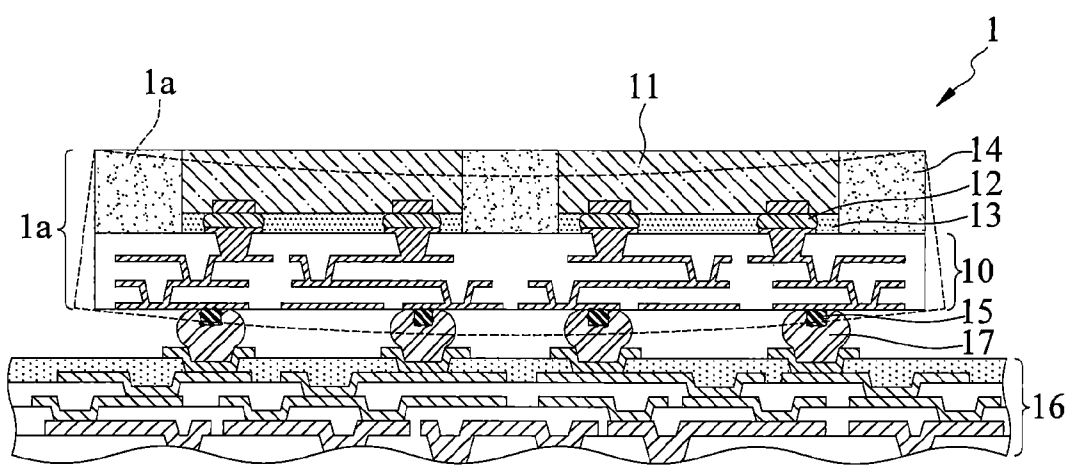
【請求項17】如請求項 16 所述之電子封裝件之製法，其中，該支撐件之高度與該導電體、該焊錫材與該導電元件之總高度之兩者高度差係為 10 微米。

【請求項18】如請求項 11 所述之電子封裝件之製法，其中，該支撐件之數量係相同或大於該導電元件之數量的一半。

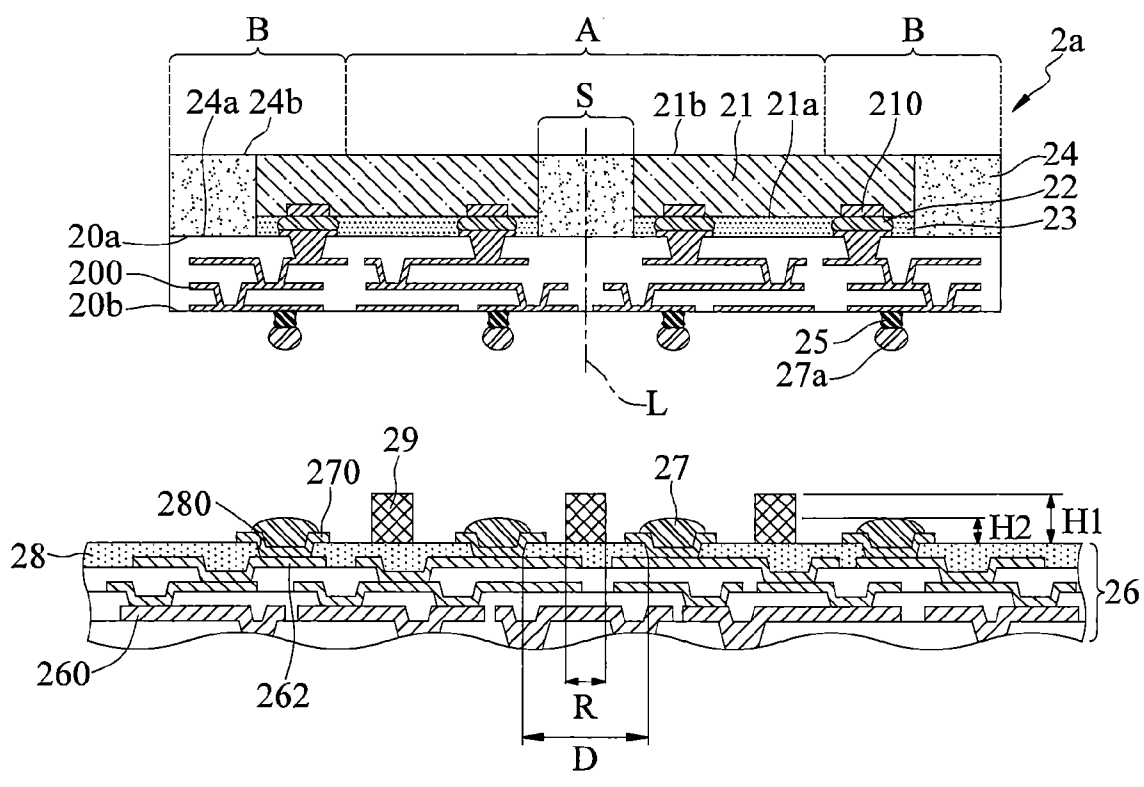
【請求項19】如請求項 11 所述之電子封裝件之製法，其中，該電子模組係包含複數間隔佈設之電子元件。

【請求項20】如請求項 19 所述之電子封裝件之製法，其中，該電子模組之中間區域係對應該複數電子元件之相鄰兩者的間隔空間。

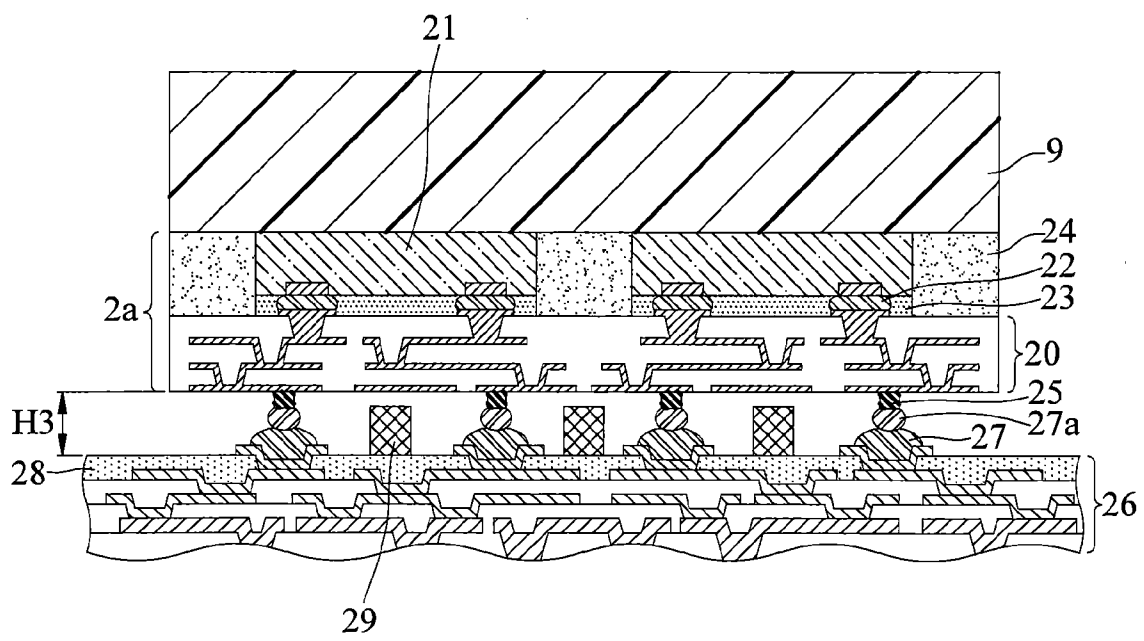
【發明圖式】



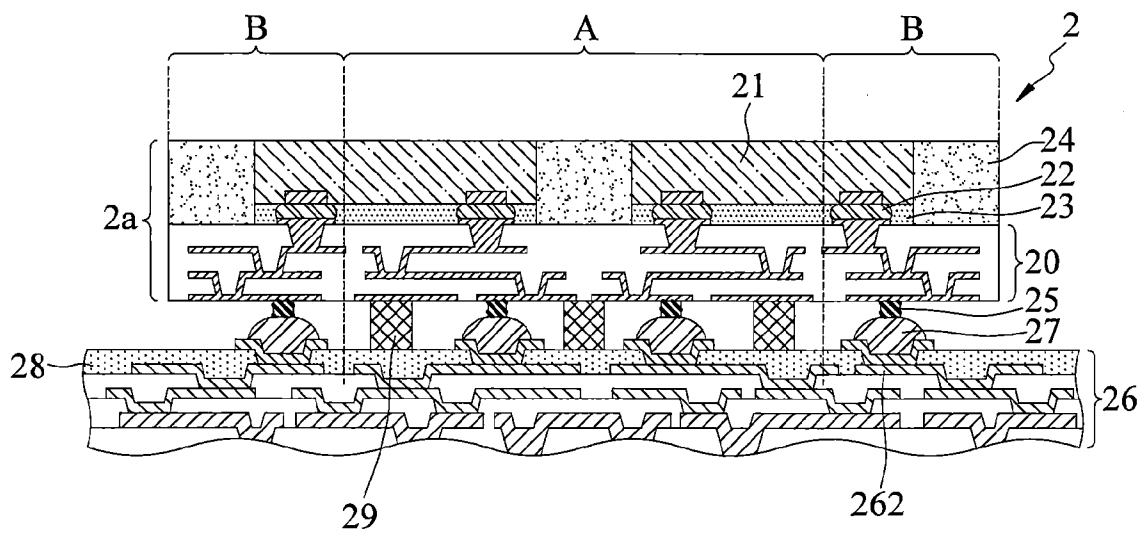
【圖 1】



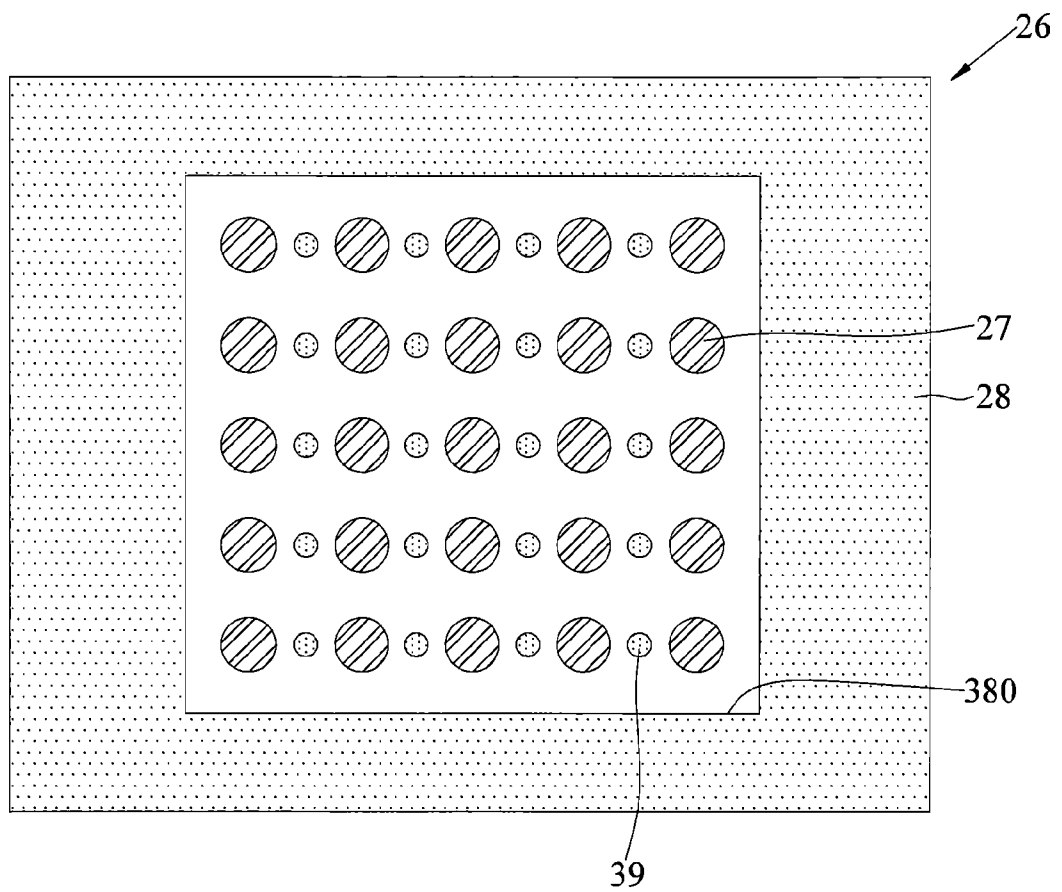
【圖 2A】



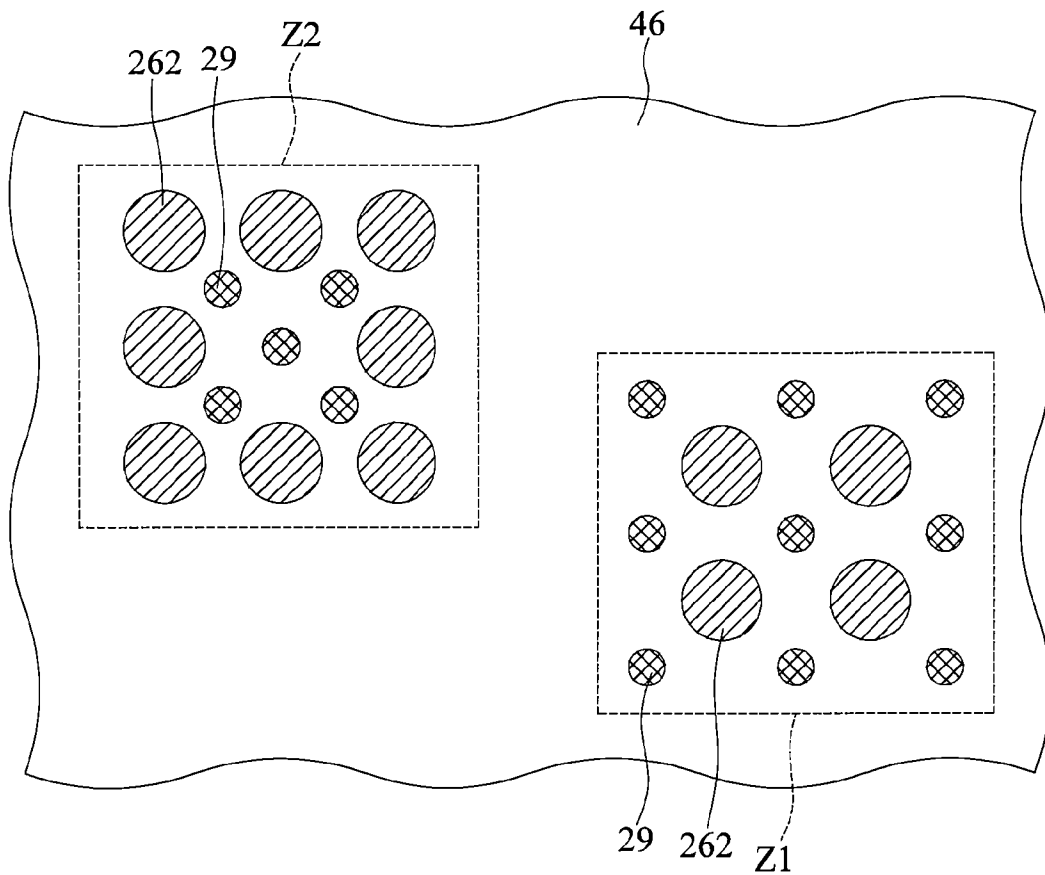
【圖 2B】



【圖 2C】



【圖 3】



【圖 4】