

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4186970号
(P4186970)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月19日(2008.9.19)

(51) Int.Cl.		F I		
HO 1 L 21/822	(2006.01)	HO 1 L 27/04		A
HO 1 L 27/04	(2006.01)	HO 1 L 27/04		H
HO 1 L 21/8234	(2006.01)	HO 1 L 27/08	1 O 2 F	
HO 1 L 27/088	(2006.01)	HO 1 L 27/06	3 1 1 C	
HO 1 L 27/06	(2006.01)			

請求項の数 15 (全 38 頁)

(21) 出願番号	特願2005-253390 (P2005-253390)	(73) 特許権者	000002369
(22) 出願日	平成17年9月1日(2005.9.1)		セイコーエプソン株式会社
(65) 公開番号	特開2007-43035 (P2007-43035A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成19年2月15日(2007.2.15)	(74) 代理人	100090479
審査請求日	平成19年10月5日(2007.10.5)		弁理士 井上 一
(31) 優先権主張番号	特願2005-192479 (P2005-192479)	(74) 代理人	100124682
(32) 優先日	平成17年6月30日(2005.6.30)		弁理士 黒田 泰
(33) 優先権主張国	日本国(JP)	(74) 代理人	100090387
早期審査対象出願			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(74) 代理人	100101649
			弁理士 伊奈 達也
		(74) 代理人	100104710
			弁理士 竹腰 昇

最終頁に続く

(54) 【発明の名称】 集積回路装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

パッドと、

長方形の領域に形成され、前記パッドと電氣的に接続される静電気保護素子と、

前記パッドと電氣的に接続される第1のトランジスタとを含み、

前記パッドの配列方向と前記静電気保護素子が形成される領域の長辺の延びる方向とが平行となり前記静電気保護素子の一部又は全部と重なるように、該静電気保護素子の上層に前記パッドが配置され、

前記パッドは前記パッドの短辺である第1の短辺及び第2の短辺を有し、

前記第1のトランジスタが、

1又は複数のソース領域、1又は複数のゲート電極及び1又は複数のドレイン領域により前記パッドの前記第1の短辺側に構成され、前記第1のトランジスタのチャネル幅が延びる方向が前記パッドの短辺の延びる方向と平行になるように形成され、

前記静電気保護素子が第2のトランジスタを含み、

前記第2のトランジスタが、

1又は複数のソース領域、1又は複数ゲート電極及び1又は複数ドレイン領域により前記パッドの前記第2の短辺側に構成され、前記第2のトランジスタのチャネル幅が延びる方向が前記パッドの短辺の延びる方向と平行になるように形成されることを特徴とする集積回路装置。

【請求項2】

請求項 1 において、

前記集積回路装置の短辺である第 1 の辺から対向する第 3 の辺へと向かう方向を第 1 の方向とし、前記集積回路装置の長辺である第 2 の辺から対向する第 4 の辺へと向かう方向を第 2 の方向とした場合に、

前記第 1 の方向に沿って配置される第 1 ~ 第 N の回路ブロック (N は 2 以上の整数) と

、
前記第 1 ~ 第 N の回路ブロックの前記第 2 の方向側に前記第 4 の辺に沿って設けられる第 1 のインターフェース領域と、

前記第 1 ~ 第 N の回路ブロックの前記第 2 の方向と反対の第 4 の方向側に前記第 2 の辺に沿って設けられる第 2 のインターフェース領域とを含み、

10

前記第 1 ~ 第 N の回路ブロックは、

データ線を駆動するための少なくとも 1 つのデータドライバブロックと、前記データドライバブロック以外の回路ブロックとを含み、

前記第 1 のインターフェース領域、前記第 1 ~ 第 N の回路ブロック、前記第 2 のインターフェース領域の前記第 2 の方向での幅を、各々、 W_1 、 W_B 、 W_2 とした場合に、集積回路装置の前記第 2 の方向での幅 W は、 $W_1 + W_B + W_2$ $W < W_1 + 2 \times W_B + W_2$ であることを特徴とする集積回路装置。

【請求項 3】

請求項 1 又は 2 において、

前記パッドが、

20

長方形の形状を有し、

前記配列方向が、

前記パッドの短辺の延びる方向であることを特徴とする集積回路装置。

【請求項 4】

複数のパッドと、

複数の静電気保護素子と、

前記複数のパッドのうちの少なくとも 1 つのパッドと電氣的に接続される第 1 のトランジスタとを含み、

前記複数の静電気保護素子の各々は、長方形の領域に形成され、前記複数のパッドのうち対応する 1 つのパッドと電氣的に接続され、

30

前記複数のパッドの配列方向と前記複数の静電気保護素子が形成される複数の領域の各々の長辺の延びる方向とが平行となり前記複数の静電気保護素子の各々の一部又は全部と重なるように、前記複数の静電気保護素子の各々の上層に前記複数のパッドのうち対応する 1 つのパッドが配置され、

前記少なくとも 1 つのパッドは前記少なくとも 1 つのパッドの短辺である第 1 の短辺及び第 2 の短辺を有し、

前記第 1 のトランジスタが、

1 又は複数のソース領域、1 又は複数のゲート電極及び 1 又は複数のドレイン領域により前記少なくとも 1 つのパッドの前記第 1 の短辺側に構成され、前記第 1 のトランジスタのチャネル幅が延びる方向が前記少なくとも 1 つのパッドの短辺の延びる方向と平行になるように形成され、

40

前記複数の静電気保護素子のうち、前記少なくとも 1 つのパッドに対応する 1 つの静電気保護素子が、第 2 のトランジスタを含み、

前記第 2 のトランジスタが、

1 又は複数のソース領域、1 又は複数のゲート電極及び 1 又は複数のドレイン領域により前記少なくとも 1 つのパッドの前記第 2 の短辺側に構成され、前記第 2 のトランジスタのチャネル幅が延びる方向が前記少なくとも 1 つのパッドの短辺の延びる方向と平行になるように形成されることを特徴とする集積回路装置。

【請求項 5】

請求項 4 において、

50

前記複数のパッドの各々が、
 長方形の形状を有し、
 前記配列方向が、
 前記複数のパッドの各々の短辺の延びる方向であることを特徴とする集積回路装置。

【請求項 6】

請求項 4 又は 5 において、

前記集積回路装置の短辺である第 1 の辺から対向する第 3 の辺へと向かう方向を第 1 の方向とし、前記集積回路装置の長辺である第 2 の辺から対向する第 4 の辺へと向かう方向を第 2 の方向とした場合に、

前記第 1 の方向に沿って配置される第 1 ~ 第 N の回路ブロック (N は 2 以上の整数) と

10

、
 前記第 1 ~ 第 N の回路ブロックの前記第 2 の方向側に前記第 4 の辺に沿って設けられる第 1 のインターフェース領域と、

前記第 1 ~ 第 N の回路ブロックの前記第 2 の方向と反対の第 4 の方向側に前記第 2 の辺に沿って設けられる第 2 のインターフェース領域とを含み、

前記第 1 ~ 第 N の回路ブロックは、

データ線を駆動するための少なくとも 1 つのデータドライバブロックと、前記データドライバブロック以外の回路ブロックとを含み、

前記第 1 のインターフェース領域、前記第 1 ~ 第 N の回路ブロック、前記第 2 のインターフェース領域の前記第 2 の方向での幅を、各々、 W_1 、 W_B 、 W_2 とした場合に、集積回路装置の前記第 2 の方向での幅 W は、 $W_1 + W_B + W_2$ $W < W_1 + 2 \times W_B + W_2$ であることを特徴とする集積回路装置。

20

【請求項 7】

請求項 2 又は 6 において、

集積回路装置の前記第 2 の方向での幅 W は、 $W < 2 \times W_B$ であることを特徴とする集積回路装置。

【請求項 8】

請求項 2、6、7のいずれかにおいて、

前記第 1 のインターフェース領域は、前記データドライバブロックの前記第 2 の方向側に、他の回路ブロックを介さずに配置され、

30

前記第 2 のインターフェース領域は、前記データドライバブロックの前記第 4 の方向側に、他の回路ブロックを介さずに配置されることを特徴とする集積回路装置。

【請求項 9】

請求項 2、6、7、8のいずれかにおいて、

前記データドライバブロックが含むデータドライバは、

その各々が 1 画素分の画像データに対応するデータ信号を出力し、前記第 2 の方向に沿って並ぶ Q 個のドライバセルを含み、

前記ドライバセルの前記第 2 の方向での幅を W_D とした場合に、前記第 1 ~ 第 N の回路ブロックの前記第 2 の方向での幅 W_B は、 $Q \times W_D$ $W_B < (Q + 1) \times W_D$ であることを特徴とする集積回路装置。

40

【請求項 10】

請求項 9 において、

表示パネルの水平走査方向の画素数を $H P N$ とし、データドライバブロックのブロック数を $D B N$ とし、前記ドライバセルに対して 1 水平走査期間に入力される画像データの入力回数を $I N$ とした場合に、

前記第 2 の方向に沿って並ぶ前記ドライバセルの個数 Q は、 $Q = H P N / (D B N \times I N)$ であることを特徴とする集積回路装置。

【請求項 11】

請求項 2、6、7、8、9、10のいずれかにおいて、

前記第 1 ~ 第 N の回路ブロックは、

50

画像データを記憶する少なくとも1つのメモリブロックを含み、
 前記データドライバブロックが含むデータドライバは、
 その各々が1画素分の画像データに対応するデータ信号を出力し、前記第2の方向に沿って並ぶQ個のドライバセルを含み、
 前記ドライバセルの前記第2の方向での幅をWDとし、前記メモリブロックが含む周辺回路部分の前記第2の方向での幅をWPCとした場合に、 $Q \times WD - WB < (Q + 1) \times WD + WPC$ であることを特徴とする集積回路装置。

【請求項12】

請求項11において、
 表示パネルの水平走査方向の画素数をHPNとし、データドライバブロックのブロック数をDBNとし、前記ドライバセルに対して1水平走査期間に入力される画像データの入力回数をINとした場合に、
 前記第2の方向に沿って並ぶ前記ドライバセルの個数Qは、 $Q = HPN / (DBN \times IN)$ であることを特徴とする集積回路装置。

10

【請求項13】

請求項11又は12において、
 前記メモリブロックと前記データドライバブロックは前記第1の方向に沿って隣接して配置されることを特徴とする集積回路装置。

【請求項14】

請求項11乃至13のいずれかにおいて、
 前記メモリブロックから隣接するデータドライバブロックに対して、前記メモリブロックに記憶される画像データが、1水平走査期間において複数回読み出されることを特徴とする集積回路装置。

20

【請求項15】

請求項1乃至14のいずれかに記載の集積回路装置と、
 前記集積回路装置により駆動される表示パネルと、
 を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及び電子機器に関する。

30

【背景技術】

【0002】

液晶パネルなどの表示パネルを駆動する集積回路装置として表示ドライバ(LCDドライバ)がある。この表示ドライバでは、低コスト化のためにチップサイズの縮小が要求される。

【0003】

しかしながら、携帯電話機などに組み込まれる表示パネルの大きさはほぼ一定である。従って、微細プロセスを採用し、表示ドライバの集積回路装置を単純にシュリンクしてチップサイズを縮小しようとする、実装が困難になるなどの問題を招く。

40

【特許文献1】特開2001-222249号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、スリムな細長の集積回路装置及びこれを含む電子機器を提供することにある。

【課題を解決するための手段】

【0005】

本発明は、パッドと、長方形の領域に形成され、前記パッドと電氣的に接続される静電気保護素子とを含み、前記パッドの配列方向と前記静電気保護素子が形成される領域の長

50

辺方向とが平行となり前記静電気保護素子の一部又は全部と重なるように、該静電気保護素子の上面に前記パッドが配置される集積回路装置に係る。

【0006】

また本発明に係る集積回路装置では、前記パッドが、長方形の形状を有し、前記配列方向が、前記パッドの短辺方向であってもよい。

【0007】

また本発明に係る集積回路装置では、前記静電気保護素子は、前記パッドの対向する第1及び第2の短辺のうち前記第2の短辺側に配置されてもよい。

【0008】

上記のいずれかの発明によれば、パッド間の領域を有効に活用できる上に、パッド下に他の素子を配置できる領域を広げることができるようになる。こうすることで、集積回路装置のレイアウト面積を縮小させることができるようになる。またパッドの配列方向又はパッドの短辺方向に静電気保護素子の領域を変更できるため、例えば出力用トランジスタと兼用される静電気保護素子の電流駆動能力の微調整が可能となり、無駄にレイアウト面積を大きくしてしまうことがなくなる。

【0009】

また本発明に係る集積回路装置では、前記パッドと電氣的に接続されるトランジスタを含み、前記パッドの短辺方向にチャネル幅が延びるように、前記トランジスタ及び前記静電気保護素子を構成する複数のソース領域、ゲート電極及びドレイン電極が形成され、前記トランジスタが、前記第1の短辺側の1又は複数のソース領域、ゲート電極及びドレイン電極により構成され、前記静電気保護素子が、前記トランジスタ第2の短辺側の1又は複数のソース領域、ゲート電極及びドレイン電極により構成されるゲート制御トランジスタであってもよい。

【0010】

本発明によれば、静電気保護素子をパッドの下層に配置できると共にトランジスタの電流駆動能力に応じてトランジスタ及びゲート制御トランジスタのサイズを容易に調整できる上に、レイアウト面積の縮小に寄与できる。

【0011】

また本発明に係る集積回路装置では、前記集積回路装置の短辺である第1の辺から対向する第3の辺へと向かう方向を第1の方向とし、集積回路装置の長辺である第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記第1の方向に沿って配置される第1～第Nの回路ブロック（Nは2以上の整数）と、前記第1～第Nの回路ブロックの前記第2の方向側に前記第4の辺に沿って設けられる第1のインターフェース領域と、前記第1～第Nの回路ブロックの前記第2の方向と反対の第4の方向側に前記第2の辺に沿って設けられる第2のインターフェース領域とを含み、前記第1～第Nの回路ブロックは、データ線を駆動するための少なくとも1つのデータドライバブロックと、前記データドライバブロック以外の回路ブロックとを含み、前記第1のインターフェース領域、前記第1～第Nの回路ブロック、前記第2のインターフェース領域の前記第2の方向での幅を、各々、 W_1 、 W_B 、 W_2 とした場合に、集積回路装置の前記第2の方向での幅 W は、 $W_1 + W_B + W_2$ $W < W_1 + 2 \times W_B + W_2$ であってもよい。

【0012】

本発明では、第1～第Nの回路ブロックが、データドライバブロックとデータドライバブロック以外の回路ブロックを含む。そして、第1のインターフェース領域、第1～第Nの回路ブロック、第2のインターフェース領域の幅 W_1 、 W_B 、 W_2 について、 $W_1 + W_B + W_2$ $W < W_1 + 2 \times W_B + W_2$ が成り立つ。このような関係式が成り立つ集積回路装置によれば、第2の方向における回路ブロックの幅を確保しつつ（過度な扁平レイアウトにすることなく）、第2の方向での幅を小さくでき、スリムな細長の集積回路装置を提供できる。これにより実装の容易化と装置の低コスト化を両立できる。また、回路ブロックが過度に扁平ではないので、レイアウト設計が容易になり、装置の開発期間を短縮できる。

10

20

30

40

50

【 0 0 1 3 】

また本発明に係る集積回路装置では、集積回路装置の前記第2の方向での幅 W は、 $W < 2 \times WB$ であってもよい。

【 0 0 1 4 】

このようにすれば、第1～第 N の回路ブロックの第2の方向での幅を大きく確保しながらも、集積回路装置の第2の方向での幅を小さくできる。また本発明のようにパッドの下層に静電気保護素子を配置することで、集積回路装置の第2の方向の幅を大幅に縮小させることができる。そのため、容易に $W < 2 \times WB$ を成り立たせることができるようになり、より一層スリムな集積回路装置を提供できるようになる。

【 0 0 1 5 】

また本発明に係る集積回路装置では、前記第1のインターフェース領域は、前記データドライバブロックの前記第2の方向側に、他の回路ブロックを介さずに配置され、前記第2のインターフェース領域は、前記データドライバブロックの前記第4の方向側に、他の回路ブロックを介さずに配置されてもよい。

【 0 0 1 6 】

このようにすれば、データドライバブロックの第2の方向での幅を基準に第1～第 N の回路ブロックの第2の方向での幅を設定できる。そして、少なくともデータドライバブロックが存在する部分において、第2の方向において1つの回路ブロック（データドライバブロック）だけが存在するようになるため、データドライバブロックのレイアウトを過度に扁平にすることなく、細長の集積回路装置を実現できる。

【 0 0 1 7 】

また本発明に係る集積回路装置では、前記データドライバブロックが含むデータドライバは、その各々が1画素分の画像データに対応するデータ信号を出力し、前記第2の方向に沿って並ぶ Q 個のドライバセルを含み、前記ドライバセルの前記第2の方向での幅を WD とした場合に、前記第1～第 N の回路ブロックの前記第2の方向での幅 WB は、 $Q \times WD$ 、 $WB < (Q + 1) \times WD$ であってもよい。

【 0 0 1 8 】

このように第2の方向に沿って複数のドライバセルを配置すれば、第1の方向に沿って配置される他の回路ブロックからの画像データの信号を、これらのドライバセルに効率的に入力できる。そしてデータドライバブロックの第2の方向での幅を最小限に抑えて、集積回路装置の第2の方向での幅を小さくできる。

【 0 0 1 9 】

また本発明に係る集積回路装置では、表示パネルの水平走査方向の画素数を HPN とし、データドライバブロックのブロック数を DBN とし、前記ドライバセルに対して1水平走査期間に入力される画像データの入力回数を IN とした場合に、前記第2の方向に沿って並ぶ前記ドライバセルの個数 Q は、 $Q = HPN / (DBN \times IN)$ であってもよい。

【 0 0 2 0 】

このようにすれば、第1～第 N の回路ブロックの第2の方向での幅を、データドライバブロックのブロック数や画像データの入力回数に応じた最適な幅に設定できる。

【 0 0 2 1 】

また本発明に係る集積回路装置では、前記第1～第 N の回路ブロックは、画像データを記憶する少なくとも1つのメモリブロックを含み、前記データドライバブロックが含むデータドライバは、その各々が1画素分の画像データに対応するデータ信号を出力し、前記第2の方向に沿って並ぶ Q 個のドライバセルを含み、前記ドライバセルの前記第2の方向での幅を WD とし、前記メモリブロックが含む周辺回路部分の前記第2の方向での幅を WPC とした場合に、 $Q \times WD$ 、 $WB < (Q + 1) \times WD + WPC$ であってもよい。

【 0 0 2 2 】

このようにすれば、メモリブロックの幅を基準に第1～第 N の回路ブロックの幅を設定できる。そして、少なくともメモリブロックが存在する部分において、第2の方向において1つの回路ブロック（メモリブロック）だけが存在するようになるため、細長の集積回

10

20

30

40

50

路装置を実現できる。そして、データドライバブロックの第2の方向での幅を最小限に抑えて、集積回路装置の第2の方向での幅を小さくできる。

【0023】

また本発明に係る集積回路装置では、表示パネルの水平走査方向の画素数をHPNとし、データドライバブロックのブロック数をDBNとし、前記ドライバセルに対して1水平走査期間に入力される画像データの入力回数をINとした場合に、前記第2の方向に沿って並ぶ前記ドライバセルの個数Qは、 $Q = HPN / (DBN \times IN)$ であってもよい。

【0024】

このようにすれば、メモリブロックの第2の方向での幅を最小限に抑えて、集積回路装置の第2の方向での幅を小さくできる。

10

【0025】

また本発明に係る集積回路装置では、前記メモリブロックと前記データドライバブロックは前記第1の方向に沿って隣接して配置されてもよい。

【0026】

このようにすれば、メモリブロックとデータドライバブロックを第2の方向に沿って配置する手法に比べて、集積回路装置の第2の方向での幅を小さくできる。またメモリブロックやデータドライバブロックの構成等が変わった場合に、他の回路ブロックに及ぶ影響を最小限に抑えることができ、設計の効率化を図れる。

【0027】

また本発明に係る集積回路装置では、前記メモリブロックから隣接するデータドライバブロックに対して、前記メモリブロックに記憶される画像データが、1水平走査期間において複数回読み出されてもよい。

20

【0028】

このようにすれば、メモリブロックの第2の方向でのメモリセル数が減るので、メモリブロックの第2の方向での幅を小さくでき、集積回路装置の第2の方向での幅も小さくすることが可能になる。

【0029】

また本発明は、上記のいずれかに記載の集積回路装置と、前記集積回路装置により駆動される表示パネルとを含む電子機器に関係する。

【発明を実施するための最良の形態】

30

【0030】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成のすべてが本発明の解決手段として必須であるとは限らない。

【0031】

1. 比較例

図1(A)に本実施形態の比較例となる集積回路装置500を示す。図1(A)の集積回路装置500はメモリブロックMB(表示データRAM)とデータドライバブロックDBを含む。そしてメモリブロックMBとデータドライバブロックDBはD2方向に沿って配置されている。またメモリブロックMB、データドライバブロックDBは、D1方向に沿った長さがD2方向での幅に比べて長い超扁平なブロックになっている。

40

【0032】

ホスト側からの画像データはメモリブロックMBに書き込まれる。そしてデータドライバブロックDBは、メモリブロックMBに書き込まれたデジタルの画像データをアナログのデータ電圧に変換して、表示パネルのデータ線を駆動する。このように図1(A)において画像データの信号の流れはD2方向である。このため、図1(A)の比較例では、この信号の流れに合わせて、メモリブロックMBとデータドライバブロックDBをD2方向に沿って配置している。このようにすることで、入力と出力の間がショートパスになり、信号遅延を最適化でき、効率の良い信号伝達が可能になる。

【0033】

50

ところが図1(A)の比較例では以下のような課題がある。

【0034】

第1に、表示ドライバなどの集積回路装置では、低コスト化のためにチップサイズの縮小が要求される。ところが、微細プロセスを採用し、集積回路装置500を単純にシュリンクしてチップサイズを縮小すると、短辺方向のみならず長辺方向も縮小されてしまう。従って図2(A)に示すように実装の困難化の問題を招く。即ち出力ピッチは、例えば $22\mu\text{m}$ 以上であることが望ましいが、図2(A)のような単純シュリンクでは例えば $17\mu\text{m}$ ピッチになってしまい、狭ピッチのために実装が困難になる。また表示パネルのガラスの額縁が広くなり、ガラスの取れ数が減少し、コスト増を招く。

【0035】

第2に、表示ドライバでは、表示パネルの種類(アモルファスTFT、低温ポリシリコンTFT)や画素数(QCIF、QVGA、VGA)や製品の仕様などに応じて、メモリやデータドライバの構成が変わる。従って図1(A)の比較例では、ある製品では図1(B)のように、パッドピッチとメモリのセルピッチとデータドライバのセルピッチが一致していたとしても、メモリやデータドライバの構成が変わると、図1(C)に示すようにこれらのピッチが一致しなくなる。そして図1(C)のようにピッチが一致しなくなると、回路ブロック間に、ピッチの不一致を吸収するための無駄な配線領域を形成しなければなくなる。特にD1方向にブロックが扁平している図1(A)の比較例では、ピッチの不一致を吸収するための無駄な配線領域が大きくなる。この結果、集積回路装置500のD2方向での幅Wが大きくなり、チップ面積が増加し、コスト増を招く。

【0036】

一方、このような事態を避けるために、パッドピッチとセルピッチが揃うようにメモリやデータドライバのレイアウトを変更すると、開発期間が長期化し、結局、コスト増を招く。即ち図1(A)の比較例では、各回路ブロックの回路構成やレイアウトを個別設計し、その後にピッチ等を合わせるという作業を行うため、無駄な空き領域が生じたり、設計が非効率化するなどの問題が生じる。

【0037】

2. 集積回路装置の構成

以上のような問題を解決できる本実施形態の集積回路装置10の構成例を図3に示す。本実施形態では、集積回路装置10の短辺である第1の辺SD1から対向する第3の辺SD3へと向かう方向を第1の方向D1とし、D1の反対方向を第3の方向D3としている。また集積回路装置10の長辺である第2の辺SD2から対向する第4の辺SD4へと向かう方向を第2の方向D2とし、D2の反対方向を第4の方向D4としている。なお、図3では集積回路装置10の左辺が第1の辺SD1で、右辺が第3の辺SD3になっているが、左辺が第3の辺SD3で、右辺が第1の辺SD1であってもよい。

【0038】

図3に示すように本実施形態の集積回路装置10は、D1方向に沿って配置される第1~第Nの回路ブロックCB1~CBN(Nは2以上の整数)を含む。即ち、図1(A)の比較例では回路ブロックがD2方向に並んでいるが、本実施形態では回路ブロックCB1~CBNがD1方向に並んでいる。また各回路ブロックは、図1(A)の比較例のような超扁平なブロックになっておらず、比較的スクウェアなブロックになっている。

【0039】

また集積回路装置10は、第1~第Nの回路ブロックCB1~CBNのD2方向側に辺SD4に沿って設けられる出力側I/F領域12(広義には第1のインターフェース領域)を含む。また第1~第Nの回路ブロックCB1~CBNのD4方向側に辺SD2に沿って設けられる入力側I/F領域14(広義には第2のインターフェース領域)を含む。より具体的には、出力側I/F領域12(第1のI/O領域)は、回路ブロックCB1~CBNのD2方向側に、例えば他の回路ブロック等を介さずに配置される。また入力側I/F領域14(第2のI/O領域)は、回路ブロックCB1~CBNのD4方向側に、例えば他の回路ブロック等を介さずに配置される。即ち少なくともデータドライバブロックが

10

20

30

40

50

存在する部分において、D2方向において1つの回路ブロック(データドライバブロック)だけが存在する。なお集積回路装置10をIP(Intellectual Property)コアとして用いて他の集積回路装置に組み込む場合等には、I/F領域12、14の少なくとも一方を設けない構成とすることもできる。

【0040】

出力側(表示パネル側)I/F領域12は、表示パネルとのインターフェースとなる領域であり、パッドや、パッドに接続される出力用トランジスタ、保護素子などの種々の素子を含む。具体的には、データ線へのデータ信号や走査線への走査信号を出力するための出力用トランジスタなどを含む。なお表示パネルがタッチパネルである場合等には、入力用トランジスタを含んでもよい。

10

【0041】

入力側(ホスト側)I/F領域14は、ホスト(MPU、画像処理コントローラ、ベースバンドエンジン)とのインターフェースとなる領域であり、パッドや、パッドに接続される入力用(入出力用)トランジスタ、出力用トランジスタ、保護素子などの種々の素子を含むことができる。具体的には、ホストからの信号(デジタル信号)を入力するための入力用トランジスタやホストへの信号を出力するための出力用トランジスタなどを含む。

【0042】

なお、短辺である辺SD1、SD3に沿った出力側又は入力側I/F領域を設けるようにしてもよい。また外部接続端子となるバンプ等は、I/F(インターフェース)領域12、14に設けてもよいし、それ以外の領域(第1~第Nの回路ブロックCB1~CBN)に設けてもよい。I/F領域12、14以外の領域に設ける場合には、金バンプ以外の小型バンプ技術(樹脂をコアとするバンプ技術など)を用いることで実現される。

20

【0043】

また第1~第Nの回路ブロックCB1~CBNは、少なくとも2つ(或いは3つ)の異なる回路ブロック(異なる機能を持つ回路ブロック)を含むことができる。集積回路装置10が表示ドライバである場合を例にとれば、回路ブロックCB1~CBNは、データドライバ、メモリ、走査ドライバ、ロジック回路、階調電圧生成回路、電源回路のブロックの少なくとも2つを含むことができる。更に具体的には回路ブロックCB1~CBNは、少なくともデータドライバ、ロジック回路のブロックを含むことができ、更に階調電圧生成回路のブロックを含むことができる。またメモリ内蔵タイプの場合には更にメモリのブ

30

【0044】

例えば図4に種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例を示す。メモリ(RAM)内蔵のアモルファスTFT(Thin Film Transistor)パネル用表示ドライバでは、回路ブロックCB1~CBNは、メモリ、データドライバ(ソースドライバ)、走査ドライバ(ゲートドライバ)、ロジック回路(ゲートアレイ回路)、階調電圧生成回路(補正回路)、電源回路のブロックを含む。一方、メモリ内蔵の低温ポリシリコン(LTPS)TFTパネル用表示ドライバでは、走査ドライバをガラス基板に形成できるため、走査ドライバのブロックを省略できる。またメモリ非内蔵のアモルファスTFTパネル用では、メモリのブロックを省略でき、メモリ非内蔵の低温ポリシリコンTFTパネル用では、メモリ及び走査ドライバのブロックを省略できる。またCSTN(Collar Super Twisted Nematic)パネル、TFD(Thin Film Diode)パネル用では、階調電圧生成回路のブロックを省略できる。

40

【0045】

図5(A)(B)に本実施形態の表示ドライバの集積回路装置10の平面レイアウトの例を示す。図5(A)(B)は、メモリ内蔵のアモルファスTFTパネル用の例であり、図5(A)は例えばQCIF、32階調用の表示ドライバをターゲットとし、図5(B)はQVGA、64階調用の表示ドライバをターゲットとしている。

【0046】

図5(A)(B)では、第1~第Nの回路ブロックCB1~CBNは、第1~第4のメ

50

メモリブロックMB 1 ~ MB 4 (広義には第 1 ~ 第 I のメモリブロック。I は 2 以上の整数) を含む。また第 1 ~ 第 4 のメモリブロックMB 1 ~ MB 4 の各々に対して、D 1 方向に沿ってその各々が隣接して配置される第 1 ~ 第 4 のデータドライバブロックDB 1 ~ DB 4 (広義には第 1 ~ 第 I のデータドライバブロック) を含む。具体的にはメモリブロックMB 1 とデータドライバブロックDB 1 が D 1 方向に沿って隣接して配置され、メモリブロックMB 2 とデータドライバブロックDB 2 が D 1 方向に沿って隣接して配置される。そしてデータドライバブロックDB 1 がデータ線を駆動するために用いる画像データ (表示データ) は、隣接するメモリブロックMB 1 が記憶し、データドライバブロックDB 2 がデータ線を駆動するために用いる画像データは、隣接するメモリブロックMB 2 が記憶する。

10

【 0 0 4 7 】

また図 5 (A) では、メモリブロックMB 1 ~ MB 4 のうちのMB 1 (広義には第 J のメモリブロック。1 $J < I$) のD 3 方向側に、データドライバブロックDB 1 ~ DB 4 のうちのDB 1 (広義には第 J のデータドライバブロック) が隣接して配置される。またメモリブロックMB 1 のD 1 方向側に、メモリブロックMB 2 (広義には第 J + 1 のメモリブロック) が隣接して配置される。そしてメモリブロックMB 2 のD 1 方向側に、データドライバブロックDB 2 (広義には第 J + 1 のデータドライバブロック) が隣接して配置される。メモリブロックMB 3、MB 4、データドライバブロックDB 3、DB 4 の配置も同様である。このように図 5 (A) では、MB 1、MB 2 の境界線に対して線対称にMB 1、DB 1 とMB 2、DB 2 が配置され、MB 3、MB 4 の境界線に対して線対称にMB 3、DB 3 とMB 4、DB 4 とが配置される。なお図 5 (A) では、DB 2 とDB 3 が隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

20

【 0 0 4 8 】

一方、図 5 (B) では、メモリブロックMB 1 ~ MB 4 のうちのMB 1 (第 J のメモリブロック) のD 3 方向側に、データドライバブロックDB 1 ~ DB 4 のうちのDB 1 (第 J のデータドライバブロック) が隣接して配置される。またMB 1 のD 1 方向側にDB 2 (第 J + 1 のデータドライバブロック) が配置される。またDB 2 のD 1 方向側にMB 2 (第 J + 1 のメモリブロック) が配置される。DB 3、MB 3、DB 4、MB 4 も同様に配置される。なお図 5 (B) では、MB 1 とDB 2、MB 2 とDB 3、MB 3 とDB 4 が、各々、隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

30

【 0 0 4 9 】

図 5 (A) のレイアウト配置によれば、メモリブロックMB 1 とMB 2 や、MB 3 とMB 4 の間で (第 J、第 J + 1 のメモリブロックの間で)、コラムアドレスデコーダを共用できるという利点がある。一方、図 5 (B) のレイアウト配置によれば、データドライバブロックDB 1 ~ DB 4 から出力側 I / F 領域 1 2 へのデータ信号出力線の配線ピッチを均等化でき、配線効率を向上できるという利点がある。

【 0 0 5 0 】

なお本実施形態の集積回路装置 1 0 のレイアウト配置は図 5 (A) (B) に限定されない。例えばメモリブロックやデータドライバブロックのブロック数を 2、3 或いは 5 以上にしてもよいし、メモリブロックやデータドライバブロックをブロック分割しない構成にしてもよい。またメモリブロックとデータドライバブロックが隣接しないようにする変形実施も可能である。またメモリブロック、走査ドライバブロック、電源回路ブロック又は階調電圧生成回路ブロックなどを設けない構成としてもよい。また回路ブロックCB 1 ~ CBN と出力側 I / F 領域 1 2 や入力側 I / F 領域 1 4 の間に、D 2 方向での幅が極めて狭い回路ブロック (WB 以下の細長回路ブロック) を設けてもよい。また回路ブロックCB 1 ~ CBN が、異なる回路ブロックが D 2 方向に多段に並んだ回路ブロックを含んでもよい。例えば走査ドライバ回路と電源回路を 1 つの回路ブロックとした構成としてもよい。

40

50

【0051】

図6(A)は、本実施形態の集積回路装置のD2方向に沿った断面図の例であり、図6(B)は比較例の断面図の例である。図1(A)の比較例では、図6(B)に示すように2以上の複数の回路ブロックがD2方向に沿って配置される。またD2方向において、回路ブロック間や、回路ブロックとI/F領域の間に配線領域が形成される。従って集積回路装置500のD2方向(短辺方向)での幅Wが大きくなり、スリムな細長チップを実現できない。従って微細プロセスを利用してチップをシュリンクしても、図2(A)に示すようにD1方向(長辺方向)での長さLDも短くなってしまい、出力ピッチが狭ピッチになるため、実装の困難化を招く。

【0052】

これに対して本実施形態では図3、図5(A)(B)に示すように複数の回路ブロックCB1~CBNがD1方向に沿って配置される。また図6(A)に示すように、パッド(バンプ)の下にトランジスタ(回路素子)を配置できる(能動面バンプ)。また回路ブロック内の配線であるローカル配線よりも上層(パッドよりも下層)で形成されるグローバル配線により、回路ブロック間や、回路ブロックとI/F領域間等での信号線を形成できる。従って図2(B)に示すように、集積回路装置10のD1方向での長さLDを維持したままで、D2方向での幅Wを狭くでき、超スリムな細長チップを実現できる。この結果、出力ピッチを例えば22 μ m以上に維持することができ、実装を容易化できる。

【0053】

また本実施形態では複数の回路ブロックCB1~CBNがD1方向に沿って配置されるため、製品の仕様変更等に容易に対応できる。即ち共通のプラットフォームを用いて様々な仕様の製品を設計できるため、設計効率を向上できる。例えば図5(A)(B)において、表示パネルの画素数や階調数が増減した場合にも、メモリブロックやデータドライバブロックのブロック数や、1水平走査期間での画像データの読み出し回数等を増減するだけで対応できる。また図5(A)(B)はメモリ内蔵のアモルファスTF Tパネル用の例であるが、メモリ内蔵の低温ポリシリコンTF Tパネル用の製品を開発する場合には、回路ブロックCB1~CBNの中から走査ドライバブロックを取り除くだけで済む。またメモリ非内蔵の製品を開発する場合には、メモリブロックを取り除けば済む。そしてこのように仕様に合わせて回路ブロックを取り除いても、本実施形態では、それが他の回路ブロックに及ぼす影響が最小限に抑えられるため、設計効率を向上できる。

【0054】

また本実施形態では、各回路ブロックCB1~CBNのD2方向での幅(高さ)を、例えばデータドライバブロックやメモリブロックの幅(高さ)に統一できる。そして各回路ブロックのトランジスタ数が増減した場合には、各回路ブロックのD1方向での長さを増減することで調整できるため、設計を更に効率化できる。例えば図5(A)(B)において、階調電圧生成回路ブロックや電源回路ブロックの構成が変更になり、トランジスタ数が増減した場合にも、階調電圧生成回路ブロックや電源回路ブロックのD1方向での長さを増減することで対応できる。

【0055】

なお第2の比較例として、例えばデータドライバブロックをD1方向に細長に配置し、データドライバブロックのD4方向側に、メモリブロックなどの他の複数の回路ブロックをD1方向に沿って配置する手法も考えられる。しかしながらこの第2の比較例では、メモリブロックなどの他の回路ブロックと出力側I/F領域との間に、幅の大きなデータドライバブロックが介在するようになるため、集積回路装置のD2方向での幅Wが大きくなり、スリムな細長チップの実現が困難になる。またデータドライバブロックとメモリブロックの間に無駄な配線領域が生じてしまい、幅Wが更に大きくなってしまふ。またデータドライバブロックやメモリブロックの構成が変わった場合には、図1(B)(C)で説明したピッチの不一致の問題が生じ、設計効率を向上できない。

【0056】

また本実施形態の第3の比較例として、同一機能の回路ブロック(例えばデータドライ

10

20

30

40

50

ブロック)だけをブロック分割して、D1方向に並べて配置する手法も考えられる。しかしながら、この第3の比較例では、集積回路装置に同一機能(例えばデータドライバの機能)だけしか持たせることができないため、多様な製品展開を実現できない。これに対して本実施形態では、回路ブロックCB1~CBNは、少なくとも2つの異なる機能を有する回路ブロックを含む。従って図4、図5(A)(B)に示すように、様々なタイプの表示パネルに対応した多様な機種を集積回路装置を提供できるという利点がある。

【0057】

3. 回路構成

図7に集積回路装置10の回路構成例を示す。なお集積回路装置10の回路構成は図7に限定されるものではなく、種々の変形実施が可能である。メモリ20(表示データRAM)は画像データを記憶する。メモリセルアレイ22は複数のメモリセルを含み、少なくとも1フレーム(1画面)分の画像データ(表示データ)を記憶する。この場合、1画素は例えばR、G、Bの3サブピクセル(3ドット)で構成され、各サブピクセルについて例えば6ビット(kビット)の画像データが記憶される。ローアドレスデコーダ24(MPU/LCDローアドレスデコーダ)はローアドレスについてのデコード処理を行い、メモリセルアレイ22のワード線の選択処理を行う。カラムアドレスデコーダ26(MPUカラムアドレスデコーダ)はカラムアドレスについてのデコード処理を行い、メモリセルアレイ22のビット線の選択処理を行う。ライト/リード回路28(MPUライト/リード回路)はメモリセルアレイ22への画像データのライト処理や、メモリセルアレイ22からの画像データのリード処理を行う。なおメモリセルアレイ22のアクセス領域は、例えばスタートアドレスとエンドアドレスを対頂点とする矩形で定義される。即ちスタートアドレスのカラムアドレス及びローアドレスと、エンドアドレスのカラムアドレス及びローアドレスでアクセス領域が定義され、メモリアクセスが行われる。

【0058】

ロジック回路40(例えば自動配置配線回路)は、表示タイミングを制御するための制御信号やデータ処理タイミングを制御するための制御信号などを生成する。このロジック回路40は例えばゲートアレイ(G/A)などの自動配置配線により形成できる。制御回路42は各種制御信号を生成したり、装置全体の制御を行う。具体的には階調電圧生成回路110に階調特性(特性)の調整データ(補正データ)を出力したり、電源回路90の電圧生成を制御する。またローアドレスデコーダ24、カラムアドレスデコーダ26、ライト/リード回路28を用いたメモリへのライト/リード処理を制御する。表示タイミング制御回路44は表示タイミングを制御するための各種の制御信号を生成し、メモリから表示パネル側への画像データの読み出しを制御する。ホスト(MPU)インターフェース回路46は、ホストからのアクセス毎に内部パルスが発生してメモリにアクセスするホストインターフェースを実現する。RGBインターフェース回路48は、ドットクロックにより動画のRGBデータをメモリに書き込むRGBインターフェースを実現する。なおホストインターフェース回路46、RGBインターフェース回路48のいずれか一方のみを設ける構成としてもよい。

【0059】

図7において、ホストインターフェース回路46、RGBインターフェース回路48からは1画素単位でメモリ20へのアクセスが行われる。一方、データドライバ50へは、ホストインターフェース回路46、RGBインターフェース回路48とは独立した内部表示タイミングにより、ライン周期毎に、ラインアドレスで指定されライン単位で読み出された画像データが送られる。

【0060】

データドライバ50は表示パネルのデータ線を駆動するための回路であり、図8(A)にその構成例を示す。データラッチ回路52は、メモリ20からのデジタルの画像データをラッチする。D/A変換回路54(電圧選択回路)は、データラッチ回路52にラッチされたデジタルの画像データのD/A変換を行い、アナログのデータ電圧を生成する。具体的には階調電圧生成回路110から複数(例えば64段階)の階調電圧(基準電圧)を

10

20

30

40

50

受け、これらの複数の階調電圧の中から、デジタルの画像データに対応する電圧を選択して、データ電圧として出力する。出力回路56（駆動回路、バッファ回路）は、D/A変換回路54からのデータ電圧をバッファリングして表示パネルのデータ線に出力し、データ線を駆動する。なお、出力回路56の一部（例えば演算増幅器の出力段）をデータドライバ50には含ませずに、他の領域に配置する構成としてもよい。

【0061】

走査ドライバ70は表示パネルの走査線を駆動するための回路であり、図8（B）にその構成例を示す。シフトレジスタ72は順次接続された複数のフリップフロップを含み、シフトクロック信号SCKに同期してイネーブル入出力信号EIOを順次シフトする。レベルシフタ76は、シフトレジスタ72からの信号の電圧レベルを、走査線選択のための高電圧レベルに変換する。出力回路78は、レベルシフタ76により変換されて出力された走査電圧をバッファリングして表示パネルの走査線に出力し、走査線を選択駆動する。なお走査ドライバ70は図8（C）に示す構成であってもよい。図8（C）では、走査アドレス生成回路73が走査アドレスを生成して出力し、アドレスデコードが走査アドレスのデコード処理を行う。そしてこのデコード処理により特定された走査線に対して、レベルシフタ76、出力回路78を介して走査電圧が出力される。

【0062】

電源回路90は各種の電源電圧を生成する回路であり、図9（A）にその構成例を示す。昇圧回路92は、入力電源電圧や内部電源電圧を、昇圧用キャパシタや昇圧用トランジスタを用いてチャージポンプ方式で昇圧し、昇圧電圧を生成する回路であり、1次～4次昇圧回路などを含むことができる。この昇圧回路92により、走査ドライバ70や階調電圧生成回路110が使用する高電圧を生成できる。レギュレータ回路94は、昇圧回路92により生成された昇圧電圧のレベル調整を行う。VCOM生成回路96は、表示パネルの対向電極に供給するVCOM電圧を生成して出力する。制御回路98は電源回路90の制御を行うものであり、各種の制御レジスタなどを含む。

【0063】

階調電圧生成回路（補正回路）110は階調電圧を生成する回路であり、図9（B）にその構成例を示す。選択用電圧生成回路112（電圧分割回路）は、電源回路90で生成された高電圧の電源電圧VDDH、VSSHに基づいて、選択用電圧VS0～VS255（広義にはR個の選択用電圧）を出力する。具体的には選択用電圧生成回路112は、直列に接続された複数の抵抗素子を有するラダー抵抗回路を含む。そしてVDDH、VSSHを、このラダー抵抗回路により分割した電圧を、選択用電圧VS0～VS255として出力する。階調電圧選択回路114は、ロジック回路40により調整レジスタ116に設定された階調特性の調整データに基づいて、選択用電圧VS0～VS255の中から、例えば64階調の場合には64個（広義にはS個。R>S）の電圧を選択して、階調電圧V0～V63として出力する。このようにすれば表示パネルに応じた最適な階調特性（補正特性）の階調電圧を生成できる。なお極性反転駆動の場合には、正極性用のラダー抵抗回路と負極性用のラダー抵抗回路を選択用電圧生成回路112に設けてもよい。またラダー抵抗回路の各抵抗素子の抵抗値を、調整レジスタ116に設定された調整データに基づいて変更できるようにしてもよい。また選択用電圧生成回路112や階調電圧選択回路114に、インピーダンス変換回路（ボルテージフォロワ接続の演算増幅器）を設ける構成にしてもよい。

【0064】

図10（A）に、図8（A）のD/A変換回路54が含む各DAC（Digital Analog Converter）の構成例を示す。図10（A）の各DACは、例えばサブピクセル毎（或いは画素毎）に設けることができ、ROMデコード等により構成される。そしてメモリ20からの6ビットのデジタルの画像データD0～D5とその反転データXD0～XD5に基づいて、階調電圧生成回路110からの階調電圧V0～V63のいずれかを選択することで、画像データD0～D5をアナログ電圧に変換する。そして得られたアナログ電圧の信号DAQ（DAQR、DAQG、DAQB）を出力回路56に出力する。

【 0 0 6 5 】

なお低温ポリシリコン TFT 用の表示ドライバ等で、R 用、G 用、B 用のデータ信号をマルチプレクスして表示ドライバに送る場合（図 10（C）の場合）には、R 用、G 用、B 用の画像データを、1 つの共用の DAC を用いて D/A 変換することもできる。この場合には図 10（A）の各 DAC は画素毎に設けられる。

【 0 0 6 6 】

図 10（B）に、図 8（A）の出力回路 56 が含む各出力部 SQ の構成例を示す。図 10（B）の各出力部 SQ は画素毎に設けることができる。各出力部 SQ は、R（赤）用、G（緑）用、B（青）用のインピーダンス変換回路 OPR、OPG、OPB（ボルテージフォロワ接続の演算増幅器）を含み、DAC からの信号 DAQR、DAQG、DAQB のインピーダンス変換を行って、データ信号 DATAR、DATAG、DATAB を R、G、B 用のデータ信号出力線に出力する。なお例えば低温ポリシリコン TFT パネルの場合には、図 10（C）に示すようなスイッチ素子（スイッチ用トランジスタ）SWR、SWG、SWB を設け、R 用、G 用、B 用のデータ信号が多重化されたデータ信号 DATA を、インピーダンス変換回路 OP が出力するようにしてもよい。またデータ信号の多重化を複数画素に亘って行うようにしてもよい。また出力部 SQ に、図 10（B）（C）のようなインピーダンス変換回路を設けずに、スイッチ素子等だけを設ける構成にしてもよい。

【 0 0 6 7 】

4．集積回路装置の幅

4．1 パッドと静電気保護素子の配置の関係

本実施形態では、集積回路装置 10 のインターフェース領域に設けられたパッドに接続される静電気保護素子を該パッドの下層に配置することで、集積回路装置 10 の D2 方向での幅をより一層小さくできる。静電気保護素子の他にトランジスタや抵抗素子をパッドの下層に配置する場合、その配置を工夫することで、集積回路装置 10 の D2 方向での幅 W をより一層小さくできる。

【 0 0 6 8 】

図 11（A）に比較例におけるパッドと静電気保護素子の配置の関係の一例を示す。例えば集積回路装置 10 の第 2 の辺 SD2 に沿って、デザインルールで定められたパッドピッチ d_0 の間隔を置いてパッド PD_{x-1} 、 PD_x 、 PD_{x+1} が D1 方向に配列されているものとする。図 11（A）ではパッドが長方形の形状を有しているが、パッドが正方形の形状を有していてもよい。そして図 11（A）のようにパッドの配列方向と静電気保護素子の形成領域の短辺方向とが平行になるように配置される。なおパッドが長方形の形状を有している場合、パッドの配列方向はパッドの短辺方向ということができる。

【 0 0 6 9 】

このような静電気保護素子に静電気が印加されたときの耐圧は、例えばゲート制御トランジスタの構造に依存する。

【 0 0 7 0 】

図 12（A）にゲート制御トランジスタの平面レイアウトの一例を示す。図 27（A）において、2 つのソース領域 SA1、SA2、1 つのドレイン領域 DA1 が設けられる。ソース領域 SA1、ドレイン領域 DA1 の間のチャネル領域の上層にゲート絶縁膜を介してゲート電極 GA1 が配置され、ソース領域 SA2、ドレイン領域 DA1 の間のチャネル領域の上層にゲート絶縁膜を介してゲート電極 GA2 が配置される。ソース領域 SA1、SA2 には、複数のコンタクトを介して低電位側電源電圧 VEE が供給される。ドレイン領域 DA1 は、複数のコンタクトを介してパッド PD と電氣的に接続される。

【 0 0 7 1 】

静電気によりパッドに高電圧が印加されたとき、ドレイン領域 DA1 からソース領域 SA1、SA2 に均等に電流経路が形成される必要がある。そのため、ドレイン領域 DA1 の各コンタクトとゲート電極 GA1、GA2 までの距離 d が重要な要素となると考えられる。これらの距離 d が十分でないとき耐圧が低くなり、素子が破壊され易くなる。またこれらの距離 d が均等ではない場合、1 点に集中的に電流が流れ込み、素子が破壊されやすく

なる。従って、ドレイン領域 D A 1 の各コンタクトとゲート電極 G A 1、G A 2 までの距離を静電気保護用に十分保ち、且つ均等にコンタクトを配置させる必要がある。従って、コンタクトの配置を考慮することで、例えば出力バッファのトランジスタに静電気保護素子の機能を兼用させることができるようになる。

【 0 0 7 2 】

ここで、静電気保護素子の機能を兼用する出力バッファのトランジスタの電流駆動能力を調整する場合、図 1 2 (B) (C) に示すように D 2 方向にサイズを大きくしたり、ゲート電極を増減させる必要がある。ところが D 2 方向にサイズを大きくする場合、パッドの長辺方向の長さで制約を受け、静電気保護素子の他にトランジスタをパッドの下層に配置するメリットがなくなる。そのため、例えばゲート電極を増減することが考えられるが、ソース領域、ゲート電極及びドレイン領域を 1 組とする単位でのみ電流駆動能力を調整できる。そのためトランジスタの電流駆動能力の微調整ができず、レイアウト面積を無駄に大きくしてしまう。

10

【 0 0 7 3 】

これに対して本実施形態では、図 1 1 (B) に示すように長方形の形状を有するパッドの短辺方向と静電気保護素子が形成される領域の長辺方向とが平行となり静電気保護素子の一部又は全部と重なるように、該静電気保護素子の上層にパッドが配置される。また静電気保護素子は、パッドの対向する第 1 及び第 2 の短辺 P S D 1、P S D 2 のうち第 2 の短辺 P S D 2 側に配置される。第 2 の短辺 P S D 2 と直近の静電気保護素子の領域の境界との距離 d_1 が、第 2 の短辺 P S D 2 と直近の静電気保護素子の領域の境界との距離を d_1 、第 1 の短辺 P S D 1 と直近の該静電気保護素子の領域の境界との距離を d_2 とすると、第 2 の短辺 P S D 2 側とは $d_1 < d_2$ であることをいう。こうすることで、パッド間の領域を有効に活用できる上に、パッド下に他の素子を配置できる領域を広げることができるようになる。またデザインルールで間隔 d_0 が固定された状態であっても、パッドの下層において集積回路装置 1 0 の D 2 方向の幅 W_P だけ余裕ができる。この幅 W_P の領域に、トランジスタや抵抗素子等を配置できる。しかも静電気の耐圧を調整する場合、パッドピッチ d_0 の制限内で静電気保護素子の長辺方向でサイズを調整することで、電流駆動能力を微調整できるようになる。その結果、効率的なレイアウト面積の削減に寄与できる。

20

【 0 0 7 4 】

図 1 3 に図 1 1 (B) の静電気保護素子のレイアウトの一例を模式的に示す。図 1 3 では、パッドの短辺方向にそのチャンネル幅が延びるようにトランジスタの複数のソース領域、ゲート電極及びドレイン電極が形成される。そして、パッド P D x の第 1 の短辺 P S D 1 x 側の 1 又は複数のソース領域、ゲート電極及びドレイン電極により、パッド P D x の仮想に配置されるトランジスタ (例えば後述のトランジスタ n D T r t) が構成される。そして、ゲート制御トランジスタとしての静電気保護素子が、パッド P D x の第 2 の短辺 P S D 2 x 側の 1 又は複数のソース領域、ゲート電極及びドレイン電極により構成される。

30

【 0 0 7 5 】

このように配線を変更することで、トランジスタの電流駆動能力に応じてトランジスタ及びゲート制御トランジスタのサイズを容易に調整できる上に、レイアウト面積の縮小に寄与できる。

40

【 0 0 7 6 】

4 . 1 . 1 パッド下に配置される静電気保護素子の例

図 1 4 (A) (B) に走査信号の出力パッド下に形成される出力用トランジスタの構成例を示す。図 8 (B) のシフトレジスタ 7 2 は走査線 S 1 ~ S n の各走査線に対応した各フリップフロップが縦続接続されたフリップフロップ F F 1 ~ F F n を含み、図 1 4 (A) は図 8 (B) に示す走査ドライバ 7 0 のうち走査線 S t (1 ≤ t ≤ n、t は整数) への 1 出力当たりの構成を示している。同様に、図 1 4 (B) は図 8 (C) に示す走査ドライバ 7 0 のうち走査線 S t への 1 出力当たりの構成を示している。

50

【 0 0 7 7 】

図 1 4 (A) に示すように、フリップフロップ F F t の出力信号の電圧レベルが、レベルシフタ 7 6 t によって変換される。レベルシフタ 7 6 t には、高電位側電源電圧 V D D H G 及び低電位側電源電圧 V E E が供給され、フリップフロップ F F t の出力信号の電圧レベルを、高電位側電源電圧 V D D H G 又は低電位側電源電圧 V E E の電圧レベルに変換する。このレベルシフタ 7 6 t の出力が、出力回路 7 8 t を構成する出力用トランジスタのゲート信号となる。出力用トランジスタは、例えば互いのドレインが接続された P 型金属酸化膜半導体 (Metal Oxide Semiconductor : M O S) トランジスタ p D T r t と N 型 M O S トランジスタ n D T r t とを含み、高電位側電源及び低電位側電源の間にいわゆるプッシュプル接続されている。そして、トランジスタ p D T r t 、 n D T r t の少なくとも一方が、静電気保護素子 E S D t と共に走査信号の出力パッドの下層に形成されることが望ましい。トランジスタ p D T r t のソースには、高電位側電源電圧 V D D H G が供給され、トランジスタ n D T r t のソースには低電位側電源電圧 V E E が供給される。高電位側電源電圧 V D D H G 及び低電位側電源電圧 V E E は、電源回路ブロック P B において図 9 (A) の昇圧回路 9 2 によって生成される。

10

【 0 0 7 8 】

図 1 4 (A) では、静電気保護素子 E S D t が接続されている。この静電気保護素子 E S D t は、N 型 M O S トランジスタ G C D T r t により構成される。トランジスタ G C D T r t のゲートはそのソースに接続される。トランジスタ G C D T r t は、トランジスタ n D T r t のドレイン、ソース間に該トランジスタ n D T r t と並列に設けられる。トランジスタ G C D T r t のドレインに高電圧が印加されたとき、トランジスタ n D T r t の破壊を防ぐために電流を低電位側の電源に逃がす。なお出力パッド P D t とトランジスタ G C D T r t のドレインノード D N D t 間に直列にラッチアップ防止用抵抗素子 R L t を挿入し、ドレインノード D N D t とトランジスタ n D T r t のドレイン間に直列に静電気保護用の保護抵抗素子 R P t を挿入してもよい。

20

【 0 0 7 9 】

一方、図 1 4 (B) では、アドレスデコーダ 7 4 によってデコードされた結果の出力信号の電圧レベルが、レベルシフタ 7 6 t によって変換される。そして、図 1 4 (B) に示す走査ドライバ 7 0 の出力毎に設けられる出力回路 7 8 t の静電気保護素子 E S D t 、トランジスタ p D T r t 、 n D T r t のうち少なくとも一方の一部又は全部と重なるように、静電気保護素子 E S D t 、トランジスタ p D T r t 、 n D T r t の少なくとも一方の上層に出力パッド P D t が配置される。

30

【 0 0 8 0 】

なお図 1 4 (A) (B) において、ラッチアップ防止用抵抗素子 R L t 及び保護抵抗素子 R P t の少なくとも一方の一部又は全部と重なるように、該ラッチアップ防止用抵抗素子 R L t 及び保護抵抗素子 R P t の少なくとも一方の上層にパッド P D t が配置されるようにしてもよい。またトランジスタ n D T r t が、静電気保護素子 E S D t の機能を兼ね備えさせてもよい。この場合、静電気保護素子 E S D t が省略された構成を採用できる。

【 0 0 8 1 】

ここで、図 8 (B) (C) に示す走査ドライバ 7 0 のうち、出力回路 7 8 t のみを出力側 I / F 領域 1 2 に配置させ、残りの回路を回路ブロック C B 1 ~ C B N の 1 つの走査ドライバブロックとして配置させることができる。例えば図 5 (A) に示すように回路ブロック C B 1 ~ C B N の両端の 1 つの回路ブロックとして走査ドライバブロック S B を配置したり、図 5 (B) に示すように回路ブロック C B 1 ~ C B N の両端の回路ブロックとして走査ドライバブロック S B 1 、 S B 2 を配置できる。

40

【 0 0 8 2 】

走査ドライバ 7 0 では、出力回路 7 8 t の電源電圧として、レベルシフタ 7 6 t を除く他の回路よりも高電圧のものが必要とされる。即ち、出力回路 7 8 t を構成するトランジスタはすべて高電圧に対して耐性を有し、素子のサイズや膜厚が他の回路よりも大きく、配線層の厚さも大きくする必要がある。例えばトランジスタ p D T r t 、 n D T r t のド

50

ラインノードDNDtの電圧を出力パッドPDtに供給する信号線を考えると、高電圧が供給される信号線を走査ドライバブロックから配線する場合に比べて、該信号線の配線を出力側I/F領域12内に収めることができ、信号線の配線領域を大幅に削減できる。従って、高電圧に対して耐性を有する素子及び配線を1つの領域に収めることで、素子の設計、素子間の配線を効率化できる。しかも、走査ドライバ70の出力は表示パネルの走査線数分となるため、1つの領域に収める効果大きい。そして、本実施形態のようにサイズや膜厚が大きいトランジスタをパッドの下層に配置することで、より一層の回路規模の削減に寄与でき、集積回路装置10のD2方向での幅をより一層小さくできるようになる。

【0083】

図15に静電気保護素子ESDtとして形成されたトランジスタGC D T r tのレイアウト平面図の一例を示す。図16に図15のA-A線での断面構造の一例を模式的に示す。

10

【0084】

図15ではP型半導体基板PSUBに形成されたN型ウェル領域NWL内にP型ウェル領域PWEが形成される。P型ウェル領域PWE内には、P型不純物拡散領域PFが周回するように形成された2つの領域内に、それぞれ電氣的に分離された3つN型不純物拡散領域NFが設けられている。これらのN型不純物拡散領域NF間には、ゲート電極GMが設けられ、3つのN型不純物拡散領域NFが、2つのソース領域と1つのドレイン領域となる。P型不純物拡散領域PF、N型不純物拡散領域NF及びゲート電極GMには、コンタクトCNTを介して低電位側電源電圧VEEが供給されている。

20

【0085】

そして図16に示すように、ゲート電極GMの下部のチャネル領域には、LOCOS酸化膜、LOCOS酸化膜の下層にはオフセット層OFFが設けられる。このようなトランジスタGC D T r tのうちドレイン領域として設けられるN型不純物拡散領域NFは、1又は複数のスルーホール及び配線層MTLを介して、例えばパッドPDtに電氣的に接続される。

【0086】

図16では、パッドPDtの直下にトランジスタGC D T r tのドレイン領域が設けられ、パッドPDtに印加された電圧が、ほぼ同じインピーダンスを有する複数の経路を介して最短距離で該ドレイン領域に印加されるようになっている。こうすることで、静電気保護耐性を強化できる。

30

【0087】

なお図16では、パッドの下層にトランジスタGC D T r tが形成される場合の構造について説明したが、パッドの下層にトランジスタn D T r t、p D T r tも同様に形成できる。

【0088】

図17に、パッドPDtの下層に形成されるトランジスタn D T r tの断面構造の一例を示す。図17では、図16の構造に対し、ゲート電極にレベルシフトの出力が供給される点が異なる。なお、トランジスタp D T r tも同様にパッドPDtの下層に形成できる。

40

【0089】

4.2 細長の集積回路装置

本実施形態では図18(A)に示すように、第1~第Nの回路ブロックCB1~CBNは、データ線を駆動するための少なくとも1つのデータドライバブロックDBを含む。またCB1~CBNはデータドライバブロックDB以外の回路ブロック(DBとは異なる機能を実現する回路ブロック)を含む。ここでデータドライバブロックDB以外の回路ブロックとは、例えばロジック回路ブロック(図7の40)である。或いは階調電圧生成回路ブロック(図7の110)や電源回路ブロック(図7の90)である。或いはメモリ内蔵の場合にはメモリブロック(図7の20)であり、アモルファスTF T用の場合には走査

50

ドライバブロック（図7の70）である。

【0090】

また図18（A）において、 W_1 、 W_B 、 W_2 は、各々、出力側I/F領域12（第1のインターフェース領域）、第1～第Nの回路ブロックCB1～CBN、入力側I/F領域14（第2のインターフェース領域）のD2方向での幅である。

【0091】

そして本実施形態では図18（A）に示すように、集積回路装置10のD2方向での幅を W とした場合に、 $W_1 + W_B + W_2 < W_1 + 2 \times W_B + W_2$ が成り立つ。即ち図6（B）の比較例では、2以上の複数の回路ブロックがD2方向に沿って配置される。従ってD2方向での幅 W は、 $W = W_1 + 2 \times W_B + W_2$ になってしまう。これに対して本実施形態では、出力側I/F領域12が、データドライバブロックDB（或いはメモリブロック）のD2方向側に、他の回路ブロックを介さずに配置される。即ちデータドライバブロックDBと出力側I/F領域12は隣接して配置される。また入力側I/F領域14は、データドライバブロックDB（或いはメモリブロック）のD4方向側に、他の回路ブロックを介さずに配置される。即ちデータドライバブロックDBと入力側I/F領域14は隣接して配置される。なお、この場合の他の回路ブロックとは、例えば表示ドライバを構成する主要なマクロ回路ブロック（階調電圧生成回路、電源回路、メモリ、或いはロジック回路のブロック等）である。

【0092】

図1（A）、図6（B）の比較例では、 $W = W_1 + 2 \times W_B + W_2$ となるため、集積回路装置500のD2方向（短辺方向）での幅 W が大きくなり、スリムな細長チップを実現できない。従って微細プロセスを利用してチップをシュリンクしても、図2（A）に示すようにD1方向（長辺方向）での長さLDも短くなってしまい、出力ピッチが狭ピッチになるため、実装の困難化を招く。

【0093】

これに対して本実施形態では、データドライバブロックDBとI/F領域12、14の間に、他の回路ブロックが介在しないため、 $W < W_1 + 2 \times W_B + W_2$ が成り立つ。従って、D2方向での集積回路装置の幅 W を小さくでき、図2（B）に示すようなスリムな細長チップを実現できる。具体的には、短辺方向であるD2方向での幅 W は、 $W < 2 \text{ mm}$ とすることができ、更に具体的には $W < 1.5 \text{ mm}$ とすることができる。なおチップの検査やマウンティングを考慮すると、 $W > 0.9 \text{ mm}$ であることが望ましい。また長辺方向での長さLDは、 $1.5 \text{ mm} < LD < 2.7 \text{ mm}$ とすることができる。またチップ形状比 $SP = LD / W$ は、 $SP > 1.0$ とすることができ、更に具体的には $SP > 1.2$ とすることができる。このようにすれば、ピン数などの仕様に応じて、例えば $W = 1.3 \text{ mm}$ 、 $LD = 2.2 \text{ mm}$ 、 $SP = 1.69$ や、 $W = 1.35 \text{ mm}$ 、 $LD = 1.7 \text{ mm}$ 、 $SP = 1.26$ となる細長の集積回路装置を実現できる。これにより図2（B）に示すように実装を容易化できる。またチップ面積が減少するため、低コスト化を図れる。即ち実装の容易化と低コスト化を両立できる。

【0094】

なお図1（A）の比較例の配置手法も、画像データの信号の流れの向きを考慮すれば合理的である。この点、本実施形態では図18（B）に示すように、データドライバブロックDBからのデータ信号の出力線DQLを、DB内においてはD2方向に沿って配線している。一方、データ信号出力線DQLを、出力側I/F領域12（第1のインターフェース領域）内においてはD1（D3）方向に沿って配線している。具体的には、出力側I/F領域12において、パッドよりも下層であり領域内のローカル配線（トランジスタ配線）よりも上層のグローバル配線を用いて、データ信号出力線DQLをD1方向に沿って配線している。このようにすれば、図18（A）のようにデータドライバブロックDBとI/F領域12、14の間に他の回路ブロックが介在しない配置手法を採用したとしても、DBからのデータ信号を、パッドを介して表示パネルに適正に出力できるようになる。またデータ信号出力線DQLを図18（B）のように配線すれば、データ信号出力線DQL

10

20

30

40

50

を、出力側 I / F 領域 1 2 を利用してパッド等に接続することが可能になり、集積回路装置の D 2 方向での幅 W の増加を防止できる。

【 0 0 9 5 】

なお図 1 8 (A) の幅 W 1、W B、W 2 は、各々、出力側 I / F 領域 1 2、回路ブロック C B 1 ~ C B N、入力側 I / F 領域 1 4 のトランジスタ形成領域 (バルク領域、アクティブ領域) の幅である。即ち I / F 領域 1 2、1 4 には、出力用トランジスタ、入力用トランジスタ、入出力用トランジスタ、静電気保護素子のトランジスタなどが形成される。また回路ブロック C B 1 ~ C B N には、回路を構成するトランジスタが形成される。そして W 1、W B、W 2 は、このようなトランジスタが形成されるウェル領域や拡散領域などを基準に決められる。例えば、よりスリムな細長の集積回路装置を実現するためには、回路ブロック C B 1 ~ C B N のトランジスタの上にもバンプ (能動面バンプ) を形成することが望ましい。具体的には、そのコアが樹脂で形成され、樹脂の表面に金属層が形成された樹脂コアバンプなどをトランジスタ (アクティブ領域) 上に形成する。そしてこのバンプ (外部接続端子) は、I / F 領域 1 2、1 4 に配置されるパッドに、金属配線により接続される。本実施形態の W 1、W B、W 2 は、このようなバンプの形成領域の幅ではなく、バンプの下に形成されるトランジスタ形成領域の幅である。

10

【 0 0 9 6 】

また回路ブロック C B 1 ~ C B N の各々の D 2 方向での幅は、例えば同じ幅に統一できる。この場合、各回路ブロックの幅は、実質的に同じであればよく、例えば数 μm ~ 20 μm (数十 μm) 程度の違いは許容範囲内である。また回路ブロック C B 1 ~ C B N の中に、幅が異なる回路ブロックが存在する場合には、幅 W B は、回路ブロック C B 1 ~ C B N の幅の中の最大幅とすることができる。この場合の最大幅は、例えばデータドライバブロックの D 2 方向での幅とすることができる。或いはメモリ内蔵の集積回路装置の場合にはメモリブロックの D 2 方向での幅とすることができる。なお回路ブロック C B 1 ~ C B N と I / F 領域 1 2、1 4 の間には、例えば 20 ~ 30 μm 程度の幅の空き領域を設けることができる。

20

【 0 0 9 7 】

4 . 3 データドライバブロックの幅

本実施形態では図 1 9 (A) に示すように、データドライバブロック D B が含むデータドライバ D R が、D 2 方向に沿って並んで配置される Q 個のドライバセル D R C 1 ~ D R C Q を含むことができる。ここでドライバセル D R C 1 ~ D R C Q の各々は、1 画素分の画像データを受ける。そして 1 画素分の画像データの D / A 変換を行い、1 画素分の画像データに対応するデータ信号を出力する。このドライバセル D R C 1 ~ D R C Q の各々は、データラッチ回路や、図 1 0 (A) の D A C (1 画素分の D A C) や、図 1 0 (B) (C) の出力部 S Q を含むことができる。

30

【 0 0 9 8 】

そしてドライバセル D R C 1 ~ D R C Q の D 2 方向での幅 (ピッチ) を W D とした場合に、回路ブロック C B 1 ~ C B N の D 2 方向での幅 W B (最大幅) は、図 1 9 (A) に示すように $Q \times W D$ $W B < (Q + 1) \times W D$ とすることができる。

【 0 0 9 9 】

即ち本実施形態では、回路ブロック C B 1 ~ C B N が D 1 方向に沿って配置される。従って、回路ブロック C B 1 ~ C B N の中の他の回路ブロック (例えばロジック回路ブロック、メモリブロック) からデータドライバブロック D B に対して入力される画像データの信号線は、D 1 方向に沿った配線となる。そしてドライバセル D R C 1 ~ D R C Q は、D 1 方向に沿った画像データの信号線に接続するために、図 1 9 (A) に示すように D 2 方向に沿って配置され、D R C 1 ~ D R C Q の各々は、1 画素分の画像データの信号線に接続される。

40

【 0 1 0 0 】

そして回路ブロック C B 1 ~ C B N の幅 W B は、メモリ非内蔵の集積回路装置等では、例えばデータドライバ D B の D 2 方向での幅を基準に決めることができる。従って、デー

50

タドライバブロックDBのD2方向での幅を小さくして回路ブロックCB1～CBNの幅WBを小さくするためには、幅WBは、ドライバセルDR C1～DR C Qを並べた幅である $Q \times WD$ 程度にすることが望ましい。そして、配線領域等のためのマージンを考えると、幅WBは、 $Q \times WD - WB < (Q + 1) \times WD$ となる。こうすれば、データドライバブロックDBのD2方向での幅を最小限に抑えて、回路ブロックCB1～CBNの幅WBも小さくできるため、図2(B)のような細長の集積回路装置を提供できる。

【0101】

なお、表示パネルの水平走査方向の画素数(複数の集積回路装置により分担して表示パネルのデータ線を駆動する場合には、各集積回路装置が受け持つ水平走査方向の画素数)HPNとし、データドライバブロックのブロック数(ブロック分割数)をDBNとし、ドライバセルに対して1水平走査期間に入力される画像データの入力回数をINとしたとする。なおINは、後述する1水平走査期間での画像データの読み出し回数RNと等しくなる。この場合に、D2方向に沿って並ぶドライバセルDR C1～DR C Qの個数Qは、 $Q = HPN / (DBN \times IN)$ と表すことができる。例えばHPN=240、DBN=4、IN=2である場合には、 $Q = 240 / (4 \times 2) = 30$ 個になる。

【0102】

また図19(B)に示すように、データドライバブロックDBが、D1方向に沿って並んで配置される複数のデータドライバDR a、DR b(第1～第mのデータドライバ)を含むようにしてもよい。このように複数のデータドライバDR a、DR bをD1方向に沿って配置(スタック)すれば、データドライバの規模の大きさが原因になって集積回路装置のD2方向での幅Wが大きくなってしまいう事態を防止できる。またデータドライバは、表示パネルのタイプに応じて種々の構成が採用される。この場合にも、複数のデータドライバをD1方向に沿って配置する手法によれば、種々の構成のデータドライバを効率良くレイアウトすることが可能になる。なお図19(B)ではD1方向でのデータドライバの配置数が2個である場合を示しているが、配置数は3個以上でもよい。

【0103】

図19(C)に、ドライバセルDR Cの構成、配置の例を示す。1画素分の画像データを受けるドライバセルDR Cは、R(赤)用、G(緑)用、B(青)用のデータラッチ回路DLATR、DLATG、DLATBを含む。各データラッチ回路DLATR、DLATG、DLATBはラッチ信号がアクティブになると画像データをラッチする。またドライバセルDR Cは、図10(A)で説明したR用、G用、B用のDACR、DACG、DACBを含む。また図10(B)(C)で説明した出力部SQを含む。

【0104】

なおドライバセルDR Cの構成、配置は図19(C)に限定されず、種々の変形実施が可能である。例えば低温ポリシリコンTFT用の表示ドライバ等で、図10(C)のようにR用、G用、B用のデータ信号をマルチプレクスして表示パネルに送る場合には、1つの共用のDACを用いて、R用、G用、B用の画像データ(1画素分の画像データ)のD/A変換を行うことができる。従ってこの場合には、図19(D)に示すようにドライバセルDR Cは、図10(A)の構成の共用のDACを1つ含めばよい。また図19(C)(D)では、R用の回路(DLATR、DACR)、G用の回路(DLATG、DACG)、B用の回路(DLATB、DACB)が、D2(D4)方向に沿って配置されている。しかしながら図19(E)に示すように、R用、G用、B用の回路を、D1(D3)方向に沿って配置するようにしてもよい。

【0105】

4.4 メモリブロックの幅

メモリ内蔵の集積回路装置では、図20(A)に示すようにデータドライバブロックDBとメモリブロックMBをD1方向に隣接して配置することができる。

【0106】

この点、図1(A)の比較例では図21(A)に示すように、メモリブロックMBとデータドライバブロックDBは、信号の流れに合わせて、短辺方向であるD2方向に沿って

10

20

30

40

50

配置される。このためD2方向での集積回路装置の幅が大きくなり、スリムな細長チップを実現することが難しい。また表示パネルの画素数、表示ドライバの仕様、メモリセルの構成等が変化し、メモリブロックMBやデータドライバブロックDBのD2方向での幅やD1方向での長さが変化すると、その影響が他の回路ブロックにも及んでしまい、設計が非効率化する。

【0107】

これに対して図20(A)では、データドライバブロックDBとメモリブロックMBがD1方向に沿って配置されるため、D2方向での集積回路装置の幅Wを小さくできる。また表示パネルの画素数等が変化した場合には、メモリブロックを分割することなどで、これに対応できるため、設計を効率化できる。

10

【0108】

また図21(A)の比較例では、ワード線WLが長辺方向であるD1方向に沿って配置されるため、ワード線WLでの信号遅延が大きくなり、画像データの読み出し速度が遅くなる。特にメモリセルに接続されるワード線WLはポリシリコン層により形成されるため、この信号遅延の問題は深刻である。この場合、この信号遅延を低減するために、図21(B)に示すようなバッファ回路520、522を設ける手法もある。しかしながら、この手法を採用するとその分だけ回路規模が大きくなり、コスト増を招く。

【0109】

これに対して図20(A)では、メモリブロックMB内において、ワード線WLは短辺方向であるD2方向に沿って配線され、ビット線BLは長辺方向であるD1方向に沿って配置される。また本実施形態では、D2方向での集積回路装置の幅Wは短い。従ってメモリブロックMB内でのワード線WLの長さを短くでき、WLでの信号遅延を図21(A)の比較例に比べて格段に小さくできる。また図21(B)に示すようなバッファ回路520、522を設けなくても済むため、回路面積も小さくできる。また図21(A)の比較例では、ホストからメモリの一部のアクセス領域にアクセスされた時においても、D1方向に長く寄生容量の大きいワード線WLが選択されてしまうため、消費電力が大きくなる。これに対して本実施形態のようにD1方向にメモリをブロック分割する手法では、ホストアクセス時に、アクセス領域に対応するメモリブロックのワード線WLだけが選択されるようになるため、低消費電力化を実現できる。

20

【0110】

そして本実施形態では図20(A)に示すように、メモリブロックMBが含む周辺回路部分のD2方向での幅をWPCとした場合に、 $Q \times WD - WB < (Q + 1) \times WD + WPC$ とすることができる。ここで周辺回路部分とは、メモリセルアレイMAのD2やD4方向側に配置されたり、分割されたメモリセルアレイの間に配置される周辺回路(ローアドレスデコーダ、制御回路等)や配線領域などである。

30

【0111】

図20(A)の配置では、ドライバセルDRC1~DRCQの幅 $Q \times WD$ と、センスアンプブロックSABの幅を一致させることが望ましい。これらの幅が一致しないと、センスアンプブロックSABからの画像データの信号線を、ドライバセルDRC1~DRCQに接続する際に、これらの信号線の配線ピッチを変更しなければならなくなり、そのための無駄な配線領域が生じてしまう。

40

【0112】

またメモリブロックMBはメモリセルアレイMAの他に、ローアドレスデコーダRDなどの周辺回路部分を有している。従って図20(A)においてメモリブロックMBの幅は、ドライバセルDRC1~DRCQの幅 $Q \times WD$ に対して、周辺回路部分の幅WPCの分だけ大きくなる。

【0113】

そして回路ブロックCB1~CBNの幅WBは、メモリ内蔵の集積回路装置等では、メモリブロックMBのD2方向での幅を基準に決めることができる。従って、メモリブロックMBのD2方向での幅を小さくして回路ブロックCB1~CBNの幅WBを小さくする

50

ためには、幅 WB は、 $Q \times WD$ $WB < (Q + 1) \times WD + WPC$ とすることが望ましい。こうすれば、メモリブロック MB の $D2$ 方向での幅を最小限に抑えて、幅 WB を小さくできるため、図2(B)のような細長の集積回路装置を提供できる。

【0114】

図20(B)は、ドライバセル $DRC1 \sim DRCQ$ とセンスアンプブロック SAB の配置関係を示している。図20(B)に示すように、1画素分の画像データを受けるドライバセル $DRC1$ に対して、これに対応する1画素分のセンスアンプ(R用のセンスアンプ $SAR10 \sim SAR15$ 、G用のセンスアンプ $SAG10 \sim SAG15$ 、B用のセンスアンプ $SAB10 \sim SAB15$)が接続される。他のドライバセル $DRC2 \sim DRCQ$ とセンスアンプの接続についても同様である。

10

【0115】

そして図20(B)に示すように、回路ブロック $CB1 \sim CBN$ の $D2$ 方向での幅 WB (最大幅)は、メモリブロックが含む周辺回路部分(ローアドレスデコーダ RD)の $D2$ 方向での幅を WPC とし、1画素分の画像データのビット数を PDB とした場合には、 $P \times WS$ $WB < (P + PDB) \times WS + WPC$ と表すことができる。ここで、R、G、Bの各々が6ビットである場合には、 $PDB = 18$ となる。

【0116】

なお表示パネルの水平走査方向の画素数を HPN とし、1画素分の画像データのビット数を PDB とし、メモリブロックのブロック数を $MBN (= DBN)$ とし、1水平走査期間においてメモリブロックから読み出される画像データの読み出し回数を RN としたとする。この場合に、センスアンプブロック SAB において $D2$ 方向に沿って並ぶセンスアンプの個数 P は、 $P = (HPN \times PDB) / (MBN \times RN)$ と表すことができる。

20

【0117】

なお個数 P は、有効メモリセル数に対応する有効センスアンプ数であり、ダミーメモリセル用のセンスアンプ等の有効ではないセンスアンプの個数は含まない。また個数 P は、1ビット分の画像データを出力するセンスアンプの個数である。例えば、第1、第2のセンスアンプと、その出力に接続されるセレクタとにより、1ビット分の画像データを切り替えて出力する場合には、これらの第1、第2のセンスアンプとセレクタを合わせたものが、1ビット分の画像データを出力するセンスアンプに相当する。

30

【0118】

図22(A)(B)にメモリブロック MB の詳細なレイアウト配置例を示す。図22(A)は、後述する横型セルの場合の配置例である。MPU/LCDローアドレスデコーダ RD は、ホストアクセス時のワード線選択制御と、データドライバブロック(LCD)への出力時のワード線選択制御を行う。センスアンプブロック SAB はデータドライバブロックへの出力時に、メモリセルアレイ MA から読み出された画像データの信号の増幅を行い、画像データをデータドライバブロックに出力する。MPUライト/リード回路 WR は、ホストアクセス時に、メモリセルアレイ MA のうちのアクセス対象となるメモリセル(アクセス領域)に画像データを書き込んだり、画像データを読み出す制御を行う。このMPUライト/リード回路 WR は画像データの読み出しのためのセンスアンプを含むことができる。MPUカラムアドレスデコーダ CD は、ホストアクセス時に、アクセス対象となるメモリセルに対応するビット線の選択制御を行う。制御回路 CC はメモリブロック MB 内の各回路ブロックの制御を行う。

40

【0119】

図22(B)は、後述する縦型セルの場合の配置例である。図22(B)では、メモリセルアレイが第1のメモリセルアレイ $MA1$ と第2のメモリセルアレイ $MA2$ を含む。そしてメモリセルアレイ $MA1$ と $MA2$ の間にMPU/LCDローアドレスデコーダ RD が設けられている。またMPU/LCDローアドレスデコーダ RD は、ホスト側からのアクセス時には、メモリセルアレイ $MA1$ 、 $MA2$ のいずれか一方のワード線の選択を行う。またデータドライバブロックへの画像データの出力時には、メモリセルアレイ $MA1$ 、 $MA2$ の両方のワード線の選択を行う。このようにすれば、ホストアクセス時に、アクセス

50

対象となるメモリセルアレイのワード線だけを選択できるようになるため、常に両方のメモリセルアレイのワード線を選択する手法に比べて、ワード線での信号遅延や消費電力を低減できる。

【 0 1 2 0 】

そして図 2 2 (A) の場合にはメモリセルアレイ M A の D 2 (又は D 4) 方向側に設けられ、図 2 2 (B) の場合にはメモリセルアレイ M A 1 と M A 2 の間に設けられる M P U / L C D ロードアドレスデコーダ R D や制御回路 C C やその配線領域が、周辺回路部分になり、その幅が W P C になる。

【 0 1 2 1 】

なお本実施形態ではドライバセルやセンスアンプの配置について、画素毎の配置を前提にして説明したが、サブピクセル毎の配置とする変形実施も可能である。またサブピクセルも、R、G、Bの3サブピクセル構成には限定されず、R G B + 1 (例えば白) の4サブピクセル構成であってもよい。

【 0 1 2 2 】

4 . 5 W B と W 1 、 W 2 の関係

本実施形態では図 2 3 に示すように、出力側 I / F 領域 1 2 の D 2 方向での幅 W 1 は、 $0 . 1 3 \text{ mm} \leq W 1 \leq 0 . 4 \text{ mm}$ とすることができる。また回路ブロック C B 1 ~ C B N の幅 W B は、 $0 . 6 5 \text{ mm} \leq W B \leq 1 . 2 \text{ mm}$ とすることができる。また入力側 I / F 領域 1 4 の幅 W 2 は、 $0 . 1 \text{ mm} \leq W 2 \leq 0 . 2 \text{ mm}$ とすることができる。

【 0 1 2 3 】

例えば出力側 I / F 領域 1 2 には、D 2 方向での段数が 1 段又は複数段となるパッドが配置される。そして図 6 (A) に示すように、パッドの下に出力用トランジスタ、静電気保護素子用トランジスタ等を配置することで、出力側 I / F 領域 1 2 の幅 W 1 が最小限になるようにしている。従って、パッド幅 (例えば $0 . 1 \text{ mm}$) やパッドピッチを考慮すると、 $0 . 1 3 \text{ mm} \leq W 1 \leq 0 . 4 \text{ mm}$ となる。

【 0 1 2 4 】

一方、入力側 I / F 領域 1 4 では、D 2 方向での段数が 1 段となるパッドが配置される。そして図 6 (A) に示すように、パッドの下に入力用トランジスタ、静電気保護素子用トランジスタ等を配置することで、入力側 I / F 領域 1 4 の幅 W 2 が最小限になるようにしている。従って、パッド幅やパッドピッチを考慮すると、 $0 . 1 \text{ mm} \leq W 2 \leq 0 . 2 \text{ mm}$ となる。なお出力側 I / F 領域 1 2 において、D 2 方向でのパッドの段数を複数段にするのは、パッドの下に配置すべきトランジスタの数 (或いは大きさ) が、入力側 I / F 領域 1 4 に比べて出力側 I / F 領域 1 2 の方が多いからである。

【 0 1 2 5 】

また回路ブロック C B 1 ~ C B N の幅 W B は、図 1 9 (A)、図 2 0 (A) で説明したようにデータドライバブロック D B やメモリブロック M B の D 2 方向での幅を基準に決定される。また、細長の集積回路装置を実現するためには、回路ブロック C B 1 ~ C B N 上に、ロジック回路ブロックからのロジック信号や、階調電圧生成回路ブロックからの階調電圧信号や、電源配線を、グローバル配線により形成する必要がある。そして、これらの配線幅は合計で例えば $0 . 8 \sim 0 . 9 \text{ mm}$ 程度になる。従って、これらを考慮すると、回路ブロック C B 1 ~ C B N の幅 W B は、 $0 . 6 5 \text{ mm} \leq W B \leq 1 . 2 \text{ mm}$ となる。

【 0 1 2 6 】

そして $W 1 = 0 . 4 \text{ mm}$ 、 $W 2 = 0 . 2 \text{ mm}$ であったとしても、 $0 . 6 5 \text{ mm} \leq W B \leq 1 . 2 \text{ mm}$ であるため、 $W B > W 1 + W 2$ が成り立つ。また W 1、W B、W 2 が最も小さい値である場合には、 $W 1 = 0 . 1 3 \text{ mm}$ 、 $W B = 0 . 6 5 \text{ mm}$ 、 $W 2 = 0 . 1 \text{ mm}$ となり、集積回路装置の幅は $W = 0 . 8 8 \text{ mm}$ 程度になる。従って、 $W = 0 . 8 8 \text{ mm} < 2 \times W B = 1 . 3 \text{ mm}$ が成り立つ。また W 1、W B、W 2 が最も大きい値である場合には、 $W 1 = 0 . 4 \text{ mm}$ 、 $W B = 1 . 2 \text{ mm}$ 、 $W 2 = 0 . 2 \text{ mm}$ となり、集積回路装置の幅は $W = 1 . 8 \text{ mm}$ 程度になる。従って、 $W = 1 . 8 \text{ mm} < 2 \times W B = 2 . 4 \text{ mm}$ が成り立つ。即ち、 $W < 2 \times W B$ が成り立つことになる。そしてこのように $W < 2 \times W B$ が成り立てば、

10

20

30

40

50

図 2 (B) のような細長の集積回路装置を実現できるようになる。

【 0 1 2 7 】

本実施形態のようにパッドの下層に走査線を駆動するための出力用トランジスタを配置することで、走査ドライバブロックを含む集積回路装置 1 0 の W 1 の幅を大幅に縮小させることができる。そのため、容易に $W < 2 \times W B$ を成り立たせることができるようになる。その結果、より一層スリムな集積回路装置を提供できるようになる。

【 0 1 2 8 】

5 . メモリブロック、データドライバブロックの詳細

5 . 1 ブロック分割

図 2 4 (A) に示すように表示パネルが、垂直走査方向 (データ線方向) での画素数が $V P N = 3 2 0$ であり、水平走査方向 (走査線方向) での画素数が $H P N = 2 4 0$ である $Q V G A$ のパネルであったとする。また 1 画素分の画像 (表示) データのビット数 $P D B$ が、 R 、 G 、 B の各々が 6 ビットであり、 $P D B = 1 8$ ビットであったとする。この場合には、表示パネルの 1 フレーム分の表示に必要な画像データのビット数は、 $V P N \times H P N \times P D B = 3 2 0 \times 2 4 0 \times 1 8$ ビットになる。従って集積回路装置のメモリは、少なくとも $3 2 0 \times 2 4 0 \times 1 8$ ビット分の画像データを記憶することになる。またデータドライバは、1 水平走査期間毎 (1 本の走査線が走査される期間毎) に、 $H P N = 2 4 0$ 本分のデータ信号 ($2 4 0 \times 1 8$ ビット分の画像データに対応するデータ信号) を表示パネルに対して出力する。

【 0 1 2 9 】

そして図 2 4 (B) では、データドライバは、 $D B N = 4$ 個のデータドライバブロック $D B 1 \sim D B 4$ に分割される。またメモリも、 $M B N = D B N = 4$ 個のメモリブロック $M B 1 \sim M B 4$ に分割される。従って、各データドライバブロック $D B 1 \sim D B 4$ は、1 水平走査期間毎に $H P N / D B N = 2 4 0 / 4 = 6 0$ 本分のデータ信号を表示パネルに出力する。また各メモリブロック $M B 1 \sim M B 4$ は、 $(V P N \times H P N \times P D B) / M B N = (3 2 0 \times 2 4 0 \times 1 8) / 4$ ビット分の画像データを記憶する。なお図 2 4 (B) では、メモリブロック $M B 1$ と $M B 2$ でカラムアドレスデコーダ $C D 1 2$ を共用し、メモリブロック $M B 3$ と $M B 4$ でカラムアドレスデコーダ $C D 3 4$ を共用している。

【 0 1 3 0 】

5 . 2 1 水平走査期間に複数回読み出し

図 2 4 (B) では、各データドライバブロック $D B 1 \sim D B 4$ は、1 水平走査期間に 6 0 本分のデータ信号を出力する。従って $D B 1 \sim D B 4$ に対応するメモリブロック $M B 1 \sim M B 4$ からは、1 水平走査期間毎に 2 4 0 本分のデータ信号に対応する画像データを読み出す必要がある。

【 0 1 3 1 】

しかしながら、1 水平走査期間毎に読み出す画像データのビット数が増えると、 $D 2$ 方向に並ぶメモリセル (センスアンプ) の個数を多くする必要が生じる。この結果、集積回路装置の $D 2$ 方向での幅 W が大きくなり、チップのスリム化が妨げられる。またワード線 $W L$ が長くなり、 $W L$ の信号遅延の問題も招く。

【 0 1 3 2 】

そこで本実施形態では、各メモリブロック $M B 1 \sim M B 4$ から各データドライバブロック $D B 1 \sim D B 4$ に対して、各メモリブロック $M B 1 \sim M B 4$ に記憶される画像データを 1 水平走査期間において複数回 ($R N$ 回) 読み出す手法を採用している。

【 0 1 3 3 】

例えば図 2 5 では $A 1$ 、 $A 2$ に示すように、1 水平走査期間において $R N = 2$ 回だけメモリアクセス信号 $M A C S$ (ワード選択信号) がアクティブ (ハイレベル) になる。これにより各メモリブロックから各データドライバブロックに対して画像データが 1 水平走査期間において $R N = 2$ 回読み出される。すると、データドライバブロック内に設けられた図 2 6 のデータドライバ $D R a$ 、 $D R b$ が含むデータラッチ回路が、 $A 3$ 、 $A 4$ に示すラッチ信号 $L A T a$ 、 $L A T b$ に基づいて、読み出された画像データをラッチする。そして

10

20

30

40

50

D R a、D R b が含む D / A 変換回路が、ラッチされた画像データの D / A 変換を行い、D R a、D R b が含む出力回路が、D / A 変換により得られたデータ信号 D A T A a、D A T A b を A 5、A 6 に示すようにデータ信号出力線に出力する。その後、A 7 に示すように、表示パネルの各画素の T F T のゲートに入力される走査信号 S C S E L がアクティブになり、データ信号が表示パネルの各画素に入力されて保持される。

【 0 1 3 4 】

なお図 2 5 では第 1 の水平走査期間で画像データを 2 回読み出し、同じ第 1 の水平走査期間においてデータ信号 D A T A a、D A T A b をデータ信号出力線に出力している。しかしながら、第 1 の水平走査期間で画像データを 2 回読み出してラッチしておき、次の第 2 の水平走査期間で、ラッチされた画像データに対応するデータ信号 D A T A a、D A T A b をデータ信号出力線に出力してもよい。また図 2 5 では、読み出し回数 R N = 2 である場合を示しているが、R N = 3 であってもよい。

10

【 0 1 3 5 】

図 2 5 の手法によれば、図 2 6 に示すように、各メモリブロックから 3 0 本分のデータ信号に対応する画像データが読み出され、各データドライバ D R a、D R b が 3 0 本分のデータ信号を出力する。これにより各データドライバブロックからは 6 0 本分のデータ信号が出力される。このように図 2 5 では、各メモリブロックからは、1 回の読み出しにおいて 3 0 本分のデータ信号に対応する画像データを読み出せば済むようになる。従って 1 水平走査期間に 1 回だけ読み出す手法に比べて、図 2 6 の D 2 方向でのメモリセル、センスアンプの個数を少なくすることが可能になる。この結果、集積回路装置の D 2 方向での幅を小さくでき、図 2 (B) に示すような超スリムな細長チップの実現が可能になる。特に 1 水平走査期間の長さは、Q V G A の場合は 5 2 μ s e c 程度である。一方、メモリの読み出し時間は例えば 4 0 n s e c 程度であり、5 2 μ s e c に比べて十分に短い。従って、1 水平走査期間での読み出し回数を 1 回から複数回に増やしたとしても、表示特性に与える影響はそれほど大きくない。

20

【 0 1 3 6 】

また図 2 4 (A) は Q V G A (3 2 0 \times 2 4 0) の表示パネルであるが、1 水平走査期間での読み出し回数を例えば R N = 4 にすれば、V G A (6 4 0 \times 4 8 0) の表示パネルに対応することも可能になり、設計の自由度を増すことができる。

【 0 1 3 7 】

なお 1 水平走査期間での複数回読み出しは、各メモリブロック内で異なる複数のワード線をロードアドレスデコーダ (ワード線選択回路) が 1 水平走査期間において選択する第 1 の手法で実現してもよいし、各メモリブロック内で同じワード線をロードアドレスデコーダ (ワード線選択回路) が 1 水平走査期間において複数回選択する第 2 の手法で実現してもよい。或いは第 1、第 2 の手法の両方の組み合わせにより実現してもよい。

30

【 0 1 3 8 】

5 . 3 データドライバ、ドライバセルの配置

図 2 6 にデータドライバと、データドライバが含むドライバセルの配置例を示す。図 2 6 に示すように、データドライバブロックは、D 1 方向に沿って並んで配置される複数のデータドライバ D R a、D R b を含む。また各データドライバ D R a、D R b は、複数の 3 0 個 (広義には Q 個) のドライバセル D R C 1 ~ D R C 3 0 を含む。

40

【 0 1 3 9 】

データドライバ D R a は、メモリブロックのワード線 W L 1 a が選択され、図 2 5 の A 1 に示すように 1 回目の画像データがメモリブロックから読み出されると、A 3 に示すラッチ信号 L A T a に基づいて、読み出された画像データをラッチする。そしてラッチされた画像データの D / A 変換を行い、1 回目の読み出し画像データに対応するデータ信号 D A T A a を、A 5 に示すようにデータ信号出力線に出力する。

【 0 1 4 0 】

一方、データドライバ D R b は、メモリブロックのワード線 W L 1 b が選択され、図 2 5 の A 2 に示すように 2 回目の画像データがメモリブロックから読み出されると、A 4 に

50

示すラッチ信号LATbに基づいて、読み出された画像データをラッチする。そしてラッチされた画像データのD/A変換を行い、2回目の読み出し画像データに対応するデータ信号DATAbを、A6に示すようにデータ信号出力線に出力する。

【0141】

このようにして、各データドライバDRa、DRbが30個の画素に対応する30本分のデータ信号を出力することで、合計で60個の画素に対応する60本分のデータ信号が出力されるようになる。

【0142】

なお前述のように、D2方向に沿って並ぶドライバセルDRC1～DRC30の個数Qは、 $Q = HPN / (DBN \times IN)$ と表すことができる。図26の場合には、 $HPN = 240$ 、 $DBN = 4$ 、 $IN = 2$ であるため、 $Q = 240 / (4 \times 2) = 30$ 個になる。また前述のように、センスアンプブロックSABにおいてD2方向に沿って並ぶセンスアンプの個数Pは、 $P = (HPN \times PDB) / (MBN \times RN)$ と表すことができる。図26の場合には、 $HPN = 240$ 、 $PDB = 18$ 、 $MBN = 4$ 、 $RN = 2$ であるため、 $P = (240 \times 18) / (4 \times 2) = 540$ 個になる。

【0143】

5.4 メモリセル

図27(A)にメモリブロックが含むメモリセル(SRAM)の構成例を示す。このメモリセルは、転送トランジスタTRA1、TRA2と、負荷トランジスタTRA3、TRA4と、駆動トランジスタTRA5、TRA6を含む。ワード線WLがアクティブになると、転送トランジスタTRA1、TRA2がオンになり、ノードNA1、NA2への画像データの書き込みや、ノードNA1、NA2からの画像データの読み出しが可能になる。また書き込まれた画像データは、トランジスタTRA3～TRA6により構成されるフリップフロップ回路によりノードNA1、NA2に保持される。なお本実施形態のメモリセルは図27(A)の構成に限定されず、例えば負荷トランジスタTRA3、TRA4として抵抗素子を使用したり、他のトランジスタを追加するなどの変形実施が可能である。

【0144】

図27(B)(C)にメモリセルのレイアウト例を示す。図27(B)は横型セルのレイアウト例であり、図27(C)は縦型セルのレイアウト例である。ここで横型セルは図27(B)に示すように、各メモリセル内においてワード線WLの方がビット線BL、XBLよりも長いセルである。一方、縦型セルは図27(C)に示すように、各メモリセル内においてビット線BL、XBLの方がワード線WLよりも長いセルである。なお図27(C)のWLは、ポリシリコン層で形成され転送トランジスタTRA1、TRA2に接続されるローカルなワード線であるが、WLの信号遅延防止、電位安定化のためのメタル層のワード線を更に設けてもよい。

【0145】

図28に、メモリセルとして図27(B)に示す横型セルを用いた場合のメモリブロック、ドライバセルの配置例を示す。なお図28は、ドライバセル、メモリブロックのうち1画素に対応する部分を詳細に示している。

【0146】

図28に示すように1画素分の画像データを受けるドライバセルDRCは、R用、G用、B用のデータラッチ回路DLATR、DLATG、DLATBを含む。各データラッチ回路DLATR、DLATG、DLATBはラッチ信号LAT(LATa、LATb)がアクティブになると画像データをラッチする。またドライバセルDRCは、図10(A)で説明したR用、G用、B用のDACR、DACG、DACBを含む。また図10(B)(C)で説明した出力部SQを含む。

【0147】

センスアンプブロックSABのうち1画素に対応する部分は、R用のセンスアンプSAR0～SAR5と、G用のセンスアンプSAG0～SAG5と、B用のセンスアンプSAB0～SAB5を含む。そしてセンスアンプSAR0のD1方向側にD1方向に沿って並

10

20

30

40

50

ぶメモリセルMCのビット線BL、XBLは、SAR0に接続される。またセンスアンプSAR1のD1方向側にD1方向に沿って並ぶメモリセルMCのビット線BL、XBLは、SAR1に接続される。他のセンスアンプとメモリセルの関係についても同様である。

【0148】

ワード線WL1aが選択されると、WL1aに転送トランジスタのゲートが接続されるメモリセルMCからビット線BL、XBLに対して、画像データが読み出され、センスアンプSAR0～SAR5、SAG0～SAG5、SAB0～SAB5が信号の増幅動作を行う。そしてDLATRが、SAR0～SAR5からの6ビットのR用の画像データDOR～D5Rをラッチし、DACRが、ラッチされた画像データのD/A変換を行い、出力部SQがデータ信号DATARを出力する。またDLATGが、SAG0～SAG5からの6ビットのG用の画像データDOG～D5Gをラッチし、DACGが、ラッチされた画像データのD/A変換を行い、出力部SQがデータ信号DATAGを出力する。またDLATBが、SAB0～SAB5からの6ビットのB用の画像データDOB～D5Bをラッチし、DACBが、ラッチされた画像データのD/A変換を行い、出力部SQがデータ信号DATABを出力する。

10

【0149】

そして図28の構成の場合には、図25に示す1水平走査期間での画像データの複数回読み出しは、次のようにして実現できる。即ち第1の水平走査期間(第1の走査線の選択期間)においては、まずワード線WL1aを選択して画像データの1回目の読み出しを行い、図25のA5に示すように1回目のデータ信号DATAaを出力する。次に、同じ第1の水平走査期間においてワード線WL1bを選択して画像データの2回目の読み出しを行い、図25のA6に示すように2回目のデータ信号DATAbを出力する。また次の第2の水平走査期間(第2の走査線の選択期間)においては、まずワード線WL2aを選択して画像データの1回目の読み出しを行い、1回目のデータ信号DATAaを出力する。次に、同じ第2の水平走査期間においてワード線WL2bを選択して画像データの2回目の読み出しを行い、2回目のデータ信号DATAbを出力する。このように横型セルを用いる場合には、メモリブロック内において異なる複数のワード線(WL1a、WL1b)を1水平走査期間において選択することで、1水平走査期間での複数回読み出しを実現できる。

20

【0150】

図29に、メモリセルとして図27(C)に示す縦型セルを用いた場合のメモリブロック、ドライバセルの配置例を示す。縦型セルでは、D2方向での幅を横型セルに比べて短くできる。従ってD2方向でのメモリセルの個数を横型セルに比べて2倍にすることができる。そして縦型セルでは、カラム選択信号COLa、COLbを用いて、各センスアンプに接続するメモリセルの列を切り替える。

30

【0151】

例えば図29において、カラム選択信号COLaがアクティブになると、センスアンプSAR0～SAR5のD1方向側にあるメモリセルMCのうち、カラムCa側のメモリセルMCが選択されて、センスアンプSAR0～SAR5に接続される。そしてこれらの選択されたメモリセルMCに記憶された画像データの信号が増幅されて、DOR～D5Rとして出力される。一方、カラム選択信号COLbがアクティブになると、センスアンプSAR0～SAR5のD1方向側にあるメモリセルMCのうち、カラムCb側のメモリセルMCが選択されて、センスアンプSAR0～SAR5に接続される。そしてこれらの選択されたメモリセルMCに記憶された画像データの信号が増幅されて、DOR～D5Rとして出力される。他のセンスアンプに接続されるメモリセルの画像データの読み出しも同様である。

40

【0152】

そして図29の構成の場合には、図25に示す1水平走査期間での画像データの複数回読み出しは、次のようにして実現できる。即ち第1の水平走査期間においては、まずワード線WL1を選択し、カラム選択信号COLaをアクティブにして、画像データの1回目

50

の読み出しを行い、図25のA5に示すように1回目のデータ信号DATA aを出力する。次に、同じ第1の水平走査期間において同じワード線WL1を選択し、カラム選択信号COLbをアクティブにして、画像データの2回目の読み出しを行い、図25のA6に示すように2回目のデータ信号DATA bを出力する。また次の第2の水平走査期間においては、ワード線WL2を選択し、カラム選択信号COLaをアクティブにして、画像データの1回目の読み出しを行い、1回目のデータ信号DATA aを出力する。次に、同じ第2の水平走査期間において同じワード線WL2を選択し、カラム選択信号COLbをアクティブにして、画像データの2回目の読み出しを行い、2回目のデータ信号DATA bを出力する。このように縦型セルの場合には、メモリブロック内において同じワード線を1水平走査期間において複数回選択することで、1水平走査期間での複数回読み出しを実現

10

【0153】

6. 電子機器

図30(A)(B)に本実施形態の集積回路装置10を含む電子機器(電気光学装置)の例を示す。なお電子機器は図30(A)(B)に示されるもの以外の構成要素(例えばカメラ、操作部又は電源等)を含んでもよい。また本実施形態の電子機器は携帯電話機には限定されず、デジタルカメラ、PDA、電子手帳、電子辞書、プロジェクタ、リアプロジェクションテレビ、或いは携帯型情報端末などであってもよい。

【0154】

図30(A)(B)においてホストデバイス410は、例えばMPU(Micro Processor Unit)、ベースバンドエンジン(ベースバンドプロセッサ)などである。このホストデバイス410は、表示ドライバである集積回路装置10の制御を行う。或いはアプリケーションエンジンやベースバンドエンジンとしての処理や、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行うこともできる。また図30(B)の画像処理コントローラ(表示コントローラ)420は、ホストデバイス410に代行して、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行う。

20

【0155】

表示パネル400は、複数のデータ線(ソース線)と、複数の走査線(ゲート線)と、データ線及び走査線により特定される複数の画素を有する。そして、各画素領域における電気光学素子(狭義には、液晶素子)の光学特性を変化させることで、表示動作を実現する。この表示パネル400は、TFT、TFDなどのスイッチング素子を用いたアクティブマトリクス方式のパネルにより構成できる。なお表示パネル400は、アクティブマトリクス方式以外のパネルであってもよいし、液晶パネル以外のパネルであってもよい。

30

【0156】

図30(A)の場合には、集積回路装置10としてメモリ内蔵のものを用いることができる。即ちこの場合には集積回路装置10は、ホストデバイス410からの画像データを、一旦内蔵メモリに書き込み、書き込まれた画像データを内蔵メモリから読み出して、表示パネルを駆動する。一方、図30(B)の場合には、集積回路装置10としてメモリ非内蔵のものを用いることができる。即ちこの場合には、ホストデバイス410からの画像データは、画像処理コントローラ420の内蔵メモリに書き込まれる。そして集積回路装置10は、画像処理コントローラ420の制御の下で、表示パネル400を駆動する。

40

【0157】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語(第1のインターフェース領域、第2のインターフェース領域等)と共に記載された用語(出力側I/F領域、入力側I/F領域等)は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また集積回路装置や電子機器の構成、配置、動作も本実施形態で説明したものに限定に限定されず、種々の変形実施が可能である。

50

【図面の簡単な説明】

【0158】

【図1】図1(A)(B)(C)は本実施形態の比較例の説明図。

【図2】図2(A)(B)は集積回路装置の実装についての説明図。

【図3】本実施形態の集積回路装置の構成例。

【図4】種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例。

【図5】図5(A)(B)は本実施形態の集積回路装置の平面レイアウト例。

【図6】図6(A)(B)は集積回路装置の断面図の例。

【図7】集積回路装置の回路構成例。

【図8】図8(A)(B)(C)はデータドライバ、走査ドライバの構成例。 10

【図9】図9(A)(B)は電源回路、階調電圧生成回路の構成例。

【図10】図10(A)(B)(C)はD/A変換回路、出力回路の構成例。

【図11】図11(A)(B)はパッドと静電気保護素子の配置の説明図。

【図12】図12(A)(B)(C)は静電気の耐圧調整の説明図。

【図13】パッド下の静電気保護素子とトランジスタの構成例。

【図14】図14(A)(B)は出力パッド下に形成される出力用トランジスタの構成例

【図15】静電気保護素子のレイアウト平面図の一例。

【図16】図15の断面構造の一例。

【図17】パッドの下層に形成されるトランジスタの断面構造の一例。 20

【図18】図18(A)(B)は集積回路装置の幅についての説明図。

【図19】図19(A)~(E)はデータドライバブロックの幅についての説明図。

【図20】図20(A)(B)はメモリブロックの幅についての説明図。

【図21】図21(A)(B)は比較例の説明図。

【図22】図22(A)(B)はメモリブロックの構成例。

【図23】W1、W2、WBの関係についての説明図。

【図24】図24(A)(B)はメモリブロック、データドライバブロックの配置の説明図。

【図25】1水平走査期間に画像データを複数回読み出す手法の説明図。

【図26】データドライバ、ドライバセルの配置例。 30

【図27】図27(A)(B)(C)はメモリセルの構成例。

【図28】横型セルの場合のメモリブロック、ドライバセルの配置例。

【図29】縦型セルの場合のメモリブロック、ドライバセルの配置例。

【図30】図30(A)(B)は電子機器の構成例。

【符号の説明】

【0159】

CB1~CBN 第1~第Nの回路ブロック、10 集積回路装置、

12 出力側I/F領域、14 入力側I/F領域、20 メモリ、

22 メモリセルアレイ、24 ローアドレスデコーダ、

26 カラムアドレスデコーダ、28 ライト/リード回路、 40

40 ロジック回路、42 制御回路、44 表示タイミング制御回路、

46 ホストインターフェース回路、48 RGBインターフェース回路、

50 データドライバ、52 データラッチ回路、54 D/A変換回路、

56 出力回路、70 走査ドライバ、72 シフトレジスタ、

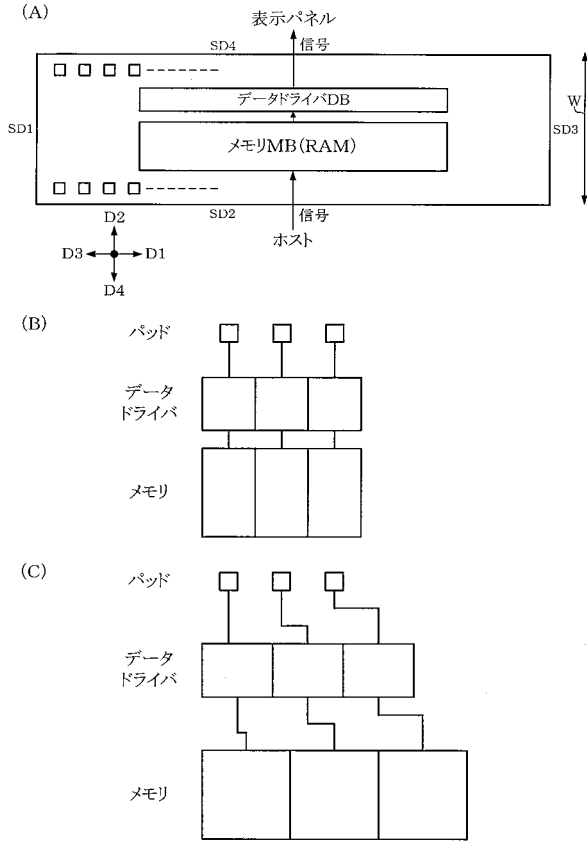
73 走査アドレス生成回路、74 アドレスデコーダ、76 レベルシフタ、

78 出力回路、90 電源回路、92 昇圧回路、94 レギュレータ回路、

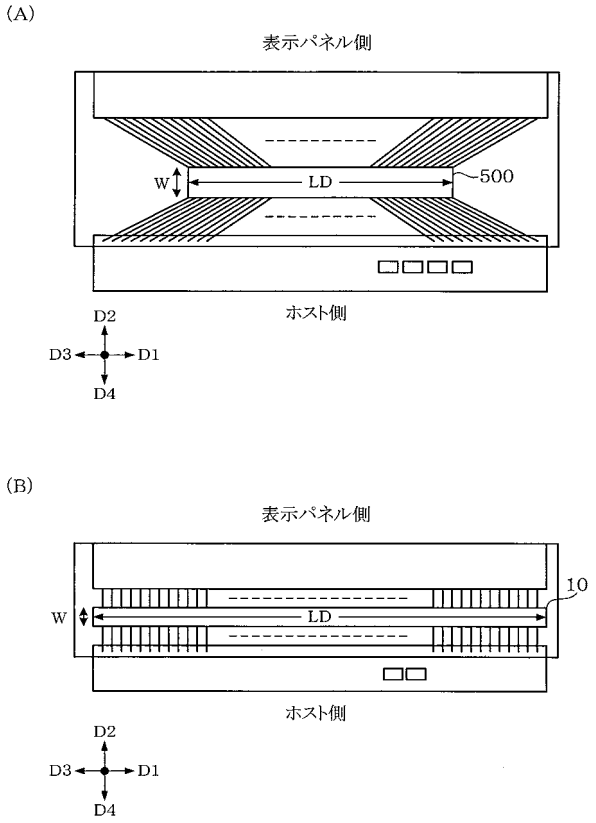
96 VCOM生成回路、98 制御回路、110 階調電圧生成回路、

112 選択用電圧生成回路、114 階調電圧選択回路、116 調整レジスタ

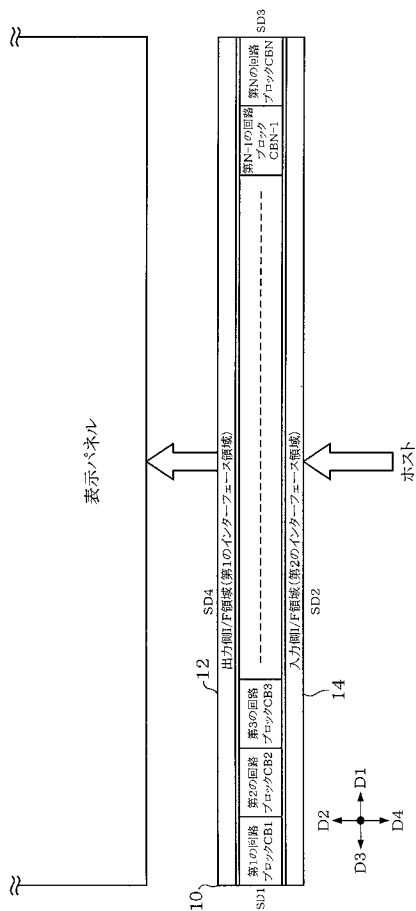
【図1】



【図2】



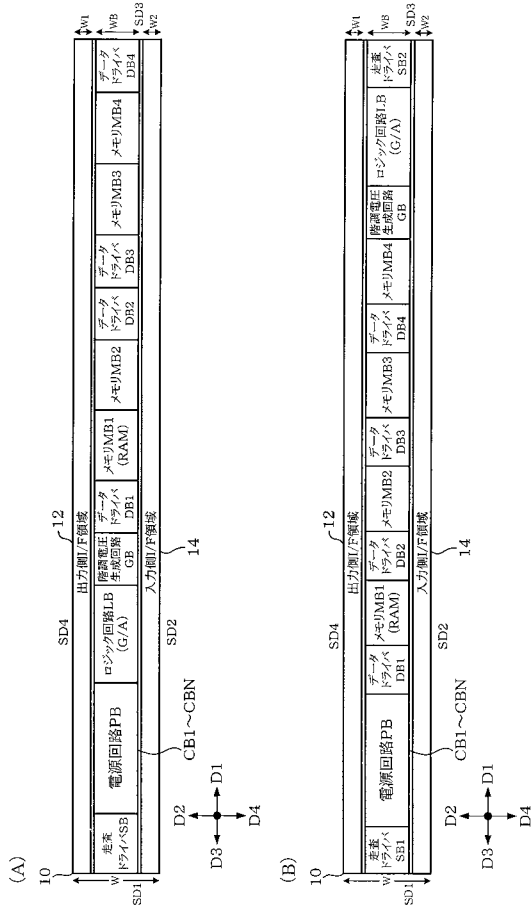
【図3】



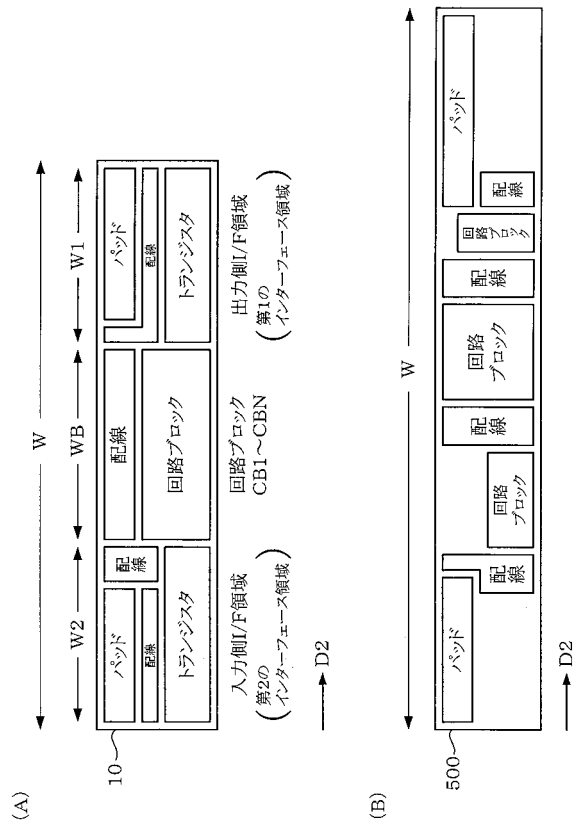
【図4】

	メモリ(RAM)内蔵		メモリ非内蔵		CSTN	TFD
	アモルファス TFT	低温ポリシリコン TFT	アモルファス TFT	低温ポリシリコン TFT		
メモリ(RAM)	○	○	×	○	○	○
データドライバ	○	○	○	○	○	○
走査ドライバ	○	×	○	×	○	○
ロジック回路(G/A)	○	○	○	○	○	○
階調電圧生成回路(γ)	○	○	○	○	×	○
電源回路	○	○	○	○	○	○

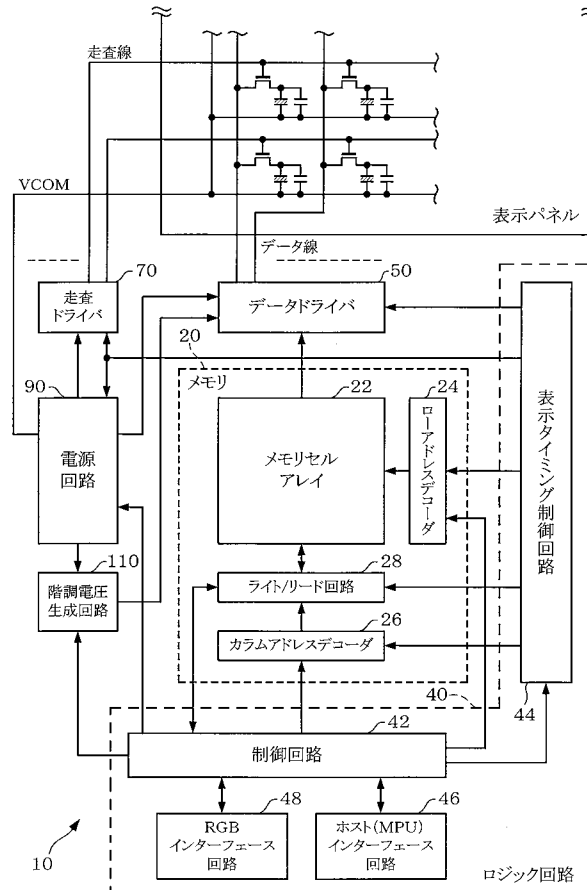
【図5】



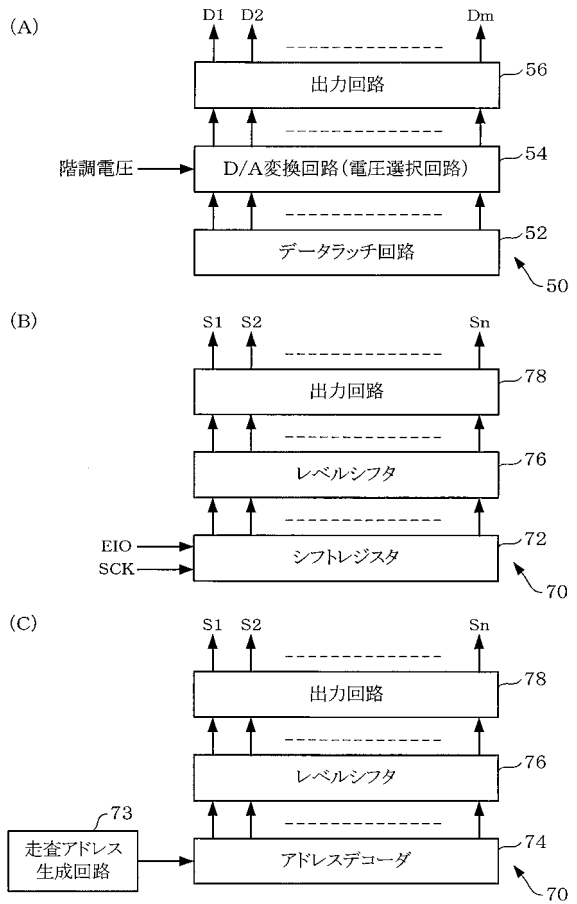
【図6】



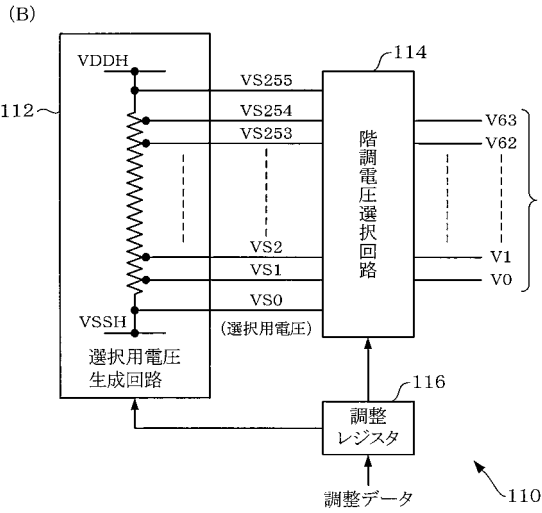
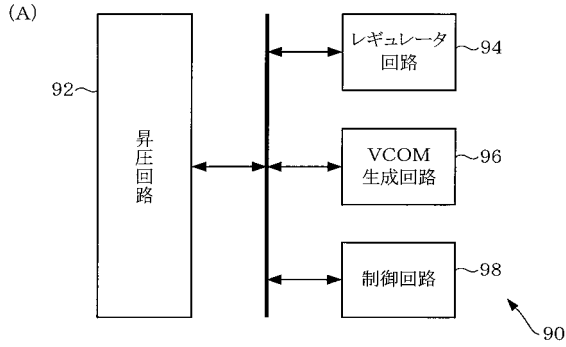
【図7】



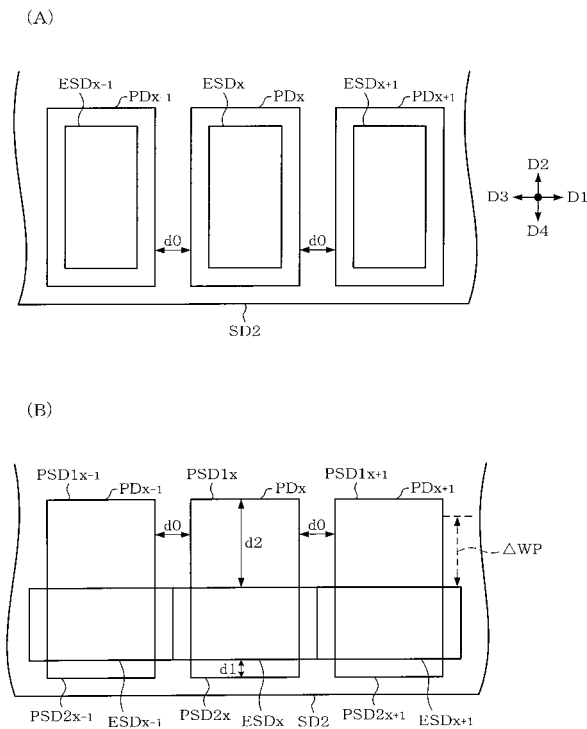
【図8】



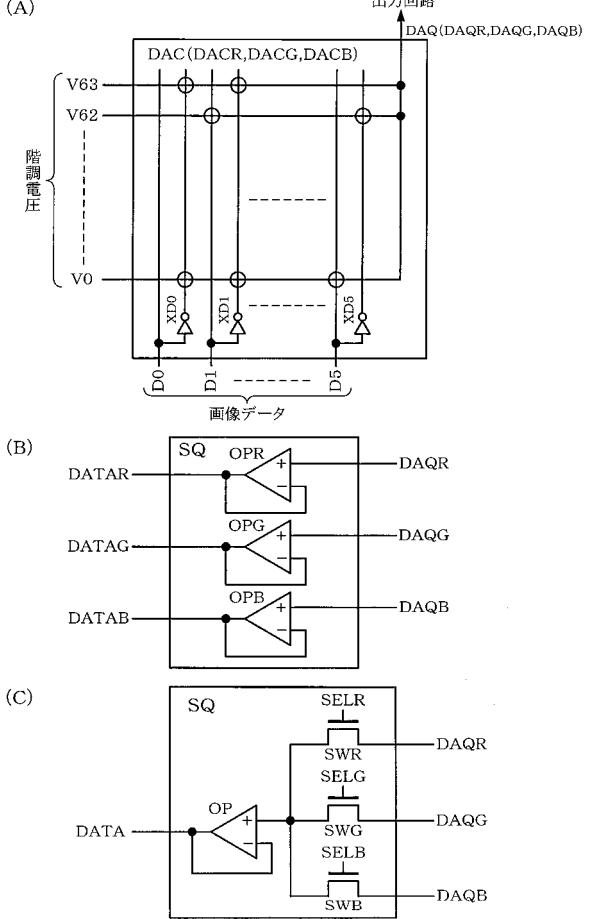
【図9】



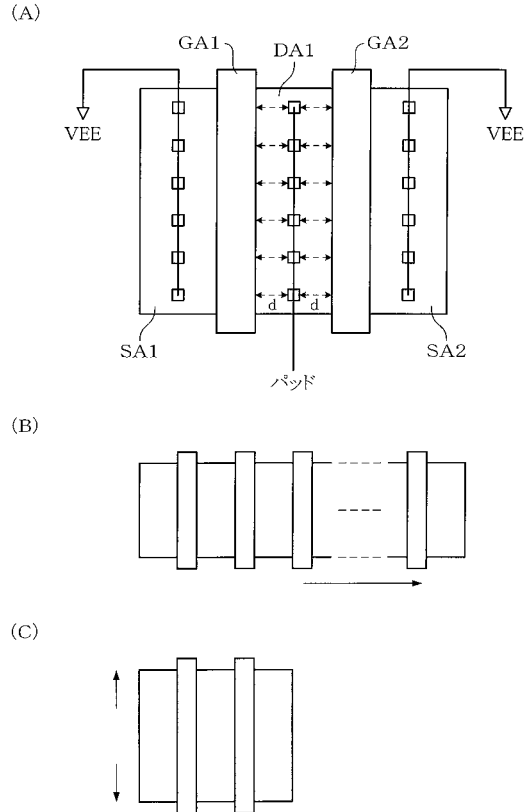
【図11】



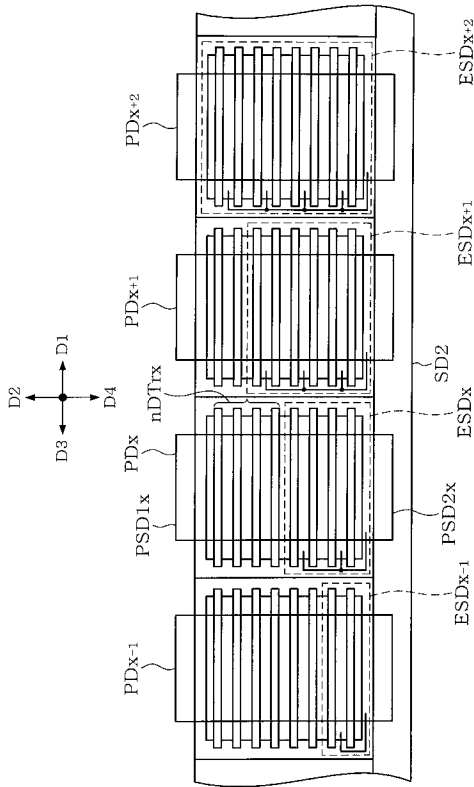
【図10】



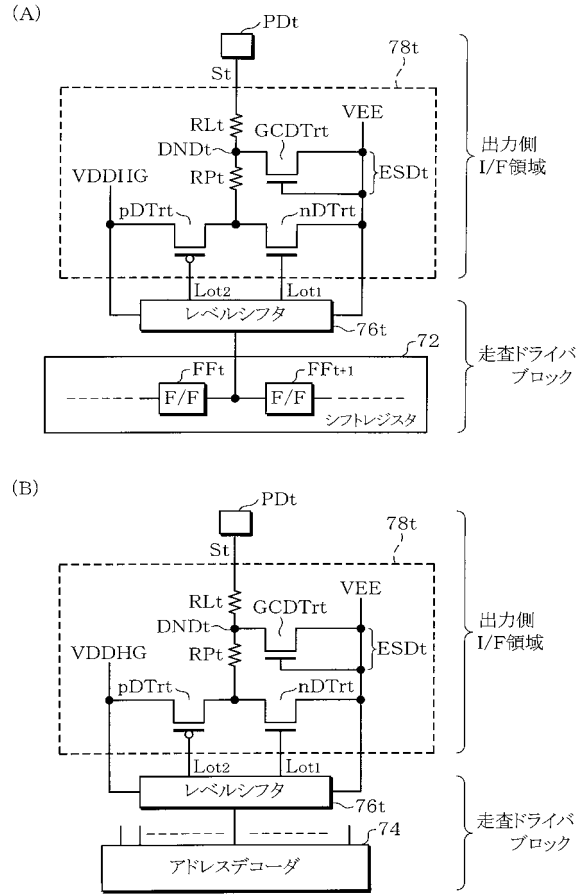
【図12】



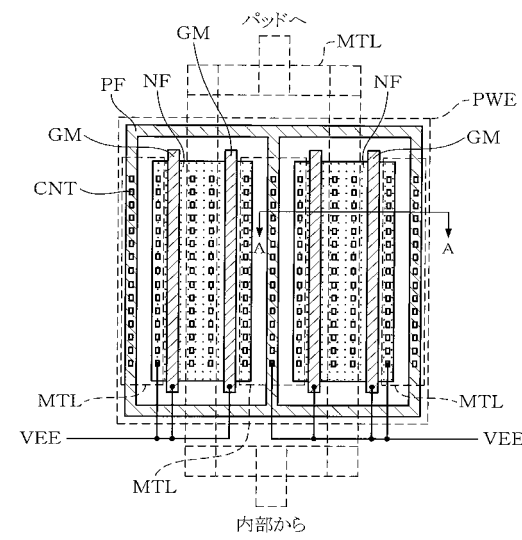
【図13】



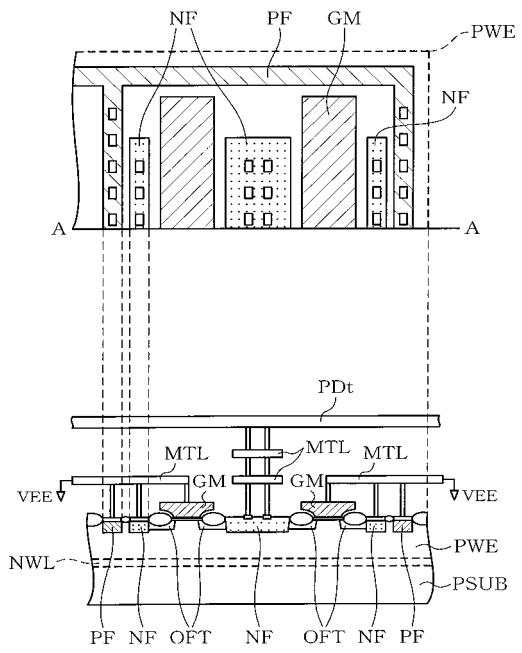
【図14】



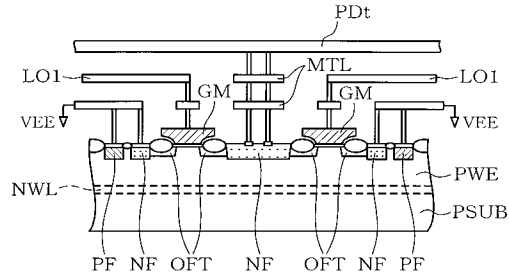
【図15】



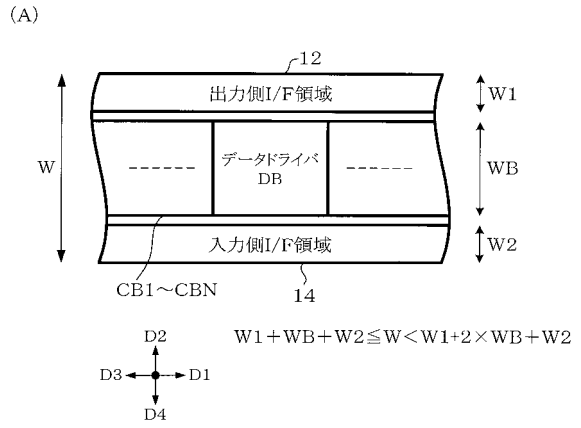
【図16】



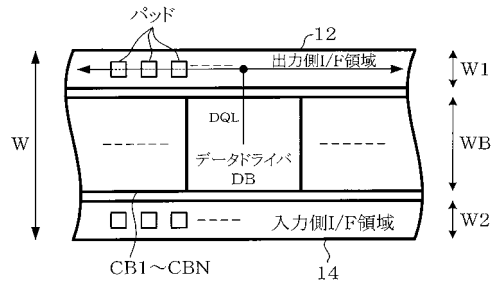
【図17】



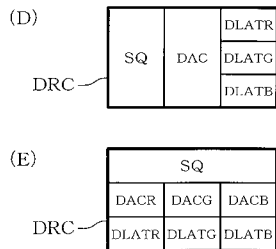
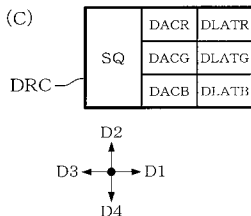
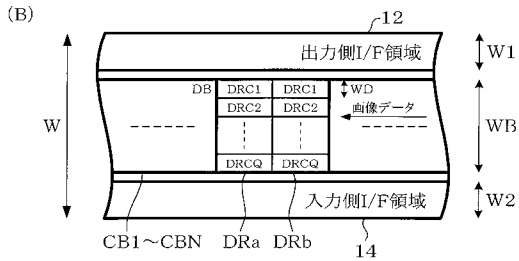
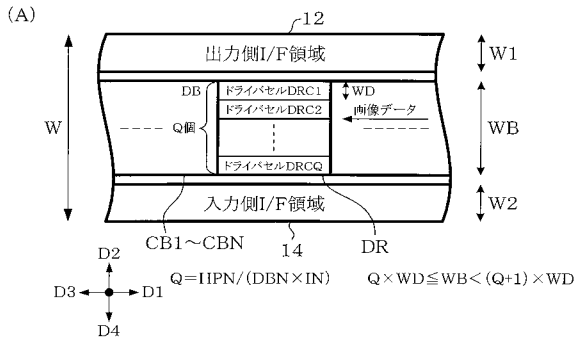
【図18】



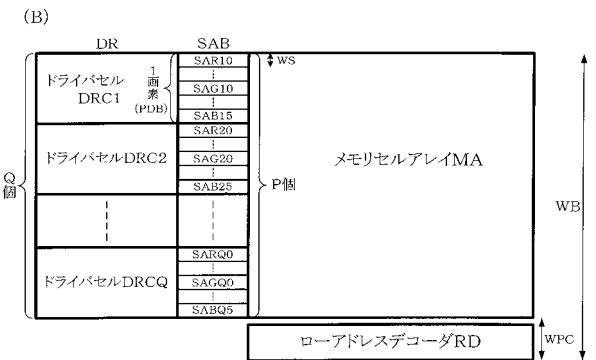
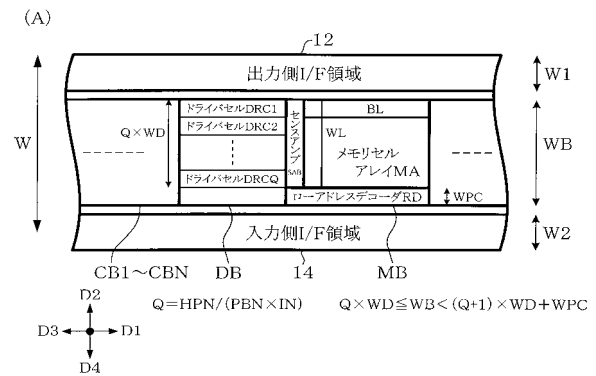
(B)



【図19】



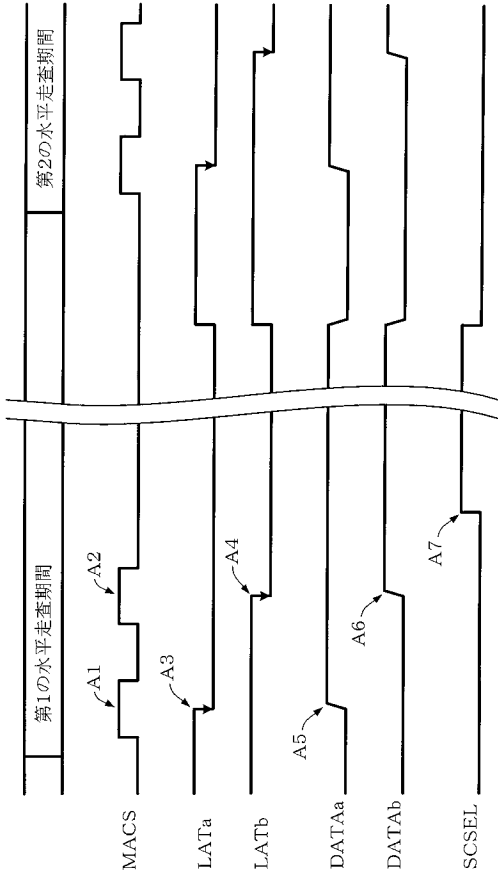
【図20】



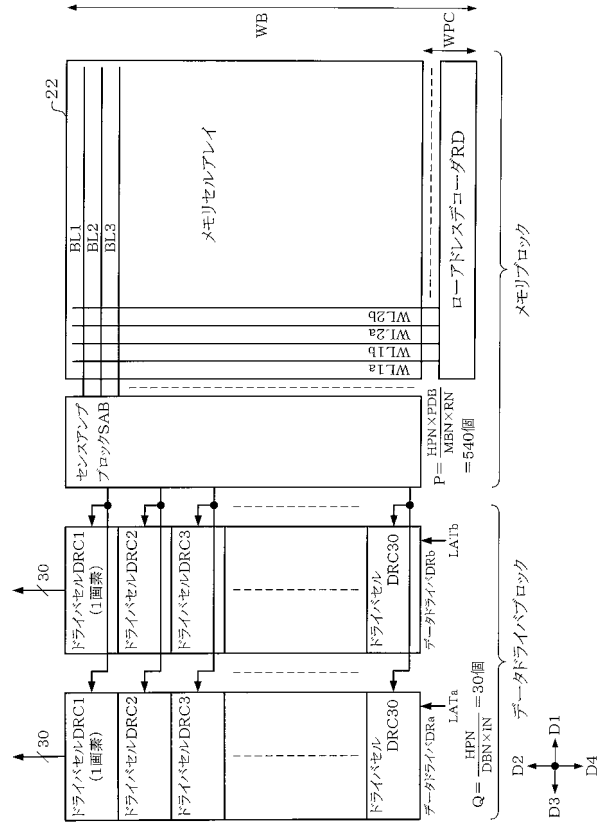
$P = (HPN \times PDB) / (MBN \times RN)$

$P \times WS \leq WB < (P+PDB) \times WS + WPC$

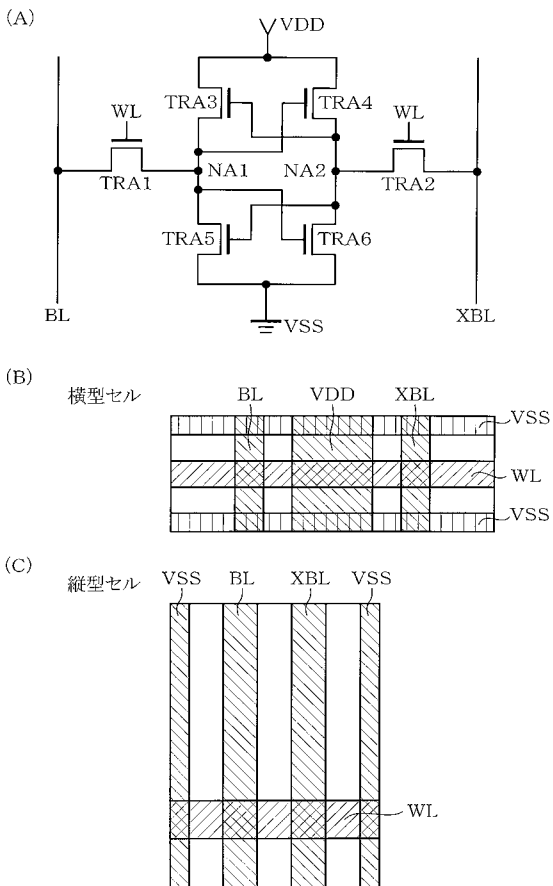
【図25】



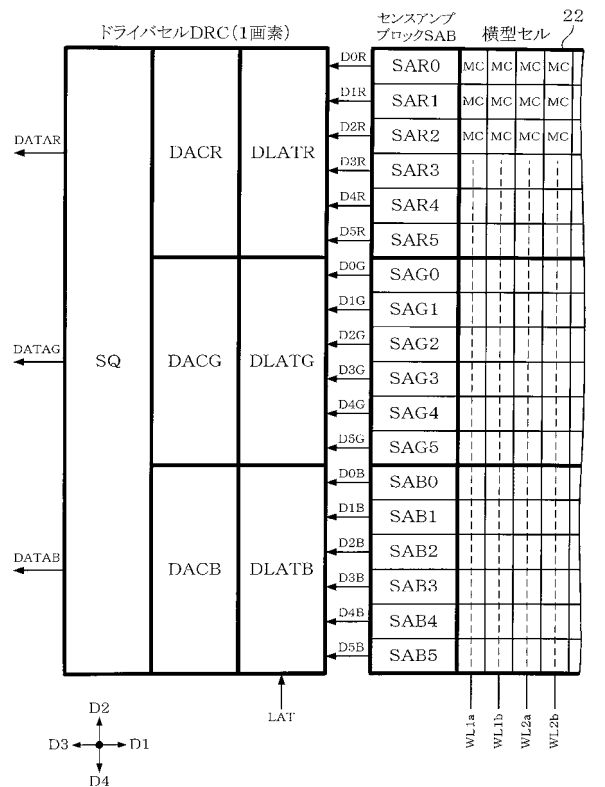
【図26】



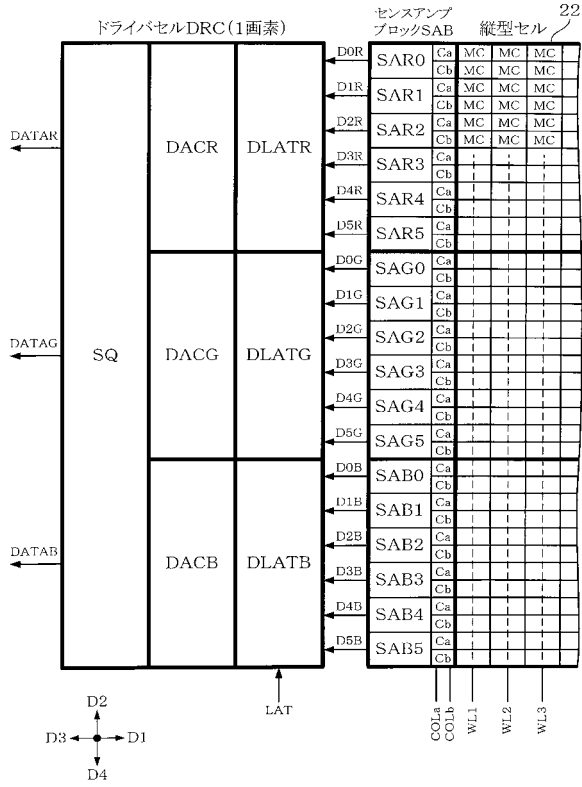
【図27】



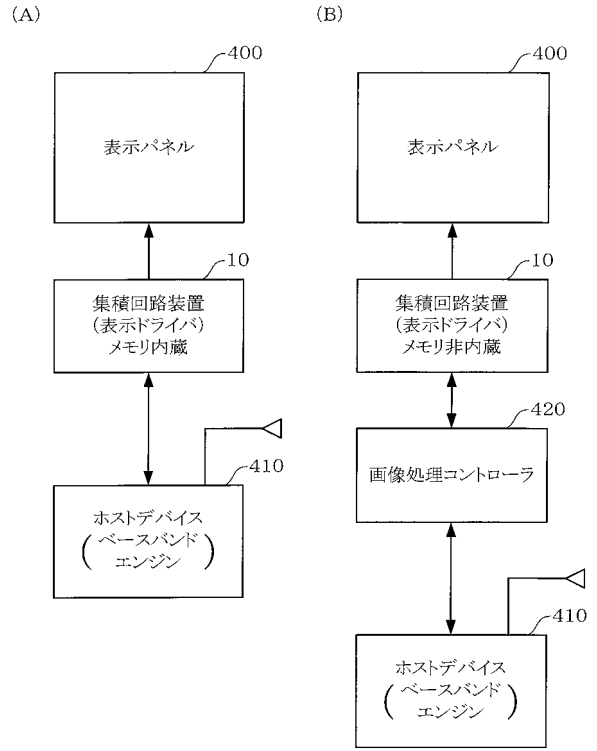
【図28】



【図29】



【図30】



フロントページの続き

- (72)発明者 熊谷 敬
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 石山 久展
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 前川 和広
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 伊藤 悟
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 藤瀬 隆史
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 唐澤 純一
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 小平 覚
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 齊木 隆行
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 高 宮 浩之
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 池淵 立

- (56)参考文献 特開平11-261011(JP,A)
特開2005-072607(JP,A)
特開2004-146806(JP,A)
特開2004-296998(JP,A)
特開2006-228770(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/04
H01L 21/822
H01L 21/82
H01L 21/8234
H01L 27/088