



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0071898
(43) 공개일자 2023년05월24일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) G09G 3/3283 (2016.01)
G09G 5/00 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 3/3283 (2013.01)
(21) 출원번호 10-2021-0157564
(22) 출원일자 2021년11월16일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이진호
경기도 화성시 동탄중앙로 51(반송동, 동탄나루마을한화꿈에그린아파트) 626동 402호
박승환
경기도 안양시 동안구 시민대로159번길 59(비산동, 은하수청구아파트) 101동 902호
(뒷면에 계속)
(74) 대리인
박영우

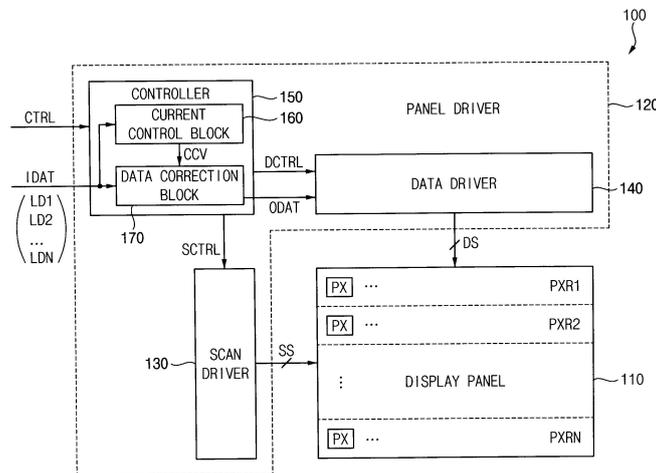
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치, 및 표시 장치의 구동 방법

(57) 요약

표시 장치는 제1 내지 제N 화소 행들을 포함하는 표시 패널, 및 각 프레임 구간에서 제1 내지 제N 화소 행들에 대한 제1 내지 제N 라인 데이터들을 순차적으로 수신하는 패널 구동부를 포함한다. 패널 구동부는, 제K 화소 행에 대한 제K 라인 데이터를 수신할 때, 현재 프레임 구간에서 수신된 제1 내지 제K 라인 데이터들 및 이전 프레임 구간에서 수신된 제K+1 내지 제N 라인 데이터들에 기초하여 제K+1 화소 행에 대한 전류 제어 값을 결정하는 전류 제어 블록, 및 현재 프레임 구간에서 전류 제어 값에 기초하여 제K+1 라인 데이터를 보정하는 데이터 보정 블록을 포함한다. 이에 따라, 전류 제어 값의 결정과 전류 제어 값의 적용 사이의 지연에 의한 과전류의 발생이 방지될 수 있다.

대표도



(52) CPC특허분류

G09G 5/001 (2013.01)

G09G 2320/0271 (2013.01)

G09G 2320/0626 (2013.01)

(72) 발명자

최영운

서울특별시 송파구 마천로7길 4(오금동, 대림아파트) 7동 1004호

박성재

경기도 성남시 중원구 시민로66번길 21(중앙동, 중앙동힐스테이트1차)

박승호

경기도 수원시 영통구 영통로 460(영통동, 대우.동신아파트) 301동 1304호

윤기태

서울특별시 강남구 강남대로 272(도곡동, 도곡푸르지오) 102동 504호

임남재

경기도 용인시 기흥구 삼성로 1(농서동)

명세서

청구범위

청구항 1

제1 내지 제N 화소 행들(N은 2 이상의 정수)을 포함하는 표시 패널; 및

각 프레임 구간에서 상기 제1 내지 제N 화소 행들에 대한 제1 내지 제N 라인 데이터들을 순차적으로 수신하고, 상기 제1 내지 제N 라인 데이터들에 기초하여 상기 표시 패널을 구동하는 패널 구동부를 포함하고,

상기 패널 구동부는,

현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 제K 화소 행(K는 1 이상 및 N 이하의 정수)에 대한 제K 라인 데이터를 수신할 때, 상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 화소 행들에 대한 제1 내지 제K 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+1 내지 상기 제N 화소 행들에 대한 제K+1 내지 제N 라인 데이터들에 기초하여 상기 제K+1 화소 행에 대한 전류 제어 값을 결정하는 전류 제어 블록; 및

상기 현재 프레임 구간에서 상기 전류 제어 값에 기초하여 상기 제K+1 화소 행에 대한 제K+1 라인 데이터를 보정하는 데이터 보정 블록을 포함하는 것을 특징으로 하는 표시 장치.

청구항 2

제1 항에 있어서, 상기 전류 제어 블록은,

상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 라인 데이터들 및 상기 이전 프레임 구간에서 수신된 상기 제K+1 내지 제N 라인 데이터들에 기초하여 평균 패널 휘도 레벨을 결정하고,

상기 평균 패널 휘도 레벨에 기초하여 상기 전류 제어 값을 결정하는 것을 특징으로 하는 표시 장치.

청구항 3

제2 항에 있어서, 상기 전류 제어 블록은,

상기 평균 패널 휘도 레벨이 증가할수록 상기 전류 제어 값을 감소시키는 것을 특징으로 하는 표시 장치.

청구항 4

제1 항에 있어서, 상기 전류 제어 블록은,

상기 제1 내지 제N 화소 행들 각각에 대한 라인 데이터에 포함된 화소 데이터들이 나타내는 계조 레벨들을 상기 제1 내지 제N 화소 행들 각각에 대한 화소 휘도들로 변환하는 계조-휘도 변환기;

상기 제1 내지 제N 화소 행들 각각에 대한 상기 화소 휘도들을 합산하여 상기 제1 내지 제N 화소 행들 각각에 대한 라인 휘도를 계산하는 라인 휘도 계산기;

상기 제1 내지 제N 화소 행들에 대한 라인 휘도들을 FIFO(First-In First-Out) 방식으로 저장하고, 상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들에 기초하여 평균 패널 휘도 레벨을 결정하는 평균 휘도 레벨 결정기;

상기 평균 패널 휘도 레벨에 상응하는 휘도 도메인 스케일 인자를 결정하는 휘도 도메인 스케일 인자 결정기; 및

상기 휘도 도메인 스케일 인자를 상기 전류 제어 값으로서 계조 도메인 스케일 인자로 변환하는 계조 도메인 스케일 인자 결정기를 포함하는 것을 특징으로 하는 표시 장치.

청구항 5

제4 항에 있어서, 상기 계조-휘도 변환기는,

수학적 " $PXLUM = (Gray)^\gamma$ "을 이용하여 각 화소 데이터가 나타내는 계조 레벨을 화소 휘도로 변환하고,

여기서, PXLUM는 상기 화소 휘도를 나타내고, Gray는 상기 계조 레벨을 나타내며, Gamma는 상기 표시 장치의 감마 값을 나타내는 것을 특징으로 하는 표시 장치.

청구항 6

제4 항에 있어서, 상기 계조-휘도 변환기는,

복수의 계조 레벨들에 각각 상응하는 복수의 화소 휘도들을 저장하는 계조-휘도 룩업 테이블을 포함하고,

상기 계조-휘도 룩업 테이블을 이용하여 각 화소 데이터가 나타내는 계조 레벨을 화소 휘도로 변환하는 것을 특징으로 하는 표시 장치.

청구항 7

제4 항에 있어서, 상기 평균 휘도 레벨 결정기는,

상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들을 저장하는 FIFO(First-In First-Out) 메모리로서, 상기 현재 프레임 구간에서의 현재 화소 행에 대한 현재 라인 휘도를 저장하면서 상기 이전 프레임 구간에서의 상기 현재 화소 행에 대한 이전 라인 휘도를 제거하는 상기 FIFO 메모리; 및

상기 FIFO 메모리에 저장된 상기 라인 휘도들을 합산하여 패널 휘도를 계산하고, 상기 패널 휘도를 최대 패널 휘도로 나누어 상기 평균 패널 휘도 레벨을 결정하는 평균 휘도 레벨 계산기를 포함하는 것을 특징으로 하는 표시 장치.

청구항 8

제4 항에 있어서, 상기 휘도 도메인 스케일 인자 결정기는,

상기 평균 패널 휘도 레벨이 기준 휘도 레벨 미만인 경우, 상기 휘도 도메인 스케일 인자를 최대 휘도 도메인 스케일 인자로 결정하고,

상기 평균 패널 휘도 레벨이 상기 기준 휘도 레벨 이상인 경우, 상기 평균 패널 휘도 레벨이 증가할수록 상기 휘도 도메인 스케일 인자를 감소시키는 것을 특징으로 하는 표시 장치.

청구항 9

제4 항에 있어서, 상기 계조 도메인 스케일 인자 결정기는,

수학식 " $GDSF = (LDSF)^{(1/Gamma)}$ "을 이용하여 상기 휘도 도메인 스케일 인자를 상기 계조 도메인 스케일 인자로 변환하고,

여기서, GDSF는 상기 계조 도메인 스케일 인자를 나타내고, LDSF는 상기 휘도 도메인 스케일 인자를 나타내며, Gamma는 상기 표시 장치의 감마 값을 나타내는 것을 특징으로 하는 표시 장치.

청구항 10

제4 항에 있어서, 상기 계조 도메인 스케일 인자 결정기는,

복수의 휘도 도메인 스케일 인자들에 각각 상응하는 복수의 계조 도메인 스케일 인자들을 저장하는 휘도-계조 스케일 인자 룩업 테이블을 포함하고,

상기 휘도-계조 스케일 인자 룩업 테이블을 이용하여 상기 휘도 도메인 스케일 인자를 상기 계조 도메인 스케일 인자로 변환하는 것을 특징으로 하는 표시 장치.

청구항 11

제1 항에 있어서, 상기 데이터 보정 블록은,

상기 전류 제어 값으로서 계조 도메인 스케일 인자를 수신하고,

상기 제K+1 라인 데이터를 보정하도록 상기 제K+1 라인 데이터에 포함된 화소 데이터들에 상기 계조 도메인 스케일 인자를 승산하는 것을 특징으로 하는 표시 장치.

청구항 12

제1 항에 있어서, 상기 전류 제어 블록은,

상기 제1 내지 제N 화소 행들에 대한 라인 휘도들과 상기 제1 내지 제N 화소 행들에 대한 휘도 도메인 스케일 인자들에 기초하여 스케일된 패널 휘도를 계산하고,

상기 스케일된 패널 휘도를 패널 휘도 제한 값과 비교하고,

상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기 전류 제어 값을 감소시키는 것을 특징으로 하는 표시 장치.

청구항 13

제12 항에 있어서, 상기 전류 제어 블록은,

상기 제K 라인 데이터가 수신될 때 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기 현재 프레임 구간에서 상기 제K+1 내지 제N 화소 행들에 대한 전류 제어 값들을 최소 전류 제어 값으로 결정하는 것을 특징으로 하는 표시 장치.

청구항 14

제12 항에 있어서, 상기 전류 제어 블록은,

상기 제K 라인 데이터가 수신될 때 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기 현재 프레임 구간에서 상기 제K+1 내지 제N 화소 행들에 대한 전류 제어 값들을 목표 전류 제어 값으로 점진적으로 감소시키는 것을 특징으로 하는 표시 장치.

청구항 15

제1 항에 있어서, 상기 전류 제어 블록은,

상기 제1 내지 제N 화소 행들 각각에 대한 라인 데이터에 포함된 화소 데이터들이 나타내는 계조 레벨들을 상기 제1 내지 제N 화소 행들 각각에 대한 화소 휘도들로 변환하는 계조-휘도 변환기;

상기 제1 내지 제N 화소 행들 각각에 대한 상기 화소 휘도들을 합산하여 상기 제1 내지 제N 화소 행들 각각에 대한 라인 휘도를 계산하는 라인 휘도 계산기;

상기 제1 내지 제N 화소 행들에 대한 라인 휘도들을 FIFO(First-In First-Out) 방식으로 저장하고, 상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들에 기초하여 평균 패널 휘도 레벨을 결정하는 평균 휘도 레벨 결정기;

상기 평균 패널 휘도 레벨에 상응하는 휘도 도메인 스케일 인자를 결정하는 휘도 도메인 스케일 인자 결정기;

상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들과 상기 제1 내지 제N 화소 행들에 대한 휘도 도메인 스케일 인자들을 각각 승산하고, 상기 승산의 결과들을 합산하여 스케일된 패널 휘도를 계산하는 스케일된 패널 휘도 계산기;

상기 스케일된 패널 휘도를 패널 휘도 제한 값과 비교하고, 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우 상기 휘도 도메인 스케일 인자를 감소시키는 과전류 보호기; 및

상기 과전류 보호기로부터 출력된 상기 휘도 도메인 스케일 인자를 상기 전류 제어 값으로서 계조 도메인 스케일 인자로 변환하는 계조 도메인 스케일 인자 결정기를 포함하는 것을 특징으로 하는 표시 장치.

청구항 16

제1 내지 제N 화소 행들(N은 2 이상의 정수)을 포함하는 표시 패널; 및

각 프레임 구간에서 상기 제1 내지 제N 화소 행들에 대한 제1 내지 제N 라인 데이터들을 순차적으로 수신하고, 상기 제1 내지 제N 라인 데이터들에 기초하여 상기 표시 패널을 구동하는 패널 구동부를 포함하고,

상기 패널 구동부는,

현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 제K 화소 행(K는 1 이상 및 N 이하의 정수)에 대한 제K 라인 데이터를 수신할 때, 상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 화소 행들에 대한 제1 내지 제K 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+1 내지 상기 제N 화소 행들에 대한 제K+1 내지 제N 라인 데이터들에 기초하여 평균 패널 휘도 레벨을 결정하고, 상기 평균 패널 휘도 레벨에 기초하여 상기 제K+1 화소 행에 대한 스케일 인자를 결정하는 전류 제어 블록; 및

상기 현재 프레임 구간에서 상기 스케일 인자에 기초하여 상기 제K+1 화소 행에 대한 제K+1 라인 데이터를 보정하는 데이터 보정 블록을 포함하는 것을 특징으로 하는 표시 장치.

청구항 17

제16 항에 있어서, 상기 전류 제어 블록은,

상기 평균 패널 휘도 레벨이 증가할수록 상기 스케일 인자를 감소시키는 것을 특징으로 하는 표시 장치.

청구항 18

제16 항에 있어서, 상기 데이터 보정 블록은,

상기 제K+1 라인 데이터를 보정하도록 상기 제K+1 라인 데이터에 포함된 화소 데이터들에 상기 스케일 인자를 승산하는 것을 특징으로 하는 표시 장치.

청구항 19

제1 내지 제N 화소 행들(N은 2 이상의 정수)을 포함하는 표시 장치의 구동 방법에 있어서,

현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 제K 화소 행(K는 1 이상 및 N 이하의 정수)에 대한 제K 라인 데이터를 수신하는 단계;

상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 화소 행들에 대한 제1 내지 제K 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+1 내지 상기 제N 화소 행들에 대한 제K+1 내지 제N 라인 데이터들에 기초하여 상기 제K+1 화소 행에 대한 전류 제어 값을 결정하는 단계;

상기 현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 상기 제K+1 화소 행에 대한 제K+1 라인 데이터를 수신하는 단계;

상기 현재 프레임 구간에서 상기 전류 제어 값에 기초하여 상기 제K+1 라인 데이터를 보정하는 단계; 및

상기 보정된 제K+1 라인 데이터에 기초하여 상기 제K+1 화소 행을 구동하는 단계를 포함하는 표시 장치의 구동 방법.

청구항 20

제19 항에 있어서,

상기 제1 내지 제N 화소 행들에 대한 라인 휘도들과 상기 제1 내지 제N 화소 행들에 대한 휘도 도메인 스케일 인자들에 기초하여 스케일된 패널 휘도를 계산하는 단계;

상기 스케일된 패널 휘도를 패널 휘도 제한 값과 비교하는 단계; 및

상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기전류 제어 값을 감소시키는 단계를 더 포함하는 것을 특징으로 하는 표시 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 전류를 제어하는 표시 장치, 및 상기 표시 장치의 구동 방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 상기 표시 장치에서 과전류가 발생하는 것을 방지하도록 전류 제어 기술을 채용할 수 있다. 일반적으로, 이러한 전류 제어 기술은 프레임 데이터를 분석하여 전류 제어 값을 결정하고, 다음 프레임 데이터에 기초하여 영상을 표시할 때 상기 전류 제어 값을 적용할 수 있다. 즉, 상기 전류 제어 값의 결정과 상기 전류 제어 값의 적용 사이에 한 프레임의 지연이 존재할 수 있다. 이에 따라, 이전 프레임 구간에서 저휘도 영상(예를 들어, 블랙 영상)이 표시되고, 현재 프레임 구간에서 고휘도 영상(예를 들어, 화이트 영상)이 표시되는 경우, 상기 현재 프레임 구간에서, 상기 고휘도 영상에 상응하는 전류 제어 값이 아닌, 상기 저휘도 영상에 상응하는 전류 제어 값이 적용되고, 과전류가 발생할 수 있는 문제가 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 라인 주기로 전류를 제어할 수 있는 표시 장치를 제공하는 것이다.

[0004] 본 발명의 다른 목적은 라인 주기로 전류를 제어할 수 있는 표시 장치의 구동 방법을 제공하는 것이다.

[0005] 다만, 본 발명의 해결하고자 하는 과제는 상기 언급된 과제에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 표시 장치는 제1 내지 제N 화소 행들(N은 2 이상의 정수)을 포함하는 표시 패널, 및 각 프레임 구간에서 상기 제1 내지 제N 화소 행들에 대한 제1 내지 제N 라인 데이터들을 순차적으로 수신하고, 상기 제1 내지 제N 라인 데이터들에 기초하여 상기 표시 패널을 구동하는 패널 구동부를 포함한다. 상기 패널 구동부는, 현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 제K 화소 행(K는 1 이상 및 N 이하의 정수)에 대한 제K 라인 데이터를 수신할 때, 상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 화소 행들에 대한 제1 내지 제K 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+1 내지 상기 제N 화소 행들에 대한 제K+1 내지 제N 라인 데이터들에 기초하여 상기 제K+1 화소 행에 대한 전류 제어 값을 결정하는 전류 제어 블록, 및 상기 현재 프레임 구간에서 상기 전류 제어 값에 기초하여 상기 제K+1 화소 행에 대한 제K+1 라인 데이터를 보정하는 데이터 보정 블록을 포함한다.

[0007] 일 실시예에서, 상기 전류 제어 블록은, 상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 라인 데이터들 및 상기 이전 프레임 구간에서 수신된 상기 제K+1 내지 제N 라인 데이터들에 기초하여 평균 패널 휘도 레벨을 결정하고, 상기 평균 패널 휘도 레벨에 기초하여 상기 전류 제어 값을 결정할 수 있다.

[0008] 일 실시예에서, 상기 전류 제어 블록은, 상기 평균 패널 휘도 레벨이 증가할수록 상기 전류 제어 값을 감소시킬 수 있다.

[0009] 일 실시예에서, 상기 전류 제어 블록은, 상기 제1 내지 제N 화소 행들 각각에 대한 라인 데이터에 포함된 화소 데이터들이 나타내는 계조 레벨들을 상기 제1 내지 제N 화소 행들 각각에 대한 화소 휘도들로 변환하는 계조-휘도 변환기, 상기 제1 내지 제N 화소 행들 각각에 대한 상기 화소 휘도들을 합산하여 상기 제1 내지 제N 화소 행들 각각에 대한 라인 휘도를 계산하는 라인 휘도 계산기, 상기 제1 내지 제N 화소 행들에 대한 라인 휘도들을 FIFO(First-In First-Out) 방식으로 저장하고, 상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들에 기초하여 평균 패널 휘도 레벨을 결정하는 평균 휘도 레벨 결정기, 상기 평균 패널 휘도 레벨에 상응하는 휘도 도메인 스케일 인자를 결정하는 휘도 도메인 스케일 인자 결정기, 및 상기 휘도 도메인 스케일 인자를 상기 전류 제어 값으로서 계조 도메인 스케일 인자로 변환하는 계조 도메인 스케일 인자 결정기를 포함할 수 있다.

[0010] 일 실시예에서, 상기 계조-휘도 변환기는, 수학적 식 $PXLUM = (Gray)^\gamma$ 를 이용하여 각 화소 데이터가 나타내는 계조 레벨을 화소 휘도로 변환하고, 여기서, PXLUM은 상기 화소 휘도를 나타내고, Gray는 상기 계조 레벨을 나타내며, γ 는 상기 표시 장치의 감마 값을 나타낼 수 있다.

[0011] 일 실시예에서, 상기 계조-휘도 변환기는, 복수의 계조 레벨들에 각각 상응하는 복수의 화소 휘도들을 저장하는 계조-휘도 룩업 테이블을 포함하고, 상기 계조-휘도 룩업 테이블을 이용하여 각 화소 데이터가 나타내는 계조 레벨을 화소 휘도로 변환할 수 있다.

[0012] 일 실시예에서, 상기 평균 휘도 레벨 결정기는, 상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들을 저장하는 FIFO(First-In First-Out) 메모리로서, 상기 현재 프레임 구간에서의 현재 화소 행에 대한 현재 라인 휘도

를 저장하면서 상기 이전 프레임 구간에서의 상기 현재 화소 행에 대한 이전 라인 휘도를 제거하는 상기 FIFO 메모리, 및 상기 FIFO 메모리에 저장된 상기 라인 휘도들을 합산하여 패널 휘도를 계산하고, 상기 패널 휘도를 최대 패널 휘도로 나누어 상기 평균 패널 휘도 레벨을 결정하는 평균 휘도 레벨 계산기를 포함할 수 있다.

- [0013] 일 실시예에서, 상기 휘도 도메인 스케일 인자 결정기는, 상기 평균 패널 휘도 레벨이 기준 휘도 레벨 미만인 경우, 상기 휘도 도메인 스케일 인자를 최대 휘도 도메인 스케일 인자로 결정하고, 상기 평균 패널 휘도 레벨이 상기 기준 휘도 레벨 이상인 경우, 상기 평균 패널 휘도 레벨이 증가할수록 상기 휘도 도메인 스케일 인자를 감소시킬 수 있다.
- [0014] 일 실시예에서, 상기 계조 도메인 스케일 인자 결정기는, 수학적식 " $GDSF = (LDSF)^{(1/\Gamma)}$ "을 이용하여 상기 휘도 도메인 스케일 인자를 상기 계조 도메인 스케일 인자로 변환하고, 여기서, GDSF는 상기 계조 도메인 스케일 인자를 나타내고, LDSF는 상기 휘도 도메인 스케일 인자를 나타내며, Γ 는 상기 표시 장치의 감마 값을 나타낼 수 있다.
- [0015] 일 실시예에서, 상기 계조 도메인 스케일 인자 결정기는, 복수의 휘도 도메인 스케일 인자들에 각각 상응하는 복수의 계조 도메인 스케일 인자들을 저장하는 휘도-계조 스케일 인자 룩업 테이블을 포함하고, 상기 휘도-계조 스케일 인자 룩업 테이블을 이용하여 상기 휘도 도메인 스케일 인자를 상기 계조 도메인 스케일 인자로 변환할 수 있다.
- [0016] 일 실시예에서, 상기 데이터 보정 블록은, 상기 전류 제어 값으로서 계조 도메인 스케일 인자를 수신하고, 상기 제K+1 라인 데이터를 보정하도록 상기 제K+1 라인 데이터에 포함된 화소 데이터들에 상기 계조 도메인 스케일 인자를 승산할 수 있다.
- [0017] 일 실시예에서, 상기 전류 제어 블록은, 상기 제1 내지 제N 화소 행들에 대한 라인 휘도들과 상기 제1 내지 제N 화소 행들에 대한 휘도 도메인 스케일 인자들에 기초하여 스케일된 패널 휘도를 계산하고, 상기 스케일된 패널 휘도를 패널 휘도 제한 값과 비교하고, 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기 전류 제어 값을 감소시킬 수 있다.
- [0018] 일 실시예에서, 상기 전류 제어 블록은, 상기 제K 라인 데이터가 수신될 때 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기 현재 프레임 구간에서 상기 제K+1 내지 제N 화소 행들에 대한 전류 제어 값들을 최소 전류 제어 값으로 결정할 수 있다.
- [0019] 일 실시예에서, 상기 전류 제어 블록은, 상기 제K 라인 데이터가 수신될 때 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기 현재 프레임 구간에서 상기 제K+1 내지 제N 화소 행들에 대한 전류 제어 값들을 목표 전류 제어 값으로 점진적으로 감소시킬 수 있다.
- [0020] 일 실시예에서, 상기 전류 제어 블록은, 상기 제1 내지 제N 화소 행들 각각에 대한 라인 데이터에 포함된 화소 데이터들이 나타내는 계조 레벨들을 상기 제1 내지 제N 화소 행들 각각에 대한 화소 휘도들로 변환하는 계조-휘도 변환기, 상기 제1 내지 제N 화소 행들 각각에 대한 상기 화소 휘도들을 합산하여 상기 제1 내지 제N 화소 행들 각각에 대한 라인 휘도를 계산하는 라인 휘도 계산기, 상기 제1 내지 제N 화소 행들에 대한 라인 휘도들을 FIFO(First-In First-Out) 방식으로 저장하고, 상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들에 기초하여 평균 패널 휘도 레벨을 결정하는 평균 휘도 레벨 결정기, 상기 평균 패널 휘도 레벨에 상응하는 휘도 도메인 스케일 인자를 결정하는 휘도 도메인 스케일 인자 결정기, 상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들과 상기 제1 내지 제N 화소 행들에 대한 휘도 도메인 스케일 인자들을 각각 승산하고, 상기 승산의 결과들을 합산하여 스케일된 패널 휘도를 계산하는 스케일된 패널 휘도 계산기, 상기 스케일된 패널 휘도를 패널 휘도 제한 값과 비교하고, 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우 상기 휘도 도메인 스케일 인자를 감소시키는 과전류 보호기, 및 상기 과전류 보호기로부터 출력된 상기 휘도 도메인 스케일 인자를 상기 전류 제어 값으로서 계조 도메인 스케일 인자로 변환하는 계조 도메인 스케일 인자 결정기를 포함할 수 있다.
- [0021] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 표시 장치는 제1 내지 제N 화소 행들(N은 2 이상의 정수)을 포함하는 표시 패널, 및 각 프레임 구간에서 상기 제1 내지 제N 화소 행들에 대한 제1 내지 제N 라인 데이터들을 순차적으로 수신하고, 상기 제1 내지 제N 라인 데이터들에 기초하여 상기 표시 패널을 구동하는 패널 구동부를 포함한다. 상기 패널 구동부는, 현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 제K 화소 행(K는 1 이상 및 N 이하의 정수)에 대한 제K 라인 데이터를 수신할 때, 상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 화소 행들에 대한 제1 내지 제K 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+1

내지 상기 제N 화소 행들에 대한 제K+1 내지 제N 라인 데이터들에 기초하여 평균 패널 휘도 레벨을 결정하고, 상기 평균 패널 휘도 레벨에 기초하여 상기 제K+1 화소 행에 대한 스케일 인자를 결정하는 전류 제어 블록, 및 상기 현재 프레임 구간에서 상기 스케일 인자에 기초하여 상기 제K+1 화소 행에 대한 제K+1 라인 데이터를 보정하는 데이터 보정 블록을 포함한다.

[0022] 일 실시예에서, 상기 전류 제어 블록은, 상기 평균 패널 휘도 레벨이 증가할수록 상기 스케일 인자를 감소시킬 수 있다.

[0023] 일 실시예에서, 상기 데이터 보정 블록은, 상기 제K+1 라인 데이터를 보정하도록 상기 제K+1 라인 데이터에 포함된 화소 데이터들에 상기 스케일 인자를 승산할 수 있다.

[0024] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 제1 내지 제N 화소 행들(N은 2 이상의 정수)을 포함하는 표시 장치의 구동 방법에서, 현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 제K 화소 행(K는 1 이상 및 N 이하의 정수)에 대한 제K 라인 데이터가 수신되고, 상기 현재 프레임 구간에서 수신된 상기 제1 내지 제K 화소 행들에 대한 제1 내지 제K 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+1 내지 상기 제N 화소 행들에 대한 제K+1 내지 제N 라인 데이터들에 기초하여 상기 제K+1 화소 행에 대한 전류 제어 값이 결정되고, 상기 현재 프레임 구간에서 상기 제1 내지 제N 화소 행들 중 상기 제K+1 화소 행에 대한 제K+1 라인 데이터가 수신되고, 상기 현재 프레임 구간에서 상기 전류 제어 값에 기초하여 상기 제K+1 라인 데이터가 보정되고, 상기 보정된 제K+1 라인 데이터에 기초하여 상기 제K+1 화소 행이 구동된다.

[0025] 일 실시예에서, 상기 제1 내지 제N 화소 행들에 대한 라인 휘도들과 상기 제1 내지 제N 화소 행들에 대한 휘도 도메인 스케일 인자들에 기초하여 스케일된 패널 휘도가 계산되고, 상기 스케일된 패널 휘도가 패널 휘도 제한 값과 비교되고, 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 상기 전류 제어 값이 감소될 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 표시 장치, 및 상기 표시 장치의 구동 방법에서, 제K 화소 행에 대한 제K 라인 데이터가 수신될 때, 현재 프레임 구간에서 수신된 제1 내지 제K 라인 데이터들 및 이전 프레임 구간에서 수신된 제K+1 내지 제N 라인 데이터들에 기초하여 제K+1 화소 행에 대한 전류 제어 값이 결정되고, 상기 전류 제어 값에 기초하여 제K+1 라인 데이터가 보정될 수 있다. 이에 따라, 상기 전류 제어 값의 결정과 상기 전류 제어 값의 적용 사이의 지연에 의한 과전류의 발생이 방지될 수 있다.

[0027] 다만, 본 발명의 효과는 상기 언급한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.
- 도 2는 본 발명의 실시예들에 따른 표시 장치의 동작의 일 예를 설명하기 위한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 전류 제어 블록을 나타내는 블록도이다.
- 도 4는 계조-휘도 변환기의 동작의 일 예를 설명하기 위한 도면이다.
- 도 5는 계조-휘도 변환기의 일 예를 나타내는 블록도이다.
- 도 6은 평균 휘도 레벨 결정기의 일 예를 나타내는 블록도이다.
- 도 7은 휘도 도메인 스케일 인자 결정기의 동작의 일 예를 설명하기 위한 도면이다.
- 도 8은 계조 도메인 스케일 인자 결정기의 동작의 일 예를 설명하기 위한 도면이다.
- 도 9는 계조 도메인 스케일 인자 결정기의 일 예를 나타내는 블록도이다.
- 도 10은 본 발명의 일 실시예에 따른 표시 장치의 구동 방법을 나타내는 순서도이다.
- 도 11은 본 발명의 다른 실시예에 따른 전류 제어 블록을 나타내는 블록도이다.
- 도 12는 본 발명의 다른 실시예에 따른 전류 제어 블록의 동작의 일 예를 설명하기 위한 도면이다.

도 13은 본 발명의 또 다른 실시예에 따른 전류 제어 블록의 동작의 일 예를 설명하기 위한 도면이다.

도 14는 본 발명의 다른 실시예에 따른 표시 장치의 구동 방법을 나타내는 순서도이다.

도 15는 본 발명의 다른 실시예에 따른 전류 제어 값의 일 예를 나타내는 도면이다.

도 16은 본 발명의 또 다른 실시예에 따른 표시 장치의 구동 방법을 나타내는 순서도이다.

도 17은 본 발명의 또 다른 실시예에 따른 전류 제어 값의 일 예를 나타내는 도면이다.

도 18은 본 발명의 실시예들에 따른 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0030] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이고, 도 2는 본 발명의 실시예들에 따른 표시 장치의 동작의 일 예를 설명하기 위한 도면이다.
- [0031] 도 1을 참조하면, 본 발명의 실시예들에 따른 표시 장치(100)는 복수의 화소들(PX)을 포함하는 표시 패널(110), 및 입력 영상 데이터(IDAT)에 기초하여 표시 패널(110)을 구동하는 패널 구동부(120)를 포함한다. 일 실시예에서, 패널 구동부(120)는 복수의 화소들(PX)에 스캔 신호들(SS)을 제공하는 스캔 드라이버(130), 복수의 화소들(PX)에 데이터 신호들(DS)을 제공하는 데이터 드라이버(140), 및 스캔 드라이버(130) 및 데이터 드라이버(140)를 제어하는 컨트롤러(150)를 포함할 수 있다.
- [0032] 표시 패널(110)은 각각이 복수의 화소들(PX)을 포함하는 제1 내지 제N 화소 행들(PXR1, PXR2, ..., PXRN)(N은 2 이상의 정수)을 포함할 수 있다. 여기서, 각 화소 행(PXR1 내지 PXRN)은 동일한 행의 복수의 화소들(PX)로서, 동일한 스캔 신호(SS)를 수신하는 복수의 화소들(PX)일 수 있다. 일 실시예에서, 각 화소(PX)는 적어도 두 개의 트랜지스터들, 적어도 하나의 커패시터 및 발광 소자를 포함하고, 표시 패널(110)은 발광 표시 패널일 수 있다. 예를 들어, 상기 발광 소자는 유기 발광 다이오드(Organic Light Emitting Diode; OLED)이고, 표시 패널(110)은 OLED 표시 패널일 수 있다. 다른 예들에서, 상기 발광 소자는 나노 발광 다이오드(Nano light Emitting Diode; NED), 퀀텀 닷(Quantum Dot; QD) 발광 다이오드, 마이크로 발광 다이오드, 무기 발광 다이오드, 또는 다른 임의의 적합한 발광 소자일 수 있다. 다른 실시예에서, 각 화소(PX)는 스위칭 트랜지스터 및 상기 스위칭 트랜지스터에 연결된 액정 커패시터를 포함하고, 표시 패널(110)은 액정 표시(Liquid Crystal Display; LCD) 패널일 수 있다. 다만, 표시 패널(110)은 상기 발광 표시 패널 및 상기 LCD 패널에 한정되지 않고, 임의의 표시 패널일 수 있다.
- [0033] 스캔 드라이버(130)는 컨트롤러(150)로부터 수신된 스캔 제어 신호(SCTRL)에 기초하여 스캔 신호들(SS)을 생성하고, 복수의 화소들(PX)에 스캔 신호들(SS)을 화소 행 단위로 순차적으로 제공할 수 있다. 일 실시예에서, 스캔 제어 신호(SCTRL)는 스캔 시작 신호 및 스캔 클럭 신호를 포함할 수 있으나, 이에 한정되지 않는다. 일 실시예에서, 스캔 드라이버(130)는 표시 패널(110)의 주변부에 집적 또는 형성될 수 있다. 다른 실시예에서, 스캔 드라이버(130)는 하나 또는 그 이상의 집적 회로들로 구현될 수 있다.
- [0034] 데이터 드라이버(140)는 컨트롤러(150)로부터 수신된 출력 영상 데이터(ODAT) 및 데이터 제어 신호(DCTRL)에 기초하여 데이터 신호들(DS)을 생성하고, 복수의 화소들(PX)에 데이터 신호들(DS)을 제공할 수 있다. 일 실시예에서, 데이터 제어 신호(DCTRL)는 수평 개시 신호 및 로드 신호를 포함할 수 있으나, 이에 한정되지 않는다. 일 실시예에서, 데이터 드라이버(140) 및 컨트롤러(150)는 단일한 집적 회로로 구현될 수 있고, 이러한 집적 회로는 타이밍 컨트롤러 임베디드 데이터 드라이버(Timing controller Embedded Data driver; TED)로 불릴 수 있다. 다른 실시예에서, 데이터 드라이버(140) 및 컨트롤러(150)는 별개의 집적 회로들로 구현될 수 있다.
- [0035] 컨트롤러(예를 들어, 타이밍 컨트롤러(Timing Controller; TCON))(150)는 외부의 호스트 프로세서(예를 들어, 어플리케이션 프로세서(Application Processor; AP), 그래픽 처리부(Graphics Processing Unit; GPU) 또는 그래픽 카드(Graphics Card))로부터 입력 영상 데이터(IDAT) 및 제어 신호(CTRL)를 제공받을 수 있다. 입력 영상 데이터(IDAT)는 제1 내지 제N 화소 행들(PXR1, PXR2, ..., PXRN)에 대한 제1 내지 제N 라인 데이터들(LD1, LD2, ..., LDN)을 포함하고, 컨트롤러(150)는 각 프레임 구간에서 제1 내지 제N 라인 데이터들(LD1 내지 LDN)을 순차적으로 수신할 수 있다. 일 실시예에서, 제어 신호(CTRL)는 수직 동기 신호, 수평 동기 신호, 입력 데이터 인에이블 신호, 마스터 클럭 신호 등을 포함할 수 있으나, 이에 한정되지 않는다. 컨트롤러(150)는 입력 영상 데이

터(IDAT) 및 제어 신호(CTRL)에 기초하여 출력 영상 데이터(ODAT), 데이터 제어 신호(DCTRL) 및 스캔 제어 신호(SCTRL)를 생성하고, 스캔 드라이버(130)에 스캔 제어 신호(SCTRL)를 제공하여 스캔 드라이버(130)를 제어하고, 데이터 드라이버(140)에 출력 영상 데이터(ODAT) 및 데이터 제어 신호(DCTRL)를 제공하여 데이터 드라이버(140)의 동작을 제어할 수 있다.

[0036] 본 발명의 실시예들에 따른 표시 장치(100)에서, 패널 구동부(120)는 각 프레임 구간에서 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 제1 내지 제N 라인 데이터들(LD1 내지 LDN)을 순차적으로 수신하고, 라인 주기 또는 화소 행 주기로 전류 제어 동작을 수행할 수 있다. 일 실시예에서, 패널 구동부(120)는 현재 라인 데이터를 수신할 때 다음 라인 데이터에 대한 전류 제어 값(CCV)을 생성하고, 전류 제어 값(CCV)에 기초하여 상기 다음 라인 데이터를 보정할 수 있다. 이러한 동작을 수행하도록, 패널 구동부(120)의 컨트롤러(150)는 전류 제어 블록(160) 및 데이터 보정 블록(170)을 포함할 수 있다.

[0037] 전류 제어 블록(160)은, 상기 현재 라인 데이터가 수신될 때, 상기 다음 라인 데이터에 대한 전류 제어 값(CCV)을 생성할 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 현재 프레임 구간(CFP)에서 제1 내지 제N 화소 행들(PXR1 내지 PXRN) 중 제K 화소 행(K는 1 이상 및 N 이하의 정수)에 대한 제K 라인 데이터(LDK)가 수신되면, 전류 제어 블록(160)은 현재 프레임 구간(CFP)에서 수신된 제1 내지 제K 화소 행들(PXR1, PXR2, ...)에 대한 제1 내지 제K 라인 데이터들(LD1, LD2, ..., LDK), 및 이전 프레임 구간(PFP)에서 수신된 제K+1 내지 제N 화소 행들(..., PXRN)에 대한 제K+1 내지 제N 라인 데이터들(LDK+1, ..., LDN)에 기초하여 제K+1 화소 행에 대한 전류 제어 값(CCV)을 결정할 수 있다. 일 실시예에서, 전류 제어 블록(160)은 현재 프레임 구간(CFP)에서 수신된 제1 내지 제K 라인 데이터들(LD1, LD2, ..., LDK) 및 이전 프레임 구간(PFP)에서 수신된 제K+1 내지 제N 라인 데이터들(LDK+1, ..., LDN)에 기초하여 평균 패널 휘도 레벨을 결정하고, 상기 평균 패널 휘도 레벨에 기초하여 전류 제어 값(CCV)을 결정할 수 있다. 또한, 일 실시예에서, 전류 제어 블록(160)은 상기 평균 패널 휘도 레벨이 증가할수록 전류 제어 값(CCV)을 감소시킬 수 있다.

[0038] 일 실시예에서, 도 11 내지 도 17을 참조하여 후술되는 바와 같이, 전류 제어 블록(160)은 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 라인 휘도들과 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 휘도 도메인 스케일 인자들에 기초하여 스케일된 패널 휘도를 계산하고, 상기 스케일된 패널 휘도를 패널 휘도 제한 값과 비교할 수 있다. 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 전류 제어 블록(160)은 전류 제어 값(CCV)을 감소시킬 수 있다. 일 실시예에서, 상기 제K 라인 데이터가 수신될 때 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 전류 제어 블록(160)은 현재 프레임 구간(CFP)에서 상기 제K+1 내지 제N 화소 행들에 대한 전류 제어 값들(CCV)을 최소 전류 제어 값(예를 들어, 약 0)으로 결정할 수 있다. 다른 실시예에서, 상기 제K 라인 데이터가 수신될 때 상기 스케일된 패널 휘도가 상기 패널 휘도 제한 값을 초과하는 경우, 전류 제어 블록(160)은 현재 프레임 구간(CFP)에서 상기 제K+1 내지 제N 화소 행들에 대한 전류 제어 값들(CCV)을 목표 전류 제어 값(예를 들어, 약 0.2)으로 점진적으로 감소시킬 수 있다.

[0039] 데이터 보정 블록(170)은 현재 프레임 구간(CFP)에서 상기 제K+1 화소 행에 대한 전류 제어 값(CCV)에 기초하여 상기 제K+1 화소 행에 대한 제K+1 라인 데이터(LDK+1)를 보정할 수 있다. 일 실시예에서, 데이터 보정 블록(170)은 전류 제어 블록(160)으로부터 전류 제어 값(CCV)으로서 계조 도메인 스케일 인자를 수신하고, 제K+1 라인 데이터(LDK+1)를 보정하도록 제K+1 라인 데이터(LDK+1)에 포함된 화소 데이터들에 상기 계조 도메인 스케일 인자를 승산할 수 있다. 예를 들어, 전류 제어 값(CCV), 즉 상기 계조 도메인 스케일 인자는 0 이상 및 1 이하의 값을 가질 수 있고, 보정된 제K+1 라인 데이터(LDK+1)는 원본 제K+1 라인 데이터(LDK+1)에 비하여 감소될 수 있고, 보정된 제K+1 라인 데이터(LDK+1)에 기초하여 구동되는 상기 제K+1 화소 행의 전류는 원본 제K+1 라인 데이터(LDK+1)에 기초하여 구동되는 상기 제K+1 화소 행의 전류에 비하여 감소될 수 있다.

[0040] 한편, 종래의 표시 장치에서는, 프레임 주기로 전류 제어 동작이 수행될 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 이전 프레임 구간(PFP)에서의 이전 프레임 데이터(PFD)에 기초하여 전류 제어 값(PCCV)이 결정되고, 현재 프레임 구간(CFP)에서의 현재 프레임 데이터(CFD)에, 이전 프레임 데이터(PFD)에 기초하여 결정된 전류 제어 값(PCCV)이 적용될 수 있다. 즉, 상기 종래의 표시 장치에서는, 전류 제어 값(PCCV)의 결정과 전류 제어 값(PCCV)의 적용 사이에 한 프레임의 지연이 존재할 수 있다. 따라서, 이전 프레임 구간(PFP)에서 저휘도 영상(예를 들어, 블랙 영상)이 표시되고, 현재 프레임 구간(CFP)에서 고휘도 영상(예를 들어, 화이트 영상)이 표시되는 경우, 현재 프레임 구간(CFP)에서, 상기 고휘도 영상에 반응하는 전류 제어 값이 아닌, 상기 저휘도 영상에 반응하는 전류 제어 값(PCCV)이 적용되고, 과전류(Over Current) 또는 돌입 전류(Rush Current)가 발생할 수 있는 문제가 있다. 그러나, 본 발명의 실시예들에 따른 표시 장치(100)에서는, 전류 제어 동작이 라인 주기 또는 화소 행 주기로 수행될 수 있다. 즉, 현재 라인 데이터(LDK)가 수신될 때 다음 라인 데이터(LDK+1)에 대한 전류

제어 값(CCV)이 결정되고, 다음 라인 데이터(LDK+1)에 전류 제어 값(CCV)이 적용될 수 있다. 따라서, 본 발명의 실시예들에 따른 표시 장치(100)에서는, 전류 제어 값(CCV)의 결정과 전류 제어 값(CCV)의 적용 사이에 한 라인 또는 한 화소 행의 지연만이 존재할 수 있다. 이에 따라, 본 발명의 실시예들에 따른 표시 장치(100)에서는, 별도의 프레임 메모리를 이용하지 않더라도, 전류 제어 값(CCV)의 결정과 전류 제어 값(CCV)의 적용 사이의 상기 지연에 의한 상기 과전류 또는 상기 돌입 전류의 발생이 방지될 수 있다.

[0041] 도 3은 본 발명의 일 실시예에 따른 전류 제어 블록을 나타내는 블록도이고, 도 4는 계조-휘도 변환기의 동작의 일 예를 설명하기 위한 도면이고, 도 5는 계조-휘도 변환기의 일 예를 나타내는 블록도이고, 도 6은 평균 휘도 레벨 결정기의 일 예를 나타내는 블록도이고, 도 7은 휘도 도메인 스케일 인자 결정기의 동작의 일 예를 설명하기 위한 도면이고, 도 8은 계조 도메인 스케일 인자 결정기의 동작의 일 예를 설명하기 위한 도면이고, 도 9는 계조 도메인 스케일 인자 결정기의 일 예를 나타내는 블록도이다.

[0042] 도 3을 참조하면, 전류 제어 블록(160a)은 계조-휘도 변환기(210), 라인 휘도 계산기(220), 평균 휘도 레벨 결정기(230), 휘도 도메인 스케일 인자 결정기(240) 및 계조 도메인 스케일 인자 결정기(250)를 포함할 수 있다.

[0043] 계조-휘도 변환기(210)는 각 화소 행에 대한 라인 데이터(LD)에 포함된 화소 데이터들(PXD)이 나타내는 계조 레벨들을 상기 화소 행에 대한 화소 휘도들(PXLUM)로 변환할 수 있다. 도 4에는 계조 레벨(Gray)에 따른 화소 휘도(PXLUM)의 커브(300)의 일 예가 도시되어 있다. 일 실시예에서, 도 4에 도시된 바와 같이, 계조-휘도 변환기(210)는 수학적식(350), 즉 " $PXLUM = (Gray)^{\Gamma}$ "을 이용하여 각 화소 데이터(PXD)가 나타내는 계조 레벨(Gray)을 화소 휘도(PXLUM)로 변환할 수 있다. 여기서, PXLUM는 상기 화소 휘도를 나타내고, Gray는 상기 계조 레벨을 나타내며, Γ 는 표시 장치의 감마 값을 나타낼 수 있다. 예를 들어, 감마 값(Γ)은 약 2.2일 수 있으나, 이에 한정되지 않는다.

[0044] 다른 실시예에서, 도 5에 도시된 바와 같이, 계조-휘도 변환기(210)는 복수의 계조 레벨들(G_1, G_2, \dots, G_{255})에 각각 상응하는 복수의 화소 휘도들($PXLUM_1, PXLUM_2, \dots, PXLUM_{255}$)을 저장하는 계조-휘도 룩업 테이블(Lookup table; LUT)(215)을 포함할 수 있다. 예를 들어, 계조-휘도 룩업 테이블(215)은 1-계조 레벨(G_1) 내지 255-계조 레벨(G_{255})에 각각 상응하는 255개의 화소 휘도들($PXLUM_1, PXLUM_2, \dots, PXLUM_{255}$)을 저장할 수 있으나, 이에 한정되지 않는다. 계조-휘도 변환기(210)는 계조-휘도 룩업 테이블(215)을 이용하여 각 화소 데이터(PXD)가 나타내는 계조 레벨을 화소 휘도로 변환할 수 있다.

[0045] 라인 휘도 계산기(220)는 각 화소 행에 대한 화소 휘도들(PXLUM)을 합산하여 상기 화소 행에 대한 라인 휘도(LLUM)를 계산할 수 있다. 한편, 제1 내지 제N 화소 행들에 대한 제1 내지 제N 라인 데이터들이 순차적으로 수신되므로, 라인 휘도 계산기(220)는 상기 제1 내지 제N 라인 데이터들에 대한 제1 내지 제N 라인 휘도들을 순차적으로 계산하고, 상기 제1 내지 제N 라인 휘도들을 순차적으로 출력할 수 있다.

[0046] 평균 휘도 레벨 결정기(230)는 상기 제1 내지 제N 화소 행들에 대한 라인 휘도들을 FIFO(First-In First-Out) 방식으로 저장할 수 있다. 예를 들어, 평균 휘도 레벨 결정기(230)는 상기 제1 내지 제N 화소 행들에 대한 N개의 라인 휘도들을 순차적으로 수신 및 저장하고, 가장 최근에 수신된 라인 휘도(LLUM)를 저장하면서 가장 예전에 저장된 라인 휘도(LLUM)를 제거하여 상기 N개의 라인 휘도들을 저장하는 것을 유지할 수 있다. 또한, 평균 휘도 레벨 결정기(230)는 상기 제1 내지 제N 화소 행들에 대한 상기 N개의 라인 휘도들에 기초하여 평균 패널 휘도 레벨(APL)을 결정할 수 있다. 일 실시예에서, 평균 패널 휘도 레벨(APL)은 평균 화상 레벨(Average Picture Level)로 불릴 수 있다.

[0047] 일 실시예에서, 도 6에 도시된 바와 같이, 평균 휘도 레벨 결정기(230)는 상기 제1 내지 제N 화소 행들에 대한 N개의 라인 휘도들(LLUM1 내지 LLUMN)을 저장하는 FIFO 메모리(232), 및 N개의 라인 휘도들(LLUM1 내지 LLUMN)에 기초하여 평균 패널 휘도 레벨(APL)을 결정하는 평균 휘도 레벨 계산기(234)를 포함할 수 있다. FIFO 메모리(232)는, 현재 프레임 구간에서의 현재 화소 행에 대한 현재 라인 휘도(LLUM)를 저장하면서 이전 프레임 구간에서의 상기 현재 화소 행에 대한 이전 라인 휘도(LLUM)를 제거함으로써, 상기 FIFO 방식으로 N개의 라인 휘도들(LLUM1 내지 LLUMN)을 저장할 수 있다. 평균 휘도 레벨 계산기(234)는 FIFO 메모리(232)에 저장된 N개의 라인 휘도들(LLUM1 내지 LLUMN)을 합산하여 패널 휘도를 계산할 수 있다. 또한, 평균 휘도 레벨 계산기(234)는 상기 패널 휘도를 최대 패널 휘도로 나누어 평균 패널 휘도 레벨(APL)을 결정할 수 있다. 예를 들어, 상기 최대 패널 휘도는 모든 화소들에 대하여 화소 데이터들(PXD)이 최대 계조 레벨, 예를 들어 255-계조 레벨을 나타낼 때 표시 패널의 휘도일 수 있으나, 이에 한정되지 않는다. 또한, 예를 들어, 평균 패널 휘도 레벨(APL)은 약 0% 내지 약 100%의 퍼센트 값을 가질 수 있으나, 이에 한정되지 않는다.

- [0048] 휘도 도메인 스케일 인자 결정기(240)는 평균 패널 휘도 레벨(APL)에 상응하는 휘도 도메인 스케일 인자(LDSF)를 결정할 수 있다. 예를 들어, 휘도 도메인 스케일 인자 결정기(240)는 평균 패널 휘도 레벨(APL)이 증가할수록 휘도 도메인 스케일 인자(LDSF)를 감소시킬 수 있다. 또한, 휘도 도메인 스케일 인자 결정기(240)에 의해 결정된 휘도 도메인 스케일 인자(LDSF)는 0 이상 및 1 이하의 값을 가질 수 있으나, 이에 한정되지 않는다.
- [0049] 일 실시예에서, 도 7에 도시된 바와 같이, 휘도 도메인 스케일 인자 결정기(240)는 평균 패널 휘도 레벨(APL)이 기준 휘도 레벨(RLL) 미만인 경우, 휘도 도메인 스케일 인자(LDSF)를 최대 휘도 도메인 스케일 인자(MAXLDSF)로 결정할 수 있다. 예를 들어, 기준 휘도 레벨(RLL)은 약 20%이고, 최대 휘도 도메인 스케일 인자(MAXLDSF)는 약 1일 수 있으나, 이에 한정되지 않는다. 또한, 평균 패널 휘도 레벨(APL)이 기준 휘도 레벨(RLL) 이상인 경우, 휘도 도메인 스케일 인자 결정기(240)는 평균 패널 휘도 레벨(APL)이 증가할수록 휘도 도메인 스케일 인자(LDSF)를 감소시킬 수 있다.
- [0050] 계조 도메인 스케일 인자 결정기(250)는 휘도 도메인 스케일 인자 결정기(240)로부터 휘도 도메인 스케일 인자(LDSF)를 수신하고, 휘도 도메인 스케일 인자(LDSF)를 계조 도메인 스케일 인자(GDSF)로 변환하며, 전류 제어 값(CCV)으로서 계조 도메인 스케일 인자(GDSF)를 출력할 수 있다. 일 실시예에서, 전류 제어 값(CCV), 즉 계조 도메인 스케일 인자(GDSF)는 약 0 이상 및 약 1 이하의 값을 가질 수 있다. 도 8에는 휘도 도메인 스케일 인자(LDSF)에 따른 계조 도메인 스케일 인자(GDSF)의 커브(500)의 일 예가 도시되어 있다. 일 실시예에서, 도 8에 도시된 바와 같이, 계조 도메인 스케일 인자 결정기(250)는 수학적식(550), 즉 " $GDSF = (LDSF)^{(1/\Gamma)}$ "을 이용하여 휘도 도메인 스케일 인자(LDSF)를 계조 도메인 스케일 인자(GDSF)로 변환할 수 있다. 여기서, GDSF는 상기 계조 도메인 스케일 인자를 나타내고, LDSF는 상기 휘도 도메인 스케일 인자를 나타내며, Γ 는 상기 표시 장치의 상기 감마 값을 나타낼 수 있다.
- [0051] 다른 실시예에서, 도 9에 도시된 바와 같이, 계조 도메인 스케일 인자 결정기(250)는 복수의 휘도 도메인 스케일 인자들(LDSF1, LDSF2, ..., LDSFM)에 각각 상응하는 복수의 계조 도메인 스케일 인자들(GDSF1, GDSF2, ..., GDSFM)을 저장하는 휘도-계조 스케일 인자 룩업 테이블(255)을 포함할 수 있다. 예를 들어, 휘도-계조 스케일 인자 룩업 테이블(255)은 M개의 계조 도메인 스케일 인자들(GDSF1, GDSF2, ..., GDSFM)(M은 2 이상의 정수)에 각각 상응하는 M개의 계조 도메인 스케일 인자들(GDSF1, GDSF2, ..., GDSFM)을 저장할 수 있으나, 이에 한정되지 않는다. 계조 도메인 스케일 인자 결정기(250)는 휘도-계조 스케일 인자 룩업 테이블(255)을 이용하여 휘도 도메인 스케일 인자(LDSF)를 계조 도메인 스케일 인자(GDSF)로 변환할 수 있다.
- [0052] 도 10은 본 발명의 일 실시예에 따른 표시 장치의 구동 방법을 나타내는 순서도이다.
- [0053] 도 1, 도 3 및 도 10을 참조하면, 본 발명의 일 실시예에 따른 표시 장치(100)의 구동 방법에서, 패널 구동부(120)는 현재 프레임 구간에서 제K 화소 행에 대한 제K 라인 데이터를 수신할 수 있다(S610). 상기 제K 화소 행에 대한 상기 제K 라인 데이터가 수신되면, 패널 구동부(120)는 상기 현재 프레임 구간에서 제K-1 라인 데이터가 수신될 때 결정된 상기 제K 화소 행에 대한 전류 제어 값(CCV)에 기초하여 상기 제K 라인 데이터를 보정할 수 있다(S620). 패널 구동부(120)는 상기 보정된 제K 라인 데이터에 기초하여 상기 제K 화소 행을 구동할 수 있다(S630). 또한, 상기 제K 화소 행에 대한 상기 제K 라인 데이터가 수신되면, 패널 구동부(120)는 상기 현재 프레임 구간에서 수신된 제1 내지 제K 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+1 내지 제N 라인 데이터들에 기초하여 제K+1 화소 행에 대한 전류 제어 값(CCV)을 결정할 수 있다(S640 내지 S680).
- [0054] 일 실시예에서, 계조-휘도 변환기(210)는 상기 제K 라인 데이터에 포함된 화소 데이터들(PXD)이 나타내는 계조 레벨들을 상기 제K 화소 행에 대한 화소 휘도들(PXLUM)로 변환하고, 라인 휘도 계산기(220)는 상기 제K 화소 행에 대한 화소 휘도들(PXLUM)을 합산하여 상기 제K 화소 행에 대한 라인 휘도(LLUM)를 계산할 수 있다(S640). 평균 휘도 레벨 결정기(230)는 상기 제K 화소 행에 대한 라인 휘도(LLUM)를 FIFO 방식으로 저장할 수 있다(S650). 예를 들어, 평균 휘도 레벨 결정기(230)가 상기 현재 프레임 구간에서의 상기 제K 화소 행에 대한 라인 휘도(LLUM)를 저장하면서, 상기 이전 프레임 구간에서의 상기 제K 화소 행에 대한 라인 휘도(LLUM)를 제거할 수 있다. 또한, 패널 구동부(120)는 각 프레임 구간에서 표시 패널(110)의 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 제1 내지 제N 라인 데이터들(LD1 내지 LDN)을 순차적으로 수신하고, 평균 휘도 레벨 결정기(230)는 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 N개의 라인 휘도들(LLUM)을 FIFO 방식으로 저장함으로써 N개의 라인 휘도들(LLUM)을 유지할 수 있다. 평균 휘도 레벨 결정기(230)는 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 N개의 라인 휘도들(LLUM)에 기초하여 평균 패널 휘도 레벨(APL)을 결정할 수 있다(S660). 휘도 도메인 스케일 인자 결정기(240)는 평균 패널 휘도 레벨(APL)에 상응하는 휘도 도메인 스케일 인자(LDSF)를 결정할 수 있다(S670). 계조 도메인 스케일 인자 결정기(250)는 휘도 도메인 스케일 인자(LDSF)를 계조 도메인 스케일 인자

(GDSF)로 변환하고, 상기 제K+1 화소 행에 대한 전류 제어 값(CCV)으로서 계조 도메인 스케일 인자(GDSF)를 출력할 수 있다(S680).

[0055] 이어서, 패널 구동부(120)는 상기 현재 프레임 구간에서 상기 제K+1 화소 행에 대한 제K+1 라인 데이터를 수신하고(S610), 상기 현재 프레임 구간에서 상기 제K 라인 데이터가 수신될 때 결정된 상기 제K+1 화소 행에 대한 전류 제어 값(CCV)에 기초하여 상기 제K+1 라인 데이터를 보정하고(S620), 상기 보정된 제K+1 라인 데이터에 기초하여 상기 제K+1 화소 행을 구동할 수 있다(S630). 또한, 상기 제K+1 화소 행에 대한 상기 제K+1 라인 데이터가 수신되면, 패널 구동부(120)는 상기 현재 프레임 구간에서 수신된 제1 내지 제K+1 라인 데이터들, 및 이전 프레임 구간에서 수신된 제K+2 내지 제N 라인 데이터들에 기초하여 제K+2 화소 행에 대한 전류 제어 값(CCV)을 결정할 수 있다(S640 내지 S680).

[0056] 이러한 방식으로, 패널 구동부(120)는 각 프레임 구간에서 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 제1 내지 제N 라인 데이터들(LD1 내지 LDN)을 순차적으로 수신하고(S610), 이전 화소 행에 대한 이전 라인 데이터를 수신할 때 결정된 전류 제어 값(CCV)에 기초하여 현재 화소 행에 대한 현재 라인 데이터를 보정하며(S620), 보정된 제1 내지 제N 라인 데이터들(LD1 내지 LDN)에 기초하여 제1 내지 제N 화소 행들(PXR1 내지 PXRN)을 순차적으로 구동할 수 있다(S630). 또한, 패널 구동부(120)는 현재 화소 행에 대한 상기 현재 라인 데이터를 수신할 때 다음 화소 행에 대한 전류 제어 값(CCV)을 결정하고(S640 내지 S680), 상기 다음 화소 행에 대한 다음 라인 데이터에 전류 제어 값(CCV)을 적용할 수 있다(S620). 즉, 본 발명의 실시예들에 따른 표시 장치(100)의 구동 방법에서는, 전류 제어 값(CCV)의 결정과 전류 제어 값(CCV)의 적용 사이에 한 라인 또는 한 화소 행의 지연만이 존재하고, 전류 제어 값(CCV)의 결정과 전류 제어 값(CCV)의 적용 사이의 상기 지연에 의한 과전류 또는 돌입 전류의 발생이 방지될 수 있다.

[0057] 도 11은 본 발명의 다른 실시예에 따른 전류 제어 블록을 나타내는 블록도이고, 도 12는 본 발명의 다른 실시예에 따른 전류 제어 블록의 동작의 일 예를 설명하기 위한 도면이고, 도 13은 본 발명의 또 다른 실시예에 따른 전류 제어 블록의 동작의 일 예를 설명하기 위한 도면이다.

[0058] 도 11을 참조하면, 전류 제어 블록(160b)은 계조-휘도 변환기(210), 라인 휘도 계산기(220), 평균 휘도 레벨 결정기(230), 휘도 도메인 스케일 인자 결정기(240), 스케일된 패널 휘도 계산기(260), 과전류 보호기(270) 및 계조 도메인 스케일 인자 결정기(250')를 포함할 수 있다. 도 11의 전류 제어 블록(160b)는, 스케일된 패널 휘도 계산기(260) 및 과전류 보호기(270)를 더 포함하는 것을 제외하고, 도 3의 전류 제어 블록(160a)과 유사한 구성 및 유사한 동작을 가질 수 있다.

[0059] 계조-휘도 변환기(210)는 각 화소 행에 대한 라인 데이터(LD)에 포함된 화소 데이터들(PXD)이 나타내는 계조 레벨들을 상기 화소 행에 대한 화소 휘도들(PXLUM)로 변환할 수 있다. 라인 휘도 계산기(220)는 각 화소 행에 대한 화소 휘도들(PXLUM)을 합산하여 상기 화소 행에 대한 라인 휘도(LLUM)를 계산할 수 있다. 평균 휘도 레벨 결정기(230)는 제1 내지 제N 화소 행들에 대한 라인 휘도들을 FIFO 방식으로 저장하고, 상기 제1 내지 제N 화소 행들에 대한 상기 N개의 라인 휘도들에 기초하여 평균 패널 휘도 레벨(APL)을 결정할 수 있다. 휘도 도메인 스케일 인자 결정기(240)는 평균 패널 휘도 레벨(APL)에 상응하는 휘도 도메인 스케일 인자(LDSF)를 결정할 수 있다.

[0060] 스케일된 패널 휘도 계산기(260)는 상기 제1 내지 제N 화소 행들에 대한 상기 라인 휘도들과 상기 제1 내지 제N 화소 행들에 대한 휘도 도메인 스케일 인자들을 각각 승산하고, 상기 승산의 결과들을 합산하여 스케일된 패널 휘도(SPL)를 계산할 수 있다. 예를 들어, 휘도 도메인 스케일 인자 결정기(240)는 이전 화소 행에 대한 라인 데이터(LD)가 수신될 때 현재 화소 행에 대한 휘도 도메인 스케일 인자(LDSF)를 출력하고, 라인 휘도 계산기(220)는 상기 현재 화소 행에 대한 라인 데이터(LD)가 수신될 때 상기 현재 화소 행에 대한 라인 휘도(LLUM)를 출력하며, 스케일된 패널 휘도 계산기(260)는 상기 현재 화소 행에 대한 라인 휘도(LLUM)와 상기 현재 화소 행에 대한 휘도 도메인 스케일 인자(LDSF)를 승산할 수 있다. 또한, 휘도 도메인 스케일 인자 결정기(240)는 상기 현재 화소 행에 대한 라인 데이터(LD)가 수신될 때 다음 화소 행에 대한 휘도 도메인 스케일 인자(LDSF)를 출력하고, 라인 휘도 계산기(220)는 상기 다음 화소 행에 대한 라인 데이터(LD)가 수신될 때 상기 다음 화소 행에 대한 라인 휘도(LLUM)를 출력하며, 스케일된 패널 휘도 계산기(260)는 상기 다음 화소 행에 대한 라인 휘도(LLUM)와 상기 다음 화소 행에 대한 휘도 도메인 스케일 인자(LDSF)를 승산할 수 있다. 이러한 방식으로, 스케일된 패널 휘도 계산기(260)는 상기 제1 내지 제N 화소 행들에 대한 N개의 승산 결과들을 FIFO 방식으로 저장하고, 각 라인 데이터(LD)가 수신될 때마다 상기 N개의 승산 결과들을 합산하여 스케일된 패널 휘도(SPL)를 계산할 수 있다.

- [0061] 과전류 보호기(270)는 스케일된 패널 휘도 계산기(260)로부터 스케일된 패널 휘도(SPL)를 수신하고, 스케일된 패널 휘도(SPL)를 패널 휘도 제한 값과 비교할 수 있다. 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값 이하인 경우, 과전류 보호기(270)는 과전류 보호된 스케일 인자(OCPSF)로서 휘도 도메인 스케일 인자 결정기(240)에서 생성된 휘도 도메인 스케일 인자(LDSF)를 그대로 출력할 수 있다. 이와 달리, 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과하는 경우, 과전류 보호기(270)는 휘도 도메인 스케일 인자(LDSF)를 감소시켜 과전류 보호된 스케일 인자(OCPSF)를 생성할 수 있다.
- [0062] 계조 도메인 스케일 인자 결정기(250')는 과전류 보호기(270)로부터 수신된 과전류 보호된 스케일 인자(OCPSF)를 계조 도메인 스케일 인자(GDSF)로 변환하며, 전류 제어 값(CCV)으로서 계조 도메인 스케일 인자(GDSF)를 출력할 수 있다.
- [0063] 일 실시예에서, 현재 화소 행에 대한 라인 데이터(LD)가 수신될 때 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과하는 경우, 과전류 보호기(270)는 다음 화소 행으로부터 마지막 화소 행까지의 화소 행들에 대한 전류 제어 값들(CCV)이 최소 전류 제어 값이 되도록 상기 화소 행들에 대한 과전류 보호된 스케일 인자들(OCPSF)을 결정할 수 있다. 일 실시예에서, 상기 최소 전류 제어 값은 약 0일 수 있으나, 이에 한정되지 않는다. 예를 들어, 도 12에 도시된 바와 같이, 이전 프레임 구간에서 블랙 영상을 나타내는 입력 영상 데이터가 수신되고, 현재 프레임 구간(CFP)에서 화이트 영상(710)(예를 들어, 255-계조(225G)의 영상)을 나타내는 입력 영상 데이터가 수신되는 경우, 종래의 표시 장치에서는 현재 프레임 구간(CFP)에서 과전류(Over Current) 또는 돌입 전류(Rush Current)가 발생할 수 있다. 그러나, 본 발명의 실시예들에 따른 표시 장치에서는, 이전 프레임 구간에서 블랙 영상을 나타내는 입력 영상 데이터가 수신되고, 현재 프레임 구간(CFP)에서 화이트 영상(710)을 나타내는 입력 영상 데이터가 수신되는 경우, 현재 프레임 구간(CFP)에서 제K 화소 행(PXRK)에 대한 라인 데이터(LD)가 수신될 때, 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과할 수 있다. 이 경우, 과전류 보호기(270)는 제K+1 내지 제N 화소 행들(PXRK+1 내지 PXRN)에 대한 과전류 보호된 스케일 인자들(OCPSF)을 0으로 출력하고, 계조 도메인 스케일 인자 결정기(250')는 0의 과전류 보호된 스케일 인자들(OCPSF)에 응답하여 0의 전류 제어 값들(CCV)을 출력할 수 있다. 데이터 보정 블록(170)은 0의 전류 제어 값들(CCV)에 기초하여 제K+1 내지 제N 화소 행들(PXRK+1 내지 PXRN)에 대한 라인 데이터들(LD)이 0-계조를 나타내도록 라인 데이터들(LD)을 보정할 수 있다. 이에 따라, 표시 패널의 제K+1 내지 제N 화소 행들(PXRK+1 내지 PXRN)은 현재 프레임 구간(CFP)에서 블랙 영상(730)을 표시하고, 현재 프레임 구간(CFP)에서 상기 과전류 또는 상기 돌입 전류가 발생되지 않을 수 있다. 한편, 다음 프레임 구간(NFP)에서, 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값 이하일 수 있고, 전류 제어 블록(160b)은 전류 제어 값(CCV)으로서 약 0.2의 계조 도메인 스케일 인자(GDSF)를 출력하고, 상기 표시 패널은 화이트 영상(710)을 나타내는 입력 영상 데이터에 0.2의 계조 도메인 스케일 인자(GDSF)가 적용된 영상(750)을 표시할 수 있다.
- [0064] 다른 실시예에서, 현재 화소 행에 대한 라인 데이터(LD)가 수신될 때 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과하는 경우, 과전류 보호기(270)는 다음 화소 행으로부터 마지막 화소 행까지의 화소 행들에 대한 전류 제어 값들(CCV)이 목표 전류 제어 값으로 점진적으로 감소되도록 상기 화소 행들에 대한 과전류 보호된 스케일 인자들(OCPSF)을 결정할 수 있다. 일 실시예에서, 상기 목표 전류 제어 값은 화이트 영상(710)에 상응하는 전류 제어 값(CCV)일 수 있다. 예를 들어, 상기 목표 전류 제어 값은 약 0.2일 수 있으나, 이에 한정되지 않는다. 예를 들어, 도 13에 도시된 바와 같이, 이전 프레임 구간에서 블랙 영상을 나타내는 입력 영상 데이터가 수신되고, 현재 프레임 구간(CFP)에서 화이트 영상(710)을 나타내는 입력 영상 데이터가 수신되는 경우, 현재 프레임 구간(CFP)에서 제K 화소 행(PXRK)에 대한 라인 데이터(LD)가 수신될 때, 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과할 수 있다. 이 경우, 과전류 보호기(270)는 제K+1 내지 제N 화소 행들(PXRK+1 내지 PXRN)에 대하여 점진적으로 감소되는 과전류 보호된 스케일 인자들(OCPSF)을 출력할 수 있고, 계조 도메인 스케일 인자 결정기(250')는 제K+1 내지 제N 화소 행들(PXRK+1 내지 PXRN)에 대하여 상기 목표 전류 제어 값까지 점진적으로 감소되는 전류 제어 값들(CCV)을 출력할 수 있다. 데이터 보정 블록(170)은 점진적으로 감소되는 전류 제어 값들(CCV)에 기초하여 제K+1 내지 제N 화소 행들(PXRK+1 내지 PXRN)에 대한 라인 데이터들(LD)을 점진적으로 감소시킬 수 있다. 이에 따라, 표시 패널의 제K+1 내지 제N 화소 행들(PXRK+1 내지 PXRN)은 현재 프레임 구간(CFP)에서 휘도가 점진적으로 감소되는 영상(770)을 표시하고, 현재 프레임 구간(CFP)에서 상기 과전류 또는 상기 돌입 전류가 발생되지 않을 수 있다. 한편, 다음 프레임 구간(NFP)에서, 상기 표시 패널은 화이트 영상(710)을 나타내는 입력 영상 데이터에 상기 목표 전류 제어 값, 예를 들어 0.2의 계조 도메인 스케일 인자(GDSF)가 적용된 영상(790)을 표시할 수 있다.
- [0065] 도 14는 본 발명의 다른 실시예에 따른 표시 장치의 구동 방법을 나타내는 순서도이고, 도 15는 본 발명의 다른

실시예에 따른 전류 제어 값의 일 예를 나타내는 도면이다.

- [0066] 도 14의 방법은, 스케일된 패널 휘도가 패널 휘도 제한 값을 초과하는 경우, 전류 제어 값이 최소 전류 제어 값으로 변경되는 것을 제외하고, 도 10의 방법과 실질적으로 동일할 수 있다. 도 1, 도 11 및 도 14를 참조하면, 본 발명의 다른 실시예에 따른 표시 장치(100)의 구동 방법에서, 패널 구동부(120)는 각 프레임 구간에서 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 제1 내지 제N 라인 데이터들(LD1 내지 LDN)을 순차적으로 수신하고(S610), 이전 화소 행에 대한 이전 라인 데이터를 수신할 때 결정된 전류 제어 값(CCV)에 기초하여 현재 화소 행에 대한 현재 라인 데이터를 보정하며(S620), 보정된 제1 내지 제N 라인 데이터들(LD1 내지 LDN)에 기초하여 제1 내지 제N 화소 행들(PXR1 내지 PXRN)을 순차적으로 구동할 수 있다(S630). 또한, 패널 구동부(120)는 현재 화소 행에 대한 상기 현재 라인 데이터를 수신할 때 다음 화소 행에 대한 전류 제어 값(CCV)을 결정하고(S640 내지 S680), 상기 다음 화소 행에 대한 다음 라인 데이터에 전류 제어 값(CCV)을 적용할 수 있다(S620).
- [0067] 또한, 각 라인 데이터(LD)가 수신될 때, 스케일된 패널 휘도 계산기(260)는 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 라인 휘도들과 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 휘도 도메인 스케일 인자들을 각각 승산하고, 상기 승산의 결과들을 합산하여 스케일된 패널 휘도(SPL)를 계산할 수 있다(S672). 스케일된 패널 휘도(SPL)가 패널 휘도 제한 값 이하인 경우(S674: NO), 계조 도메인 스케일 인자 결정기(250')는 전류 제어 값(CCV)으로서 휘도 도메인 스케일 인자 결정기(240)에서 생성된 휘도 도메인 스케일 인자(LDSF)에 상응하는 계조 도메인 스케일 인자(GDSF)를 출력할 수 있다(S680).
- [0068] 이와 달리, 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과하는 경우(S674: YES), 과전류 보호기(270)는 휘도 도메인 스케일 인자(LDSF)를 최소 전류 제어 값(예를 들어, 약 0)에 상응하는 최소 휘도 도메인 스케일 인자(예를 들어, 약 0)로 감소시키고, 현재 프레임 구간이 종료될 때까지 과전류 보호된 스케일 인자(OCPSF)로서 상기 최소 휘도 도메인 스케일 인자를 출력할 수 있다(S676). 계조 도메인 스케일 인자 결정기(250')는 상기 최소 휘도 도메인 스케일 인자를 계조 도메인 스케일 인자(GDSF)로 변환하고, 전류 제어 값(CCV)으로서 상기 최소 전류 제어 값을 출력할 수 있다(S680).
- [0069] 예를 들어, 도 15에 도시된 바와 같이, 이전 프레임 구간에서 블랙 영상을 나타내는 입력 영상 데이터가 수신되고, 현재 프레임 구간(CFP)에서 화이트 영상을 나타내는 입력 영상 데이터가 수신되는 경우, 전류 제어 블록(160b)은 제1 화소 행(PXR1)에 대한 1의 전류 제어 값(CCV)을 출력하고, 후속 화소 행들에 대하여 평균 패널 휘도 레벨(APL)에 기초하여 전류 제어 값(CCV)을 감소시킬 수 있다. 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과하는 경우, 전류 제어 블록(160b)은 전류 제어 값(CCV)으로서 최소 전류 제어 값(MCCV)(예를 들어, 약 0)을 출력할 수 있다. 이에 따라, 과전류 또는 돌입 전류가 방지될 수 있다.
- [0070] 도 16은 본 발명의 또 다른 실시예에 따른 표시 장치의 구동 방법을 나타내는 순서도이고, 도 17은 본 발명의 또 다른 실시예에 따른 전류 제어 값의 일 예를 나타내는 도면이다.
- [0071] 도 16의 방법은, 스케일된 패널 휘도가 패널 휘도 제한 값을 초과하는 경우, 전류 제어 값이 목표 전류 제어 값으로 점진적으로 감소되는 것을 제외하고, 도 10의 방법과 실질적으로 동일할 수 있다. 도 1, 도 11 및 도 16을 참조하면, 본 발명의 또 다른 실시예에 따른 표시 장치(100)의 구동 방법에서, 패널 구동부(120)는 각 프레임 구간에서 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 제1 내지 제N 라인 데이터들(LD1 내지 LDN)을 순차적으로 수신하고(S610), 이전 화소 행에 대한 이전 라인 데이터를 수신할 때 결정된 전류 제어 값(CCV)에 기초하여 현재 화소 행에 대한 현재 라인 데이터를 보정하며(S620), 보정된 제1 내지 제N 라인 데이터들(LD1 내지 LDN)에 기초하여 제1 내지 제N 화소 행들(PXR1 내지 PXRN)을 순차적으로 구동할 수 있다(S630). 또한, 패널 구동부(120)는 현재 화소 행에 대한 상기 현재 라인 데이터를 수신할 때 다음 화소 행에 대한 전류 제어 값(CCV)을 결정하고(S640 내지 S680), 상기 다음 화소 행에 대한 다음 라인 데이터에 전류 제어 값(CCV)을 적용할 수 있다(S620).
- [0072] 또한, 각 라인 데이터(LD)가 수신될 때, 스케일된 패널 휘도 계산기(260)는 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 라인 휘도들과 제1 내지 제N 화소 행들(PXR1 내지 PXRN)에 대한 휘도 도메인 스케일 인자들을 각각 승산하고, 상기 승산의 결과들을 합산하여 스케일된 패널 휘도(SPL)를 계산할 수 있다(S672). 스케일된 패널 휘도(SPL)가 패널 휘도 제한 값 이하인 경우(S674: NO), 계조 도메인 스케일 인자 결정기(250')는 전류 제어 값(CCV)으로서 휘도 도메인 스케일 인자 결정기(240)에서 생성된 휘도 도메인 스케일 인자(LDSF)에 상응하는 계조 도메인 스케일 인자(GDSF)를 출력할 수 있다(S680).
- [0073] 이와 달리, 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과하는 경우(S674: YES), 과전류 보호기

(270)는 휘도 도메인 스케일 인자(LDSF)를 목표 전류 제어 값(예를 들어, 약 0.2)에 상응하는 목표 휘도 도메인 스케일 인자로 점진적으로 감소시키고, 현재 프레임 구간이 종료될 때까지 과전류 보호된 스케일 인자(OCPSF)로서 점진적으로 감소되는 휘도 도메인 스케일 인자를 출력할 수 있다(S678). 계조 도메인 스케일 인자 결정기(250')는 상기 점진적으로 감소되는 휘도 도메인 스케일 인자를 계조 도메인 스케일 인자(GDSF)로 변환하고, 상기 목표 전류 제어 값으로 점진적으로 감소되는 전류 제어 값(CCV)을 출력할 수 있다(S680).

[0074] 예를 들어, 도 17에 도시된 바와 같이, 이전 프레임 구간에서 블랙 영상을 나타내는 입력 영상 데이터가 수신되고, 현재 프레임 구간(CFP)에서 화이트 영상을 나타내는 입력 영상 데이터가 수신되는 경우, 전류 제어 블록(160b)은 제1 화소 행(PXR1)에 대한 1의 전류 제어 값(CCV)을 출력하고, 후속 화소 행들에 대하여 평균 패널 휘도 레벨(APL)에 기초하여 전류 제어 값(CCV)을 감소시킬 수 있다. 스케일된 패널 휘도(SPL)가 상기 패널 휘도 제한 값을 초과하는 경우, 전류 제어 블록(160b)은 전류 제어 값(CCV)을 목표 전류 제어 값(TCCV)(예를 들어, 약 0.2)으로 점진적으로 감소시킬 수 있다. 한편, 목표 전류 제어 값(TCCV)으로 점진적으로 감소되는 전류 제어 값(CCV)은 평균 패널 휘도 레벨(APL)에 따라 결정되는 전류 제어 값보다 낮을 수 있다. 이에 따라, 과전류 또는 돌입 전류가 방지될 수 있다.

[0075] 도 18은 본 발명의 실시예들에 따른 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

[0076] 도 18을 참조하면, 전자 기기(1100)는 프로세서(1110), 메모리 장치(1120), 저장 장치(1130), 입출력 장치(1140), 파워 서플라이(1150) 및 표시 장치(1160)를 포함할 수 있다. 전자 기기(1100)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

[0077] 프로세서(1110)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1110)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(1110)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라서, 프로세서(1110)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.

[0078] 메모리 장치(1120)는 전자 기기(1100)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1120)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다.

[0079] 저장 장치(1130)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1140)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(1150)는 전자 기기(1100)의 동작에 필요한 파워를 공급할 수 있다. 표시 장치(1160)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

[0080] 표시 장치(1160)에서, 제K 화소 행에 대한 제K 라인 데이터가 수신될 때, 현재 프레임 구간에서 수신된 제1 내지 제K 라인 데이터들 및 이전 프레임 구간에서 수신된 제K+1 내지 제N 라인 데이터들에 기초하여 제K+1 화소 행에 대한 전류 제어 값이 결정되고, 상기 전류 제어 값에 기초하여 제K+1 라인 데이터가 보정될 수 있다. 이에 따라, 상기 전류 제어 값의 결정과 상기 전류 제어 값의 적용 사이의 지연에 의한 과전류의 발생이 방지될 수 있다.

[0081] 실시예에 따라, 전자 기기(1100)는 TV(Television), 디지털 TV(Digital Television), 3D TV, 휴대폰(Cellular Phone), 스마트 폰(Smart Phone), 태블릿 컴퓨터(Tablet Computer), VR(Virtual Reality) 기기, 개인용 컴퓨터(Personal Computer; PC), 가정용 전자기기, 노트북 컴퓨터(Laptop Computer), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 내비게이션(Navigation) 등과 같은 표시 장치(1160)를 포함하는 임의의 전자 기기일 수 있다.

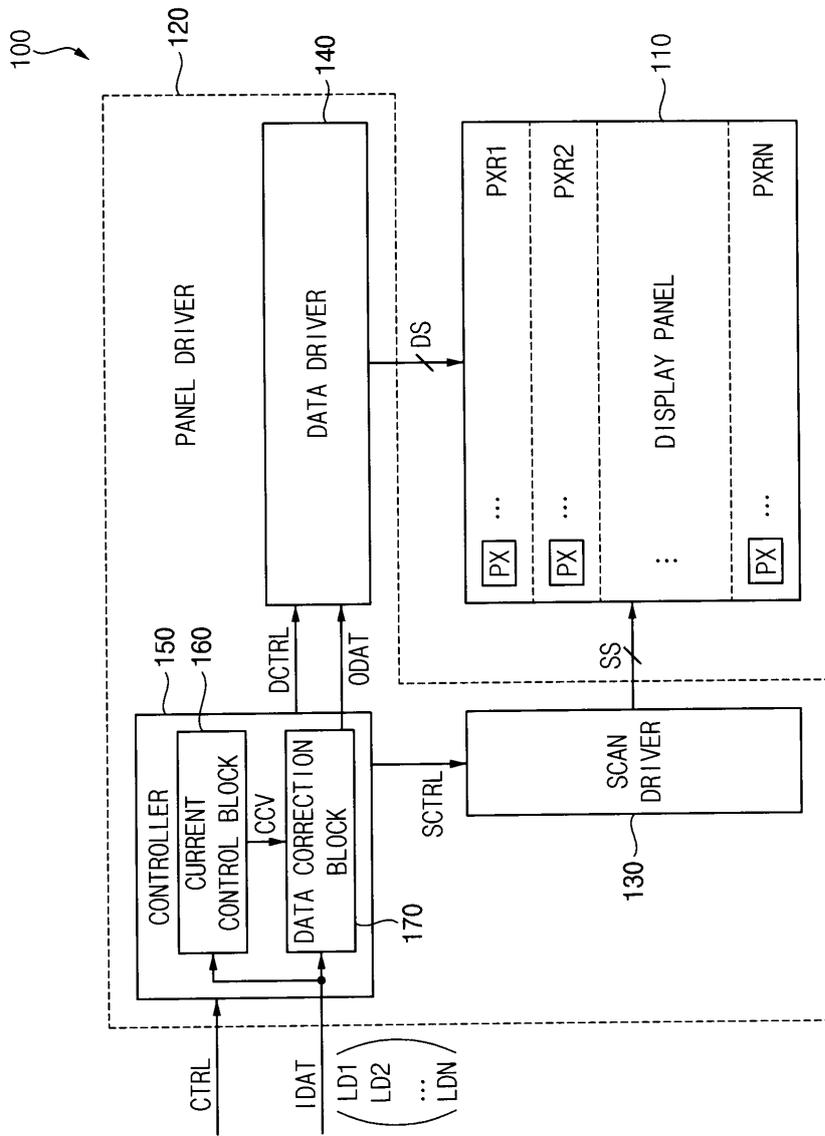
산업상 이용가능성

- [0082] 본 발명은 임의의 표시 장치 및 이를 포함하는 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 TV, 디지털 TV, 3D TV, 휴대폰, 스마트 폰, 태블릿 컴퓨터, VR 기기, PC, 가정용 전자기기, 노트북 컴퓨터, PDA, PMP, 디지털 카메라, 음악 재생기, 휴대용 게임 콘솔, 내비게이션 등에 적용될 수 있다.
- [0083] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

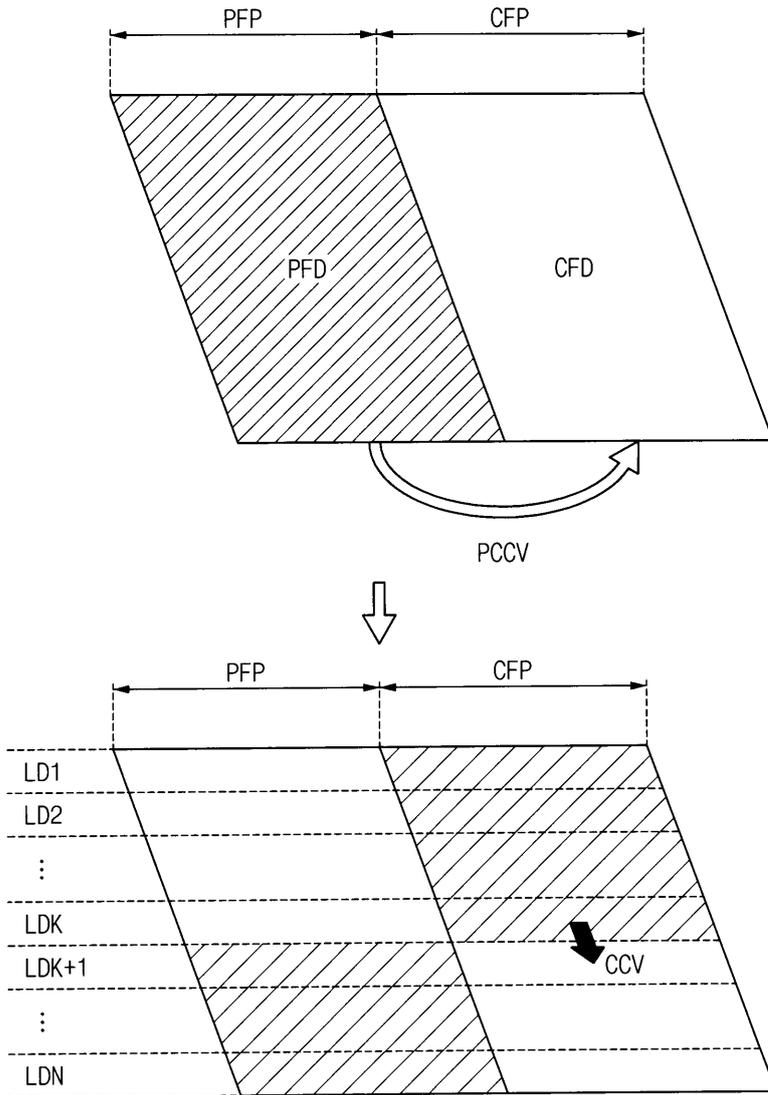
부호의 설명

- [0084] 100: 표시 장치
- 110: 표시 패널
- 120: 패널 구동부
- 130: 스캔 드라이버
- 140: 데이터 드라이버
- 150: 컨트롤러
- 160, 160a, 160b: 전류 제어 블록
- 170: 데이터 보정 블록
- 210: 계조-휘도 변환기
- 220: 라인 휘도 계산기
- 230: 평균 휘도 레벨 결정기
- 240: 휘도 도메인 스케일 인자 결정기
- 250: 계조 도메인 스케일 인자 결정기
- 260: 스케일된 패널 휘도 계산기
- 270: 과전류 보호기

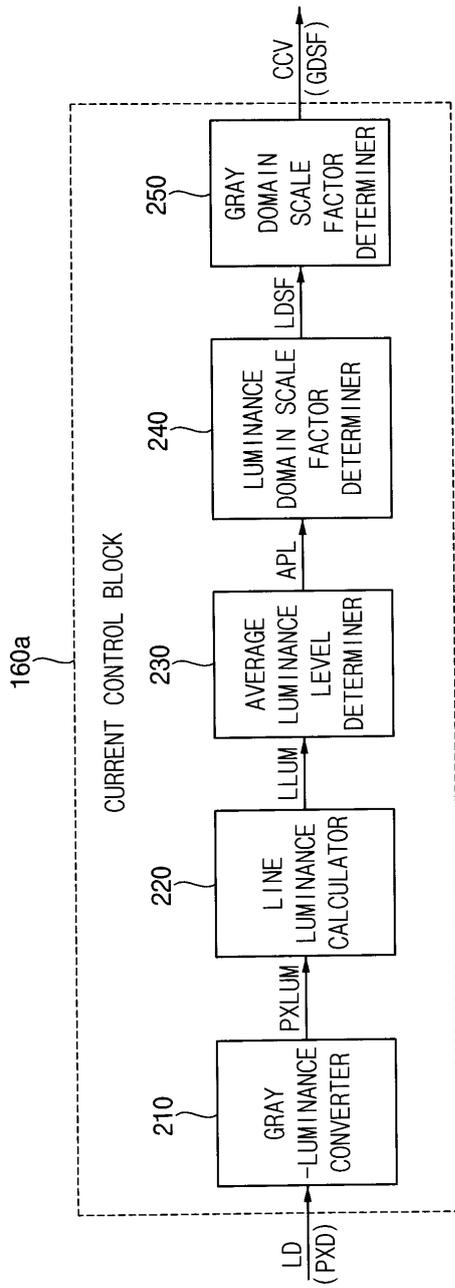
도면
도면1



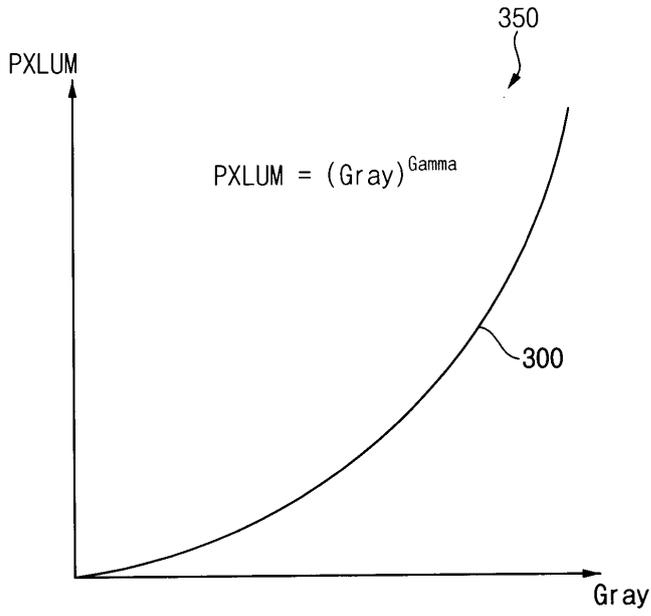
도면2



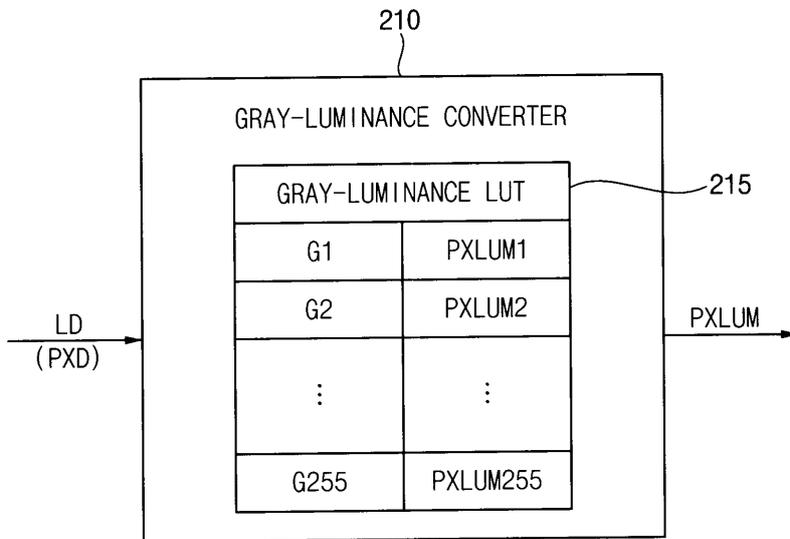
도면3



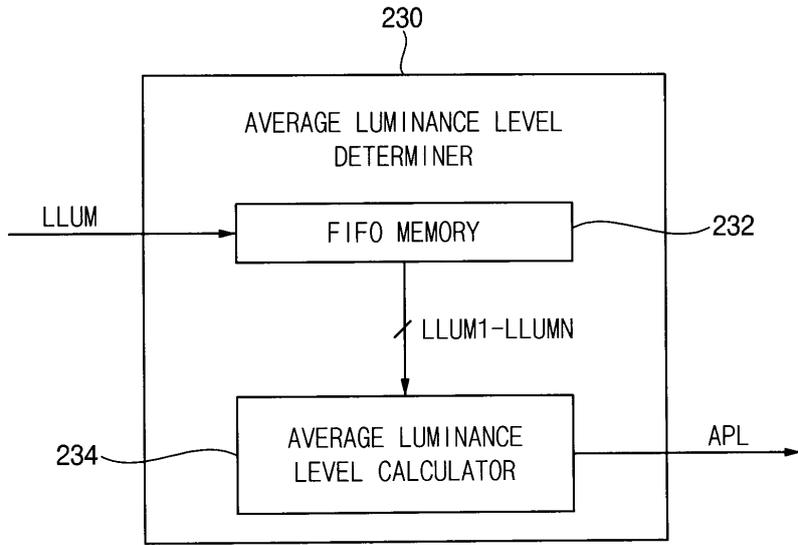
도면4



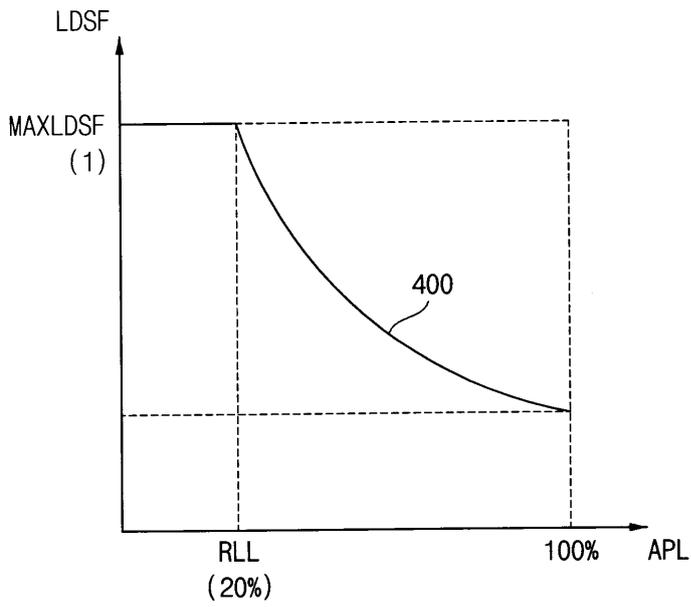
도면5



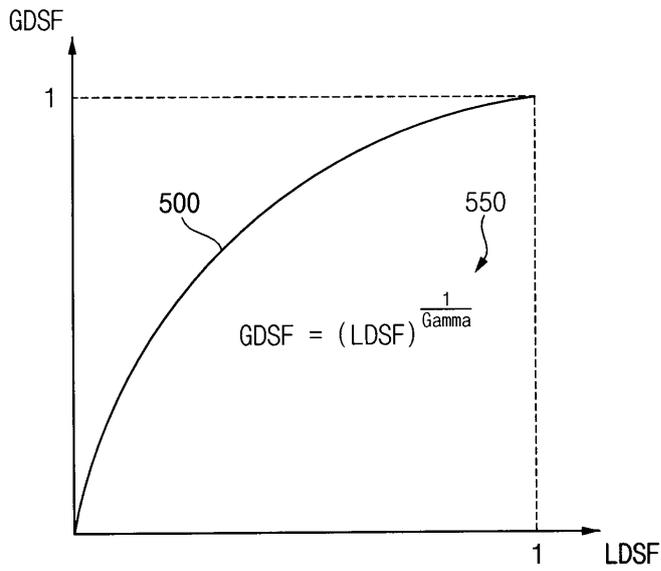
도면6



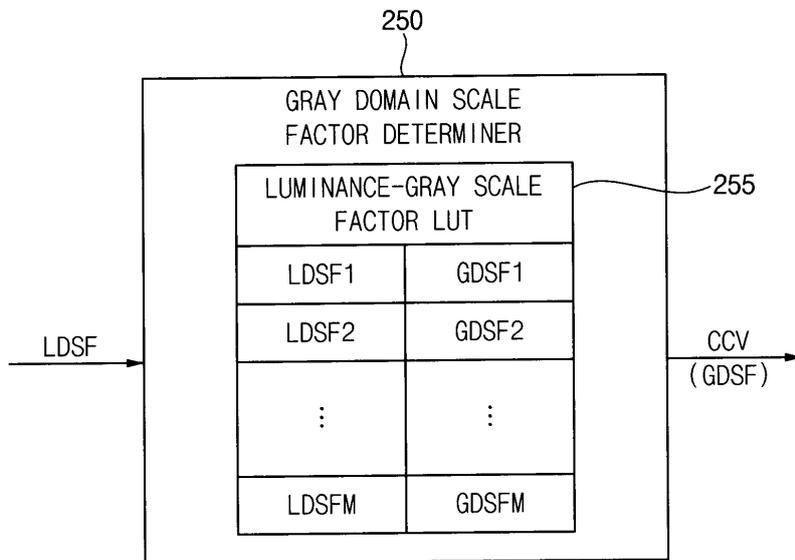
도면7



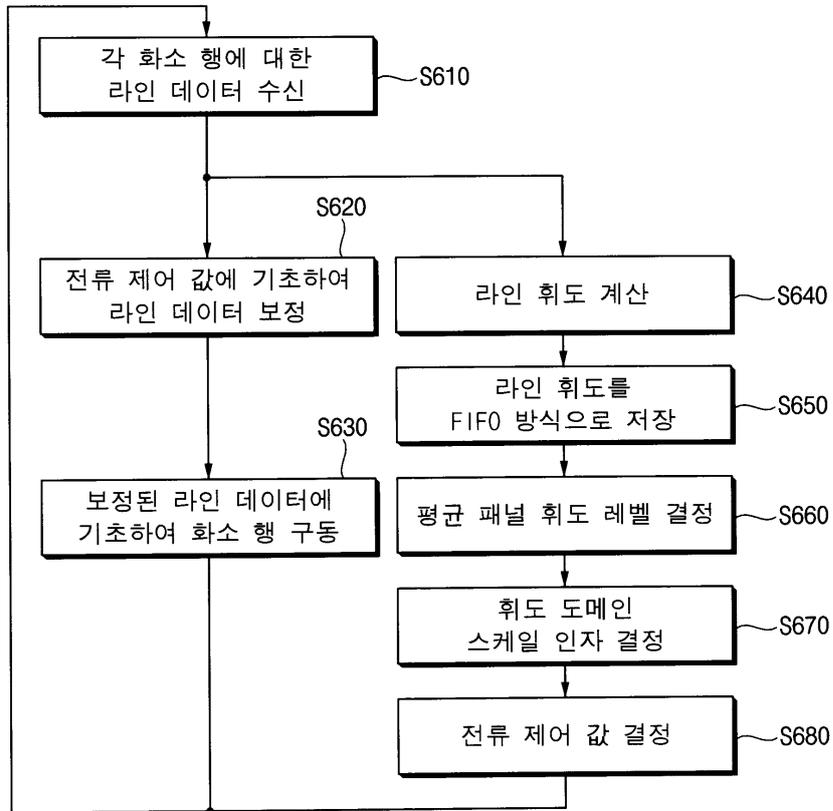
도면8



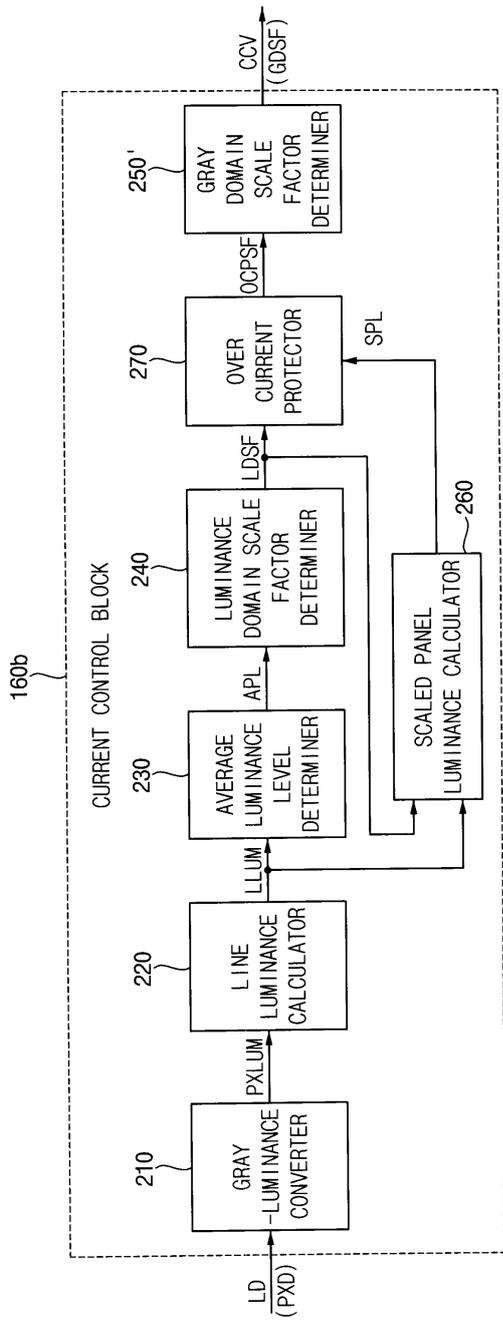
도면9



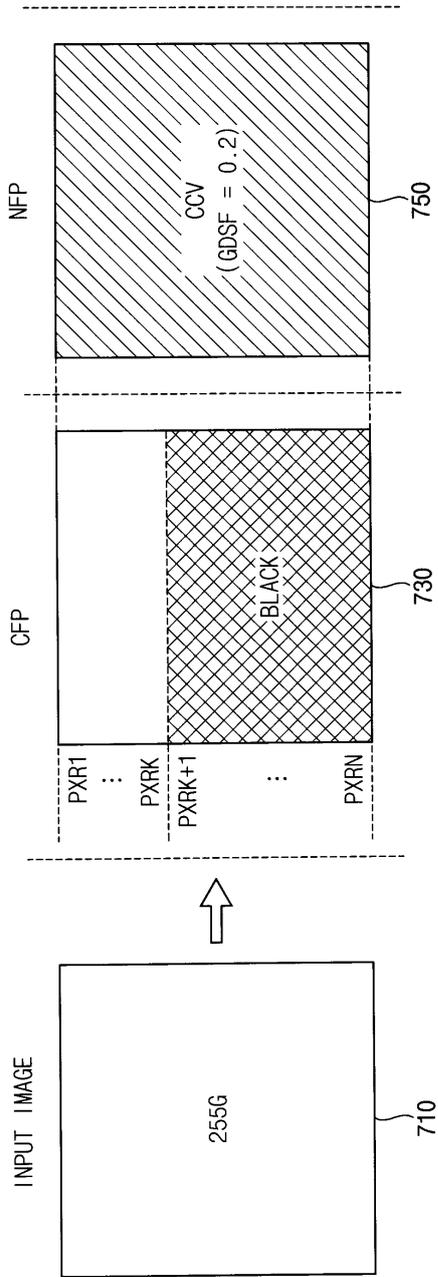
도면10



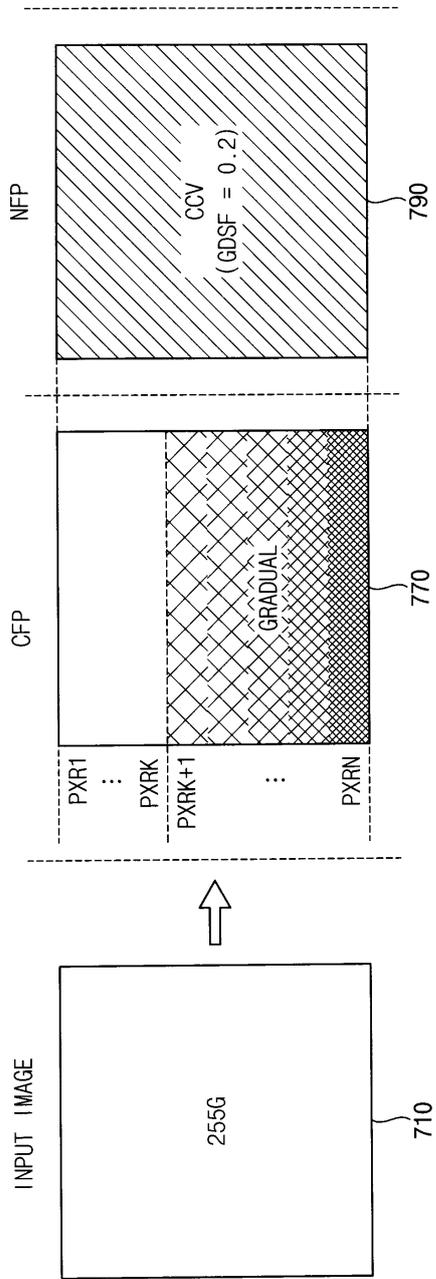
도면11



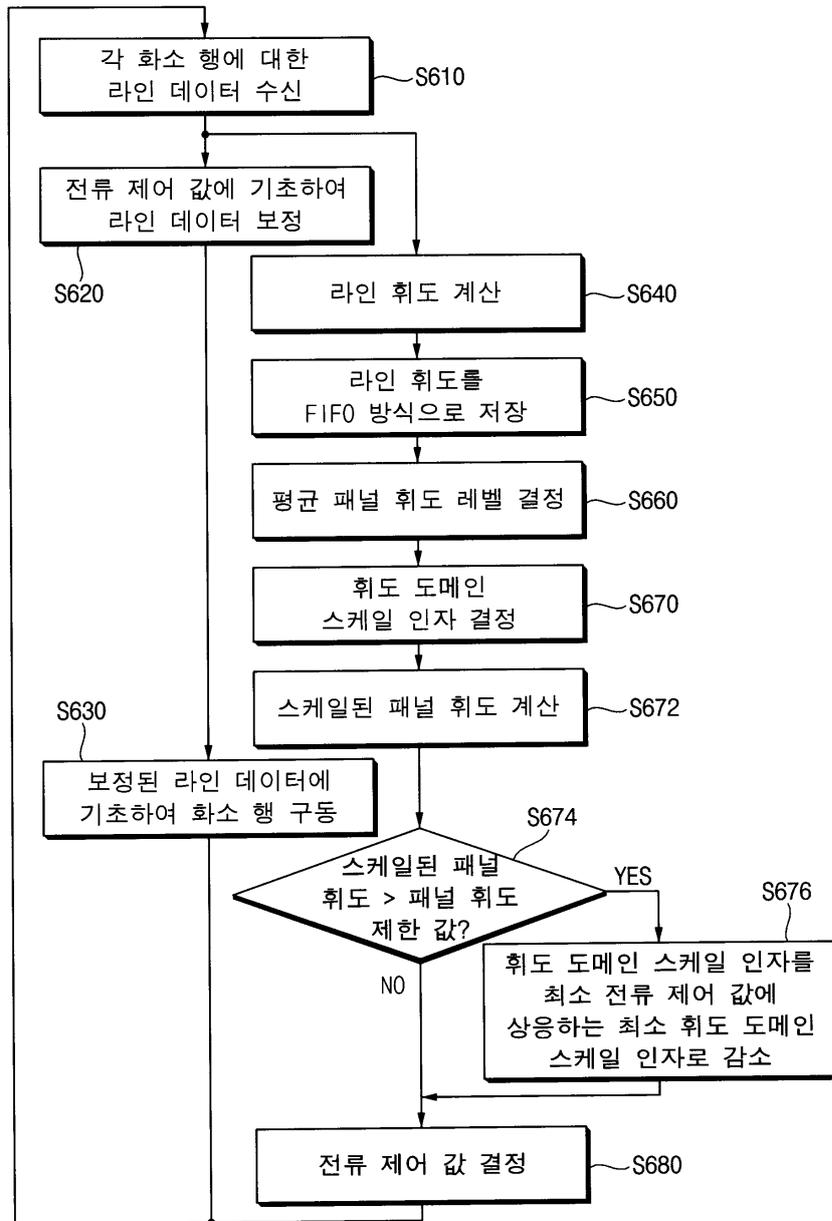
도면12



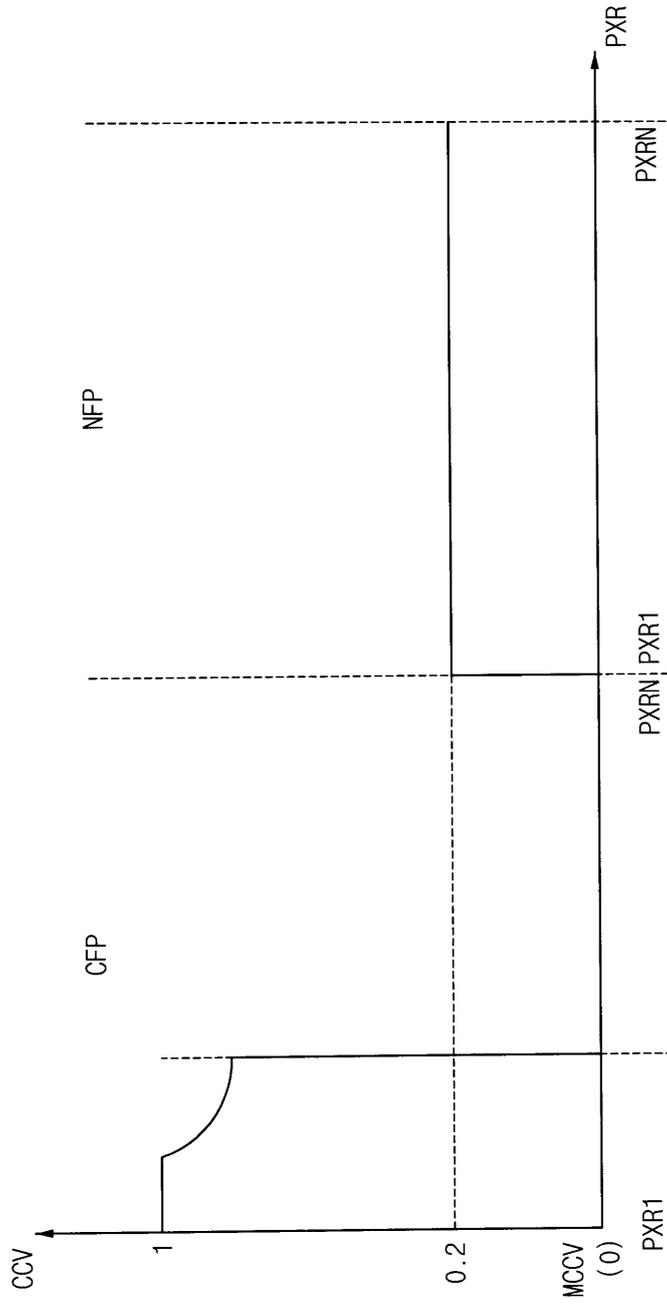
도면13



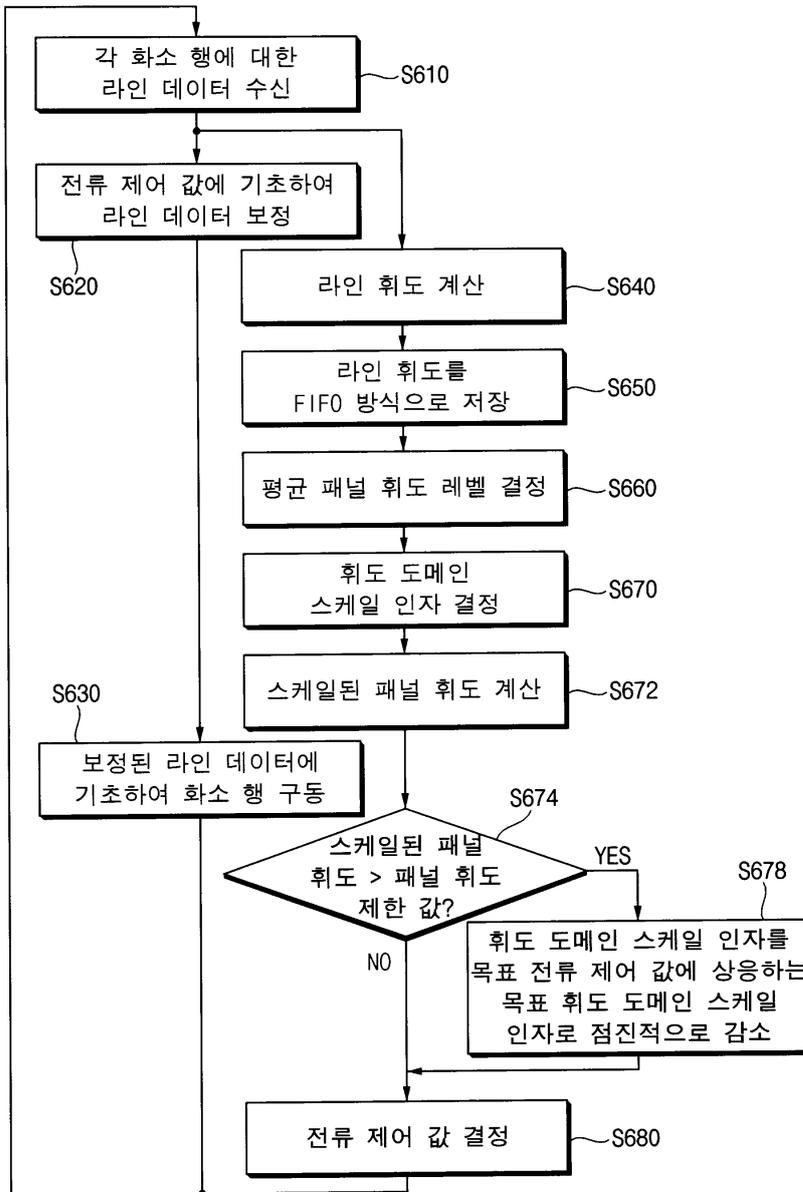
도면14



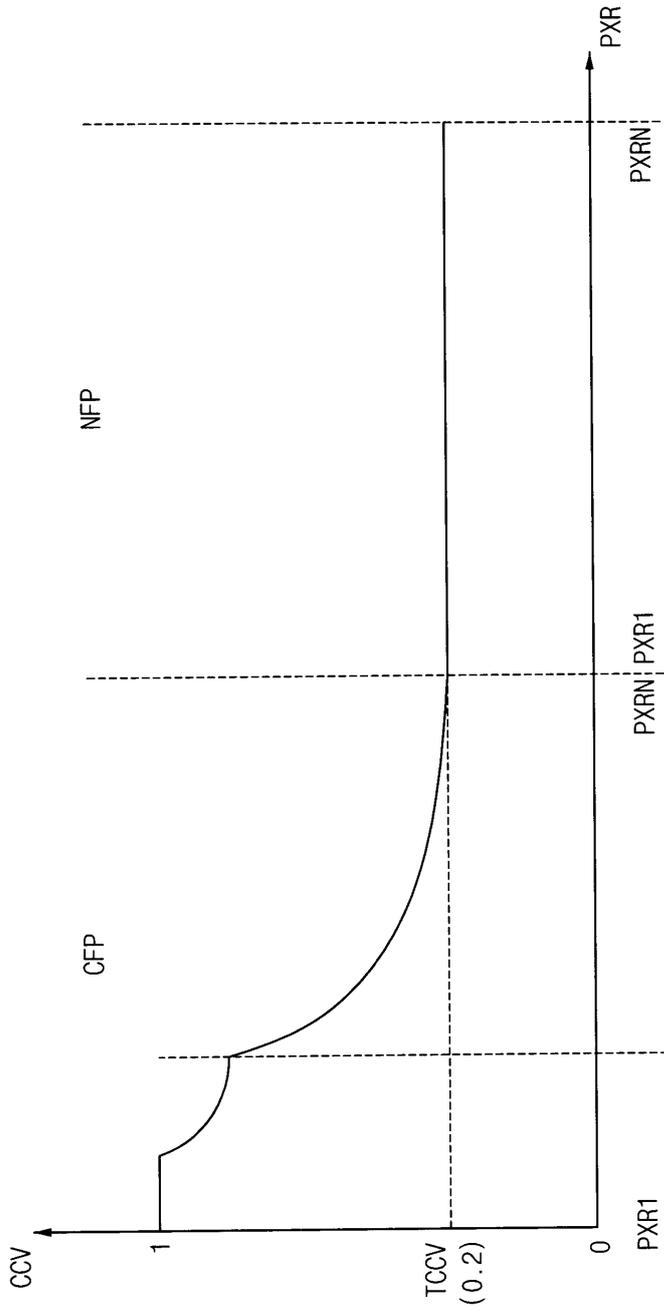
도면15



도면16



도면17



도면18

