

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-56031
(P2004-56031A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/28	HO 1 L 21/28 L	4M104
HO 1 L 21/3205	HO 1 L 21/28 3O1B	5FO33
HO 1 L 21/822	HO 1 L 21/88 J	5FO38
HO 1 L 27/04	HO 1 L 27/04 D	

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号	特願2002-214777 (P2002-214777)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成14年7月24日 (2002.7.24)	(74) 代理人	100082175 弁理士 高田 守
		(74) 代理人	100066991 弁理士 葛野 信一
		(74) 代理人	100106150 弁理士 高橋 英樹
		(74) 代理人	100108372 弁理士 谷田 拓男
		(72) 発明者	西沢 弘一郎 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内

最終頁に続く

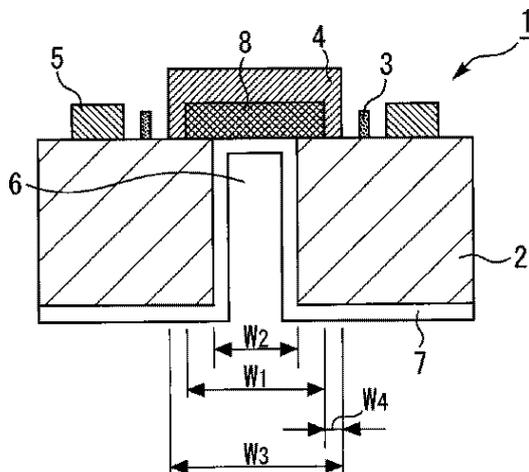
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】素子の小型化を図ることにより、特に、マイクロ波集積回路(MMIC)等の高周波用のICに適した半導体装置を提供する。

【解決手段】半導体基板2と、この半導体基板の表面に形成された金属層8と、この金属層を覆うように形成され周縁部で半導体基板にオーミックコンタクトする電極4と、金属層の直下に半導体基板の裏面から金属層に達する深さで形成されたバイアホール6と、このバイアホールの内面および半導体基板の裏面に形成され、金属層を介して電極と接続する接地電極7とを有することを特徴とする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板と、
前記半導体基板の表面に形成された金属層と、
前記金属層を覆うように形成され周縁部で前記半導体基板にオーミックコンタクトする電極と、
前記金属層の直下に前記半導体基板の裏面から前記金属層に達する深さで形成されたビアホールと、
前記ビアホールの内面および前記半導体基板の裏面に形成され、前記金属層を介して前記電極と接続する接地電極とを有することを特徴とする半導体装置。

10

【請求項 2】

前記金属層および前記電極は矩形状である請求項 1 に記載の半導体装置。

【請求項 3】

前記電極は電解効果トランジスタのソース電極である請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記金属層は下層のチタン層と上層の金属層からなる積層構造である請求項 1 ~ 3 に記載の半導体装置。

【発明の詳細な説明】**【0001】**

20

【発明の属する技術分野】

本発明は、半導体装置に関し、より詳しくは、マイクロ波集積回路 (M M I C) 等の高周波用の IC に適した半導体装置に関する。

【0002】**【従来の技術】**

図 4 は、従来の半導体装置平面透視図である。また、図 5 は、図 4 において B - B 方向に見た断面図である。図 4 および図 5 において、半導体基板 11 上には、電界効果トランジスタ (F E T , F i e l d E f f e c t T r a n s i s t o r) のゲート電極 12、ソースオーミック電極 13 およびドレインオーミック電極 14 が形成されている。また、半導体基板 2 には、半導体基板 11 の裏面から半導体基板 11 を貫通するビアホール 15 が形成されている。ビアホール 15 の内面および半導体基板 2 の裏面全体には接地電極 16 が形成されており、ビアホール 15 の上部に形成された金属層 17 および配線 18 を介して、例えばソースオーミック電極 13 に接続される。

30

【0003】

次に、図 4 および図 5 に示す半導体装置の製造方法について説明する。まず、ガリウムヒ素 (G a A s) からなる半導体基板 11 の表面にリフトオフ法を用いて、ゲート電極 12、ソースオーミック電極 13、ドレインオーミック電極 14、金属層 17 および配線 18 を形成する。次に、半導体基板 11 の裏面に図示しないレジスト膜を形成し、金属層 17 の裏側に開口部が形成されるようにレジスト膜をパターンニングする。続いて、レジスト膜をマスクに用いて半導体基板 11 の裏面に対してエッチングを行い、半導体基板 11 を貫通して金属層 17 に達するビアホール 15 を形成する。この際、金属層 17 は、エッチングストッパーとしての役割を果たしている。そして、ビアホール 15 の内部および半導体基板 11 の裏面全体に金 (A u) めっきを行って、接地電極 16 を形成する。

40

【0004】**【発明が解決しようとする課題】**

このように、従来の半導体装置の製造方法においては、ビアホール形成の際のエッチングストッパーとして金属層の存在が必要である。ところで、金属層の幅をビアホールの幅と略同じに設定した場合、ビアホール形成の際にオーバーエッチングが発生してビアホールの幅が金属層の幅より大きくなると、半導体基板の表面にビアホールが露出する事態が生じ得る。したがって、金属層の幅はビアホールの幅よりも大きく設定する必

50

要がある。

【0005】

一方、金属層のパターンは、リフトオフ法により形成される。実際の工程においては、位置合せ精度との関係でパターンに位置ずれが発生するおそれがあることから、位置ずれによってバイアホールが露出することのないようにアライメントマージンを設ける必要がある。また、金属層と配線を介して接続するソースオーミック電極のパターンもリフトオフ法により形成される。この場合も同様に位置ずれが発生するおそれがあることから、アライメントマージンを設ける必要がある。

【0006】

このように、バイアホールのオーバーエッチングや金属層の位置ずれによる不良を防止するために、金属層にはある程度の幅が必要である。そして、ソースオーミック電極の位置ずれによる不良を防止するために、ソースオーミック電極にもアライメントマージンが必要である。しかしながら、これらを考慮してパターンを設計することは、素子の微細化を進める上で大きな問題となっていた。

10

【0007】

ここで、ソースオーミック電極の直下にバイアホールを形成することにより素子の微細化を図ることも考えられる。しかしながら、例えば、バイアホールをウェットエッチング法により形成する場合、ソースオーミック電極は耐エッチング液性に劣るため、半導体基板を貫通してソースオーミック電極に達するバイアホールを形成することは困難であるという問題があった。また、バイアホールをドライエッチング法により形成する場合であっても、ソースオーミック電極下の基板に形成されたアロイがエッチングガスと反応して異状エッチングをきたすおそれがあることから、同様に困難であるという問題があった。

20

【0008】

本発明はこのような問題点に鑑みてなされたものである。即ち、本発明の目的は、素子の小型化を図ることにより、特に、マイクロ波集積回路(MMIC)等の高周波用のICに適した半導体装置を提供することにある。

【0009】

本発明の他の目的および利点は以下の記載から明らかとなるであろう。

【0010】

【課題を解決するための手段】

本願請求項1にかかる発明は、

半導体基板と、

前記半導体基板の表面に形成された金属層と、

前記金属層を覆うように形成され周縁部で前記半導体基板にオーミックコンタクトする電極と、

前記金属層の直下に前記半導体基板の裏面から前記金属層に達する深さで形成されたバイアホールと、

前記バイアホールの内面および前記半導体基板の裏面に形成され、前記金属層を介して前記電極と接続する接地電極とを有することを特徴とする半導体装置に関する。

30

【0011】

本願請求項2にかかる発明は、請求項1に記載の半導体装置において、前記金属層および前記電極は矩形状であることを特徴とする。

40

【0012】

本願請求項3にかかる発明は、請求項1または2に記載の半導体装置において、前記電極は電解効果トランジスタのソース電極であることを特徴とする。

【0013】

本願請求項4にかかる発明は、請求項1～3に記載の半導体装置において、前記金属層は下層のチタン層と上層の金層からなる積層構造であることを特徴とする。

【0014】

【発明の実施の形態】

50

以下、本発明の実施の形態を図面を参照して詳細に説明する。

【0015】

図1は、本発明にかかる半導体装置の好ましい態様の平面透視図である。また、図2は、図1においてA-A方向に見た断面図である。図1および図2に示すように、本発明にかかる半導体装置1は、半導体基板2、ゲート電極3、ソースオーミック電極4、ドレインオーミック電極5、バイアホール6、接地電極7および金属層8を有する。半導体基板2の表面には、電界効果トランジスタの各電極、すなわち、ゲート電極3、ソースオーミック電極4およびドレインオーミック電極5が形成されている。さらに、半導体基板2の表面には金属層8が形成されている。ここで、ゲート電極3およびドレインオーミック電極5は、半導体基板2の表面に直接形成されている。一方、ソースオーミック電極4は、金属層8の上に金属層8を覆うようにして形成されているとともに、その周縁部において半導体基板2とオーミックコンタクトしている。尚、半導体基板2内には、図示しない拡散領域が形成されている。図1に示すように、金属層8およびソースオーミック電極4は矩形形状をしている。そして、金属層8の直下にはバイアホール6が形成されていて、バイアホール6は半導体基板2を貫通して半導体基板2の裏面に達している。さらに、バイアホール6の内面および半導体基板2の裏面全体には、接地電極7が形成されている。

10

【0016】

金属層8は、直下に形成するバイアホール6が半導体基板2の表面に露出することのないように、完全にバイアホール6を覆う構造とする。具体的には、図2において、金属層8の幅 W_1 は、バイアホール6の幅 W_2 に金属層8を形成する際のアライメントマージンを加えた値とする。バイアホール6の幅 W_2 は、例えば $15\mu\text{m} \sim 30\mu\text{m}$ 程度であることが好ましい。この場合、金属層8を形成する際のアライメントマージンは、 $5\mu\text{m} \sim 10\mu\text{m}$ 程度であることが好ましい。例えば、バイアホール6の幅 W_2 が $15\mu\text{m}$ である場合、金属層8の幅 W_1 は、 $20\mu\text{m} \sim 25\mu\text{m}$ 程度であることが好ましい。尚、図1に示すように金属層8およびバイアホール6が矩形形状である場合、幅 W_1 方向に垂直な方向および幅 W_2 方向に垂直な方向についても同様であり、金属層8の幅がバイアホール6の幅に金属層8を形成する際のアライメントマージンを加えた値となるように設計する。

20

【0017】

ソースオーミック電極4は、金属層8が露出することのないように、完全に金属層8を覆う構造とする。また、ソースオーミック電極4は、外縁部で半導体基板2と直接オーミックコンタクトする構造とする。ここで、図2において、ソースオーミック電極4が半導体基板2とオーミックコンタクトする部分の長さをコンタクト長 W_4 と称する。したがって、ソースオーミック電極4の幅 W_3 は、金属層8の幅 W_1 にコンタクト長 W_4 およびアライメントマージンを加えた値に設定する。

30

【0018】

素子の小型化の観点からは、コンタクト長 W_4 は小さい程好ましい。しかしながら、あまり小さくするとコンタクト部に熱が発生して電極が焼き切れるおそれがあることから好ましくない。したがって、コンタクト長 W_4 は、 $2\mu\text{m} \sim 3\mu\text{m}$ 程度であることが好ましい。一方、ソースオーミック電極4を形成する際のアライメントマージンは、 $0.5\mu\text{m} \sim 1\mu\text{m}$ 程度であることが好ましい。尚、図1に示すようにソースオーミック電極4が矩形形状である場合、幅 W_3 方向に垂直な方向についても同様であり、ソースオーミック電極4の幅 W_3 が、金属層8の幅 W_1 にコンタクト長 W_4 およびアライメントマージンを加えた値となるように設定する。

40

【0019】

本発明の半導体装置においては、バイアホールの上にソースオーミック電極を形成することを特徴としている。このような構造とすることによって、バイアホールとソースオーミック電極との間に所定の間隔を設ける必要がなくなる。そして、ソースオーミック電極はアライメントマージンを考慮した大きさに設計すればよいので、素子の小型化を達成することができる。

【0020】

50

また、本発明の半導体装置においては、バイアホールとソースオーミック電極の間に金属層を介在させることを特徴としている。これによって、金属層がバイアホール形成時のエッチングストッパーとして働くので、ソースオーミック電極がダメージを受けることなくバイアホールを形成することができる。

【0021】

次に、図3を用いて、本発明にかかる半導体装置の製造方法について説明する。

【0022】

まず、図3(a)に示すように、半導体基板2の表面に金属層8、ゲート電極3およびドレインオーミック電極5を形成する。半導体基板2としては、例えばガリウムヒ素(GaAs)基板を用いることができる。金属層8としては、エッチングの際にエッチング液またはエッチングガスと反応しない導電性材料を用いる。例えば、金属層8は、チタン(Ti)/金(Au)からなる積層金属を蒸着し、リフトオフにより形成される。この場合、例えば、下層のチタン(Ti)層の膜厚を500程度とし、上層の金(Au)層の膜厚を2 μ m程度とすることができる。ゲート電極3は、例えばチタン(Ti)/金(Au)またはチタン(Ti)/アルミニウム(Al)からなる積層金属を蒸着し、リフトオフにより形成される。ドレインオーミック電極は、例えば金(Au)/ゲルマニウム(Ge)/ニッケル(Ni)/金(Au)からなる積層金属を蒸着し、リフトオフにより形成される。金属層8、ゲート電極3、ドレインオーミック電極5の形成は必ずしもこの順で行わなければならないものではなく、いずれが先であってもよい。

【0023】

本発明においては、金属層は後に形成するバイアホールの直上に設けられるものであり、バイアホール形成時のオーバーエッチングや金属層形成時の位置ずれによって半導体基板の表面にバイアホールが露出することのないように、金属層の大きさを設定する必要がある。具体的には、金属層の大きさを、バイアホールの大きさに金属層を形成する際のアライメントマージンを加えた大きさに設定する。例えば、図1に示すように、金属層8を、バイアホール6の長辺にアライメントマージンを加えた長さの長辺を有し、バイアホール6の短辺にアライメントマージンを加えた長さの短辺を有する矩形状とすることができる。

【0024】

次に、図3(b)に示すように、金属層8の上にソースオーミック電極4を形成する。例えば、Au/Ge/Ni/Auからなる積層金属を蒸着し、リフトオフにより形成する。この際、ソースオーミック電極4が金属層8を完全に覆うようにするとともに、ソースオーミック電極4の周縁部で半導体基板2とソースオーミック電極4がオーミックコンタクトするようにする。したがって、ソースオーミック電極4の大きさは、金属層8の大きさに加えて半導体基板2とのコンタクト長(図2の W_4)を考慮するとともに、ソースオーミック電極4を形成する際のアライメントマージンも考慮して決定する。例えば、図1に示すように、ソースオーミック電極4を、金属層8の長辺とコンタクト長にアライメントマージンを加えた長さの長辺を有し、金属層8の短辺とコンタクト長にアライメントマージンを加えた長さの短辺を有する矩形状とすることができる。

【0025】

次に、図3(c)に示すように、半導体基板2の裏面に、レジスト膜等からなり、金属層8に対応する位置に開口部9を有するマスク層10を形成する。次に、図3(d)に示すように、ウェットエッチング法または異方性ドライエッチング法により、半導体基板2をエッチングしてバイアホール6を形成する。本発明においては、半導体基板2においてバイアホール6が形成される位置は、ソースオーミック電極4が形成される位置にも対応している。しかしながら、両者の間には金属層8が介在し、金属層8がエッチングストッパーとしての役割を果たすので、エッチング時にソースオーミック電極4がエッチング液やエッチングガスに直接触れることはない。したがって、ソースオーミック電極4にダメージを与えることなく、ソースオーミック電極4の下にバイアホール6を形成することができる。

【0026】

最後に、図3(e)に示すように、ビアホール6の内面および半導体基板2の裏面全体に金(Au)めっきを行って、接地電極7を形成する。

【0027】

したがって、本発明の半導体装置によれば、半導体基板においてビアホール上にソースオーミック電極を形成するので、半導体素子の小型化を図ることができる。また、ソースオーミック電極とビアホールの上に金属層を設け、この金属層をビアホール形成時のエッチングストッパーとして用いるので、エッチング時にソースオーミック電極にダメージを与えずにビアホールを形成することができる。

【0028】

本実施の形態においては、金属層上にソースオーミック電極を形成する場合について説明したが、本発明はこれに限られるものではない。半導体装置の回路状態によっては、例えば、金属層上にドレインオーミック電極を形成する構造であってもよい。

【0029】

【発明の効果】

本願請求項1~4に記載の半導体装置によれば、電極下にビアホールを形成するので、小型化された半導体装置が得られる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置の平面透視図である。

【図2】本発明にかかる半導体装置の断面図である。

【図3】本発明にかかる半導体装置の製造方法を示す図である。

【図4】従来の半導体装置の平面透視図である。

【図5】従来の半導体装置の断面図である。

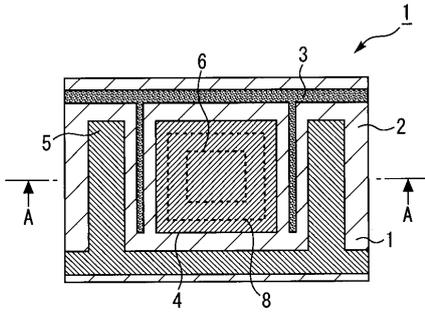
【符号の説明】

1 半導体装置、 2, 11 半導体基板、 3, 12 ゲート電極、 4, 13 ソースオーミック電極、 5, 14 ドレインオーミック電極、 6, 15 ビアホール、 7, 16 接地電極、 8, 17 金属層、 9 開口部、 10 マスク層、 18 配線。

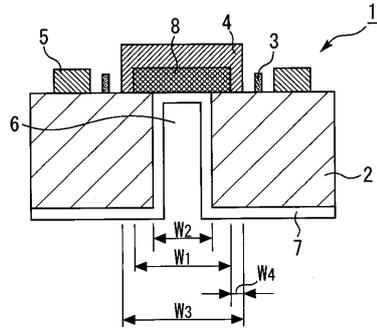
10

20

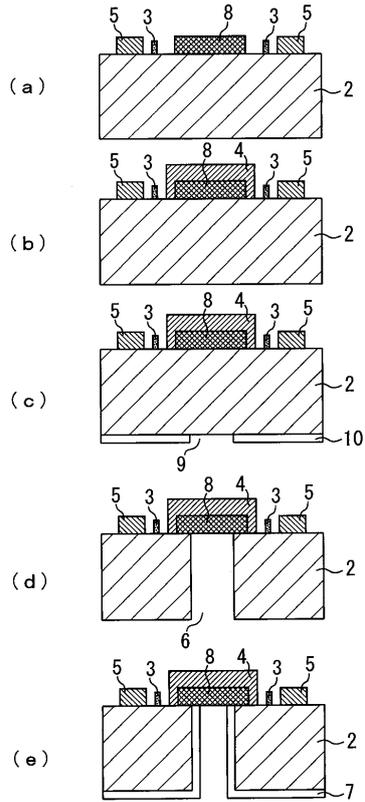
【 図 1 】



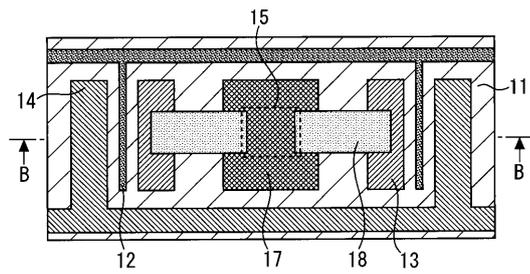
【 図 2 】



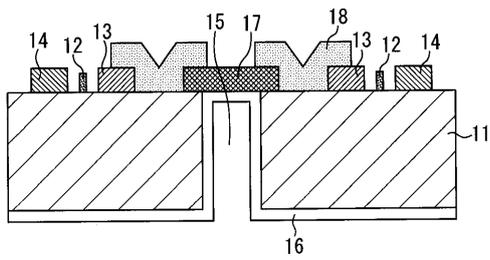
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 安藤 直人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 石田 多華生

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 細木 健治

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 4M104 AA05 AA07 BB09 BB11 BB14 CC01 DD06 DD34 DD52 DD53
DD68 FF02 FF27 GG12
5F033 GG02 HH03 HH07 HH08 HH13 HH18 MM05 MM17 MM30 PP19
PP27 PP28 QQ24 QQ41 VV05 XX03 XX15
5F038 CA12 CD02 DF02 EZ15 EZ20