

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3878607号  
(P3878607)

(45) 発行日 平成19年2月7日(2007.2.7)

(24) 登録日 平成18年11月10日(2006.11.10)

(51) Int. Cl. F I  
H03M 1/06 (2006.01) H03M 1/06

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2004-18776 (P2004-18776)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成16年1月27日(2004.1.27)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2005-217530 (P2005-217530A)	(74) 代理人	100072718 弁理士 古谷 史旺
(43) 公開日	平成17年8月11日(2005.8.11)	(72) 発明者	水正 電大 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成17年4月13日(2005.4.13)	(72) 発明者	日高 篤 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

## 【請求項1】

サンプリングパルスに同期して受信したアナログ信号をデジタル信号に変換するAD変換器と、

前記サンプリングパルスの周波数を検出し、検出した周波数を検出値として出力する周波数検出回路と、

前記AD変換器に供給される電源電流を前記検出値に応じて調整する電流調整回路とを備えていることを特徴とする半導体集積回路。

## 【請求項2】

請求項1記載の半導体集積回路において、

前記周波数検出回路は、前記検出値を検出電圧として出力し、

前記電流調整回路は、電源線と前記AD変換器の電源端子との間に配置され、ゲートで前記検出電圧を受けるトランジスタを備えていることを特徴とする半導体集積回路。

## 【請求項3】

請求項2記載の半導体集積回路において、

前記周波数検出回路は、

前記サンプリングパルスの立ち上がりエッジおよび立ち下がりエッジの一方に同期してエッジ検出パルスを生成するパルス生成回路と、

前記エッジ検出パルスに同期して所定時間の計測を開始し、計測中に低レベルを保持し、非計測中に高レベルを保持する矩形パルスを出力するタイマ回路と、

10

20

前記矩形パルスの電圧を平滑し、前記検出電圧として出力する平滑回路とを備えていることを特徴とする半導体集積回路。

【請求項 4】

請求項 1 記載の半導体集積回路において、

前記 A/D 変換器は、複数ビットからなる前記デジタル信号を k ビットのデジタル値に分けて順次生成する縦続接続された複数の A/D 変換部と、

順次生成された k ビットのデジタル値を合成して前記複数ビットの前記デジタル信号を生成する演算回路とを備え、

前記各 A/D 変換部は、

前記アナログ信号または前段の A/D 変換部から出力されるアナログ値を前記サンプリングパルスに同期して保持する保持部と、

前記保持部に保持されたアナログ信号またはアナログ値を k ビットのデジタル値に変換するサブ A/D 変換器と、

前記サブ A/D 変換器により変換されたデジタル値をアナログ値に変換するサブ D/A 変換器と、

前記保持部に保持されたアナログ信号またはアナログ値から前記サブ D/A 変換器で変換したアナログ値を減ずる減算器と、

前記減算器から出力されるアナログ信号に 2 の k 乗を乗じ、乗じた値を次段の保持部に供給する乗算器とを備え、

前記電流調整回路は、前記増幅器に供給される電源電流をそれぞれ調整するための複数の種類のバイアス電圧を前記検出値に応じてそれぞれ調整することを特徴とする半導体集積回路。

【請求項 5】

請求項 4 記載の半導体集積回路において、

前記電流調整回路は、

前記バイアス電圧を生成するバイアス生成部と、

電源線と前記バイアス生成部の電源端子との間に配置され、ゲートで前記検出電圧を受けるトランジスタとを備えていることを特徴とする半導体集積回路。

【請求項 6】

サンプリングパルスに同期して受信したデジタル信号をアナログ信号に変換する D/A 変換器と、

前記サンプリングパルスの周波数を検出し、検出した周波数を検出値として出力する周波数検出回路と、

前記 D/A 変換器に供給する電源電流を前記検出値に応じて調整する電流調整回路とを備えていることを特徴とする半導体集積回路。

【請求項 7】

請求項 6 記載の半導体集積回路において、

前記周波数検出回路は、前記検出値を検出電圧として出力し、

前記電流調整回路は、電源線と前記 D/A 変換器の電源端子との間に配置され、ゲートで前記検出値である電圧を受けるトランジスタを備えていることを特徴とする半導体集積回路。

【請求項 8】

請求項 7 記載の半導体集積回路において、

前記周波数検出回路は、

前記サンプリングパルスの立ち上がりエッジおよび立ち下がりエッジの一方に同期してエッジ検出パルスを生成するパルス生成回路と、

前記エッジ検出パルスに同期して所定時間の計測を開始し、計測中に低レベルを保持し、非計測中に高レベルを保持する矩形パルス出力するタイマ回路と、

前記矩形パルスの電圧を平滑し、前記検出電圧として出力する平滑回路とを備えていることを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、A/D変換器またはD/A変換器を有する半導体集積回路に関し、特に消費電力を削減する技術に関する。

## 【背景技術】

## 【0002】

A/D変換器は、アナログ信号をサンプリングパルスに同期して複数ビットのデジタル信号に変換する。同様に、D/A変換器は、複数ビットのデジタル信号をサンプリングパルスに同期してアナログ信号に変換する。A/D変換器およびD/A変換器の動作速度は、サンプリングパルスの周波数（サンプリング周波数）に依存して決まり、それらの消費電力は、サンプリング周波数が高いときほど大きくなる。このため、A/D変換器およびD/A変換器は、サンプリング周波数が最大の際に、十分な電源電流が供給できるように設計される。一般に、A/D変換器およびD/A変換器に定常的に流れる電流は、サンプリング周波数に依存しない。したがって、サンプリング周波数が低いときも、必要以上の電源電流が消費されてしまう。

10

## 【0003】

A/D変換器の消費電力を最適にするために、動作モードを示す制御信号によりA/D変換器の電源電流を段階的に調整する技術が提案されている（例えば、特許文献1）。

## 【特許文献1】特開2000-201076号公報

20

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

電源電流を制御信号により調整する場合、制御信号の本数が“n”のとき、調整できる電源電流のパターンは、2のn乗通りである。このため、電源電流をサンプリング周波数に対応して最適に設定するためには、制御信号の本数を多くする必要がある。電源電流の調整回路は複雑になる。また、制御信号は、A/D変換器を制御するシステムが生成するため、実際に動作しているA/D変換器に最適な電源電流が設定されとは限らない。このような問題は、D/A変換器でも同様である。

## 【0005】

30

本発明の目的は、A/D変換器のサンプリング周波数に応じて、最適な電源電流をA/D変換器に供給することにある。

## 【0006】

本発明の別の目的は、D/A変換器のサンプリング周波数に応じて、最適な電源電流をD/A変換器に供給することにある。

## 【課題を解決するための手段】

## 【0007】

本発明の第1の側面によれば、半導体集積回路では、A/D変換器は、サンプリングパルスに同期して受信したアナログ信号をデジタル信号に変換する。周波数検出回路は、サンプリングパルスの周波数を検出し、検出した周波数を検出値として出力する。電流調整回路は、A/D変換器に供給される電源電流を検出値に応じて調整する。例えば、A/D変換器に供給される電源電流は、サンプリングパルスの周波数が高いときに増加し、サンプリングパルスの周波数が低いときに減少する。電源電流は、サンプリング周波数に追従して連続的に変化する。

40

## 【0008】

A/D変換器に定常的に流れる電源電流（A/D変換動作に寄与しない電流）は、サンプリング周波数の低下とともに減少する。この結果、常に最適な電源電流をA/D変換器の動作周波数に応じて供給できる。すなわち、消費電力を削減できる。サンプリング周波数に応じて電源電流を調整できるため、広い周波数帯域を有するA/D変換器を形成できる。特に、外部からの制御信号を受けことなく自動的に電源電流を調整できるため、汎用性の高

50

いAD変換器を形成できる。

【0009】

上記第1の側面の好ましい例の半導体集積回路では、AD変換器は、演算回路および縦続接続された複数のAD変換部を有している。各AD変換部は、保持部、サブAD変換器、サブDA変換器、減算器および乗算器を有している。保持部は、AD変換器の外部からのアナログ信号または前段のAD変換部から出力されるアナログ値をサンプリングパルスに同期して受信し保持する。サブAD変換器は、保持部に保持されたアナログ信号またはアナログ値をkビットのデジタル値に変換する。サブDA変換器は、サブAD変換器により変換されたkビットのデジタル値をアナログ値に変換する。減算器は、保持部に保持されたアナログ信号またはアナログ値とサブDA変換器で変換したアナログ値との差を求め、求めた差をアナログ値として出力する。乗算器は、減算器から出力されるアナログ値に2のk乗を乗じ、乗じた値を次段の保持部に供給する。そして、AD変換部は、複数ビットからなるデジタル信号のうちの互いに異なるkビットをそれぞれ順次生成する。

10

【0010】

演算回路は、順次生成されたkビットのデジタル値を合成して複数ビットのデジタル信号を生成する。このように、本発明では、いわゆるパイプライン方式のAD変換器が構成されている。電流調整回路は、AD変換部の乗算器に供給される電源電流をそれぞれ調整するための複数種のバイアス電圧を検出値に応じて調整する。したがって、パイプライン方式のAD変換器において、乗算器の電源電流をサンプリング周波数に応じて調整でき、AD変換器の消費電力を削減できる。

20

【0011】

上記第1の側面の好ましい例の半導体集積回路では、電流調整回路は、バイアス電圧を生成するバイアス生成部を有している。また、電流調整回路は、電源線とバイアス生成部の電源端子との間に配置されたトランジスタを有している。周波数検出回路は、検出値を検出電圧としてトランジスタのゲートに出力する。このため、バイアス電圧を、サンプリング周波数に対応するゲート電圧に応じて連続的に変化させることができ、常に最適な値に設定できる。この結果、乗算器の電源電流をサンプリング周波数に応じて最適に調整でき、消費電力を削減できる。

【0012】

本発明の第2の側面によれば、半導体集積回路では、DA変換器は、サンプリングパルスに同期して受信したデジタル信号をアナログ信号に変換する。周波数検出回路は、サンプリングパルスの周波数を検出し、検出した周波数を検出値として出力する。電流調整回路は、DA変換器に供給する電源電流を検出値に応じて調整する。例えば、DA変換器に供給される電源電流は、サンプリングパルスの周波数が高いときに増加し、サンプリングパルスの周波数が低いときには減少する。電源電流は、サンプリング周波数に追従して連続的に変化する。

30

【0013】

DA変換器に定常的に流れる電源電流(DA変換動作に寄与しない電流)は、サンプリング周波数の低下とともに減少する。この結果、常に最適な電源電流をDA変換器の動作周波数に応じて供給できる。すなわち、消費電力を削減できる。サンプリング周波数に応じて電源電流を調整できるため、広い周波数帯域を有するDA変換器を形成できる。特に、外部からの制御信号を受けることなく自動的に電源電流を調整できるため、汎用性の高いDA変換器を形成できる。

40

【0014】

上記第1および第2の側面の好ましい例の半導体集積回路では、電流調整回路は、電源線とAD変換器の電源端子との間に配置されたトランジスタを有している。周波数検出回路は、検出値を検出電圧としてトランジスタのゲートに出力する。このため、電源電流を、サンプリング周波数に対応するゲート電圧に応じて連続的に変化させることができ、常に最適な値に設定できる。

【0015】

50

上記第1および第2の側面の好ましい例の半導体集積回路では、周波数検出回路は、パルス生成回路、タイマ回路および平滑回路を有している。パルス生成回路は、サンプリングパルスの立ち上がりエッジおよび立ち下がりエッジの一方に同期してエッジ検出パルスを生成する。タイマ回路は、エッジ検出パルスに同期して所定時間の計測を開始し、計測中に低レベルを保持し、非計測中に高レベルを保持する矩形パルスを出力する。平滑回路は、矩形パルスの電圧を平滑し、検出電圧として出力する。上記回路構成により、サンプリングパルスの周波数に応じて連続的に変化する検出電圧を容易に生成できる。

【発明の効果】

【0016】

本発明の半導体集積回路では、AD変換器のサンプリング周波数に応じて、最適な電源電流をAD変換器に供給できる。また、DA変換器のサンプリング周波数に応じて、最適な電源電流をDA変換器に供給できる。したがって、AD変換器およびDA変換器の消費電力を削減できる。

10

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施形態を図面を用いて説明する。外部端子を介して供給される信号には、端子名と同じ符号を使用する。また、信号が伝達される信号線には、信号名と同じ符号を使用する。

【0018】

図1は、本発明の半導体集積回路の第1の実施形態を示している。この半導体集積回路は、シリコン基板上にCMOSプロセスを使用して携帯電話等の携帯端末に搭載されるシステムLSIとして形成されている。半導体集積回路は、周波数検出回路10、電流調整回路20およびAD変換器30を有している。半導体集積回路は、図示した以外にもCPUコア、内蔵メモリ、DA変換器、DSP、タイマ等を搭載している。周波数検出回路10は、微分回路12（パルス生成回路）、タイマ回路14および平滑回路16を有している。

20

【0019】

周波数検出回路10は、AD変換器30の動作周波数を決めるサンプリングパルスSPを受け、サンプリングパルスSPの周波数であるサンプリング周波数を示す検出電圧VOUTを出力する。周波数検出回路10の詳細は、図2で説明する。電流調整回路20は、ソースおよびドレインが電源線VDDおよびAD変換器30の電源端子VDにそれぞれ接続されたpMOSトランジスタ20aを有している。pMOSトランジスタ20aのゲートは、周波数検出回路10からの検出電圧VOUTを受けている。AD変換器30は、サンプリングパルスSPに同期してアナログ信号AINを受信し、受信したアナログ信号AINをデジタル信号DOUTに変換し、出力する。

30

【0020】

図2は、図1に示した周波数検出回路10の詳細を示している。微分回路12は、サンプリングパルスSPの入力ノードとエッジ検出パルスEPの出力ノードとの間に配置された容量C1と、出力ノードEPと参照電圧線REF1（例えば、接地線）との間に配置された抵抗R1とを有している。微分回路12は、サンプリングパルスSPの遷移エッジに同期したエッジ検出パルスEP（微分信号）を生成する。

40

【0021】

タイマ回路14は、差動増幅器からなるコンパレータCMP1、CMP2と、コンパレータCMP1、CMP2の出力をリセット端子Rおよびセット端子Sでそれぞれ受けるRSフリップフロップFFと、ゲートがRSフリップフロップFFの/Q出力に接続されたnMOSトランジスタM2と、RSフリップフロップFFのQ出力に接続されたインバータINVと、電源線VDDと接地線VSSとの間にそれぞれ直列に接続された抵抗R2、nMOSトランジスタM1と、抵抗R3、容量C2と、抵抗R4、R5、R6とを有している。

【0022】

50

コンパレータCMP1の“-入力”および“+入力”は、抵抗R4、R5の接続ノードND3および抵抗3、容量C2の接続ノードND2にそれぞれ接続されている。コンパレータCMP2の“+入力”および“-入力”は、抵抗R5、R6の接続ノードND4および抵抗R2、nMOSトランジスタM1の接続ノードND1にそれぞれ接続されている。nMOSトランジスタM2は、ソースを接地線VSSに接続し、ドレインをノードND2に接続している。インバータINVは、平滑回路16にタイマ出力信号TOUTを出力する。

#### 【0023】

タイマ回路14は、以下のように動作する。コンパレータCMP2は、微分回路12が生成するエッジ検出パルスEPのうち正のパルスを受けたときに高レベルを出力し、フリップフロップFFをセットする。コンパレータCMP2は、低レベルのエッジ検出パルスEPを受けたときに低レベルを出力する。ノードND2は、フリップフロップFFがリセットされたときに( $V/Q$  = 高レベル)、容量C2の電荷を引き抜くことで低レベルに変化し、フリップフロップFFがセットされたときに( $V/Q$  = 低レベル)、容量C2を充電しながら徐々に高レベルに変化する。このため、フリップフロップFFは、セットされてから容量C2の容量値に応じた所定時間後にリセットされる。

#### 【0024】

タイマ回路14は、フリップフロップFFのQ出力をインバータINVで反転した後にタイマ出力信号TOUTとして出力する。したがって、タイマ回路14は、エッジ検出パルスEPの正パルス(サンプリングパルスSPの立ち上がりエッジ)に同期して所定時間の計測を開始し、計測中にタイマ出力信号TOUTを低レベルを保持し、非計測中(計測後)にタイマ出力信号TOUTを高レベルに保持する。そして、タイマ回路14は、サンプリングパルスSPの周波数が高いときに短い高レベル期間を有し、サンプリングパルスSPの周波数が低いときに長い高レベル期間を有する矩形パルスをタイマ出力信号TOUTとして出力する。なお、タイマ回路14の時間計測を、サンプリングパルスSPの立ち下がりエッジに同期して開始してもよい。

#### 【0025】

平滑回路16は、タイマ出力信号TOUTの入力ノードと検出電圧VOUTの出力ノードとの間に配置された抵抗R7と、出力ノードVOUTと参照電圧線REF2(例えば、接地線)との間に並列に配置された容量C3および抵抗R8とを有している。平滑回路16は、タイマ回路14から出力されるタイマ出力信号TOUTの電圧を平滑(平均化)し、検出電圧VOUTとして出力する。検出電圧VOUTは、サンプリングパルスSPの周波数が高くなると低くなり、サンプリングパルスSPの周波数が低くなると高くなる。上記回路構成により、サンプリングパルスSPの周波数に応じて連続的に変化する検出電圧VOUTを容易に生成できる。

#### 【0026】

図3は、図2に示した周波数検出回路10の動作を示している。図中、フリップフロップFFのQ出力の高レベル期間T1は、タイマ回路14の計測中を示し、Q出力の低レベル期間は、タイマ回路14の非計測中を示している。期間T1は、サンプリングパルスSPの周波数に依存せず一定である。一方、タイマ回路14の非計測期間であるタイマ出力信号TOUTの高レベル期間(Q出力の低レベル期間)は、上述したように、サンプリングパルスSPの周波数が高いときに短くなり、サンプリングパルスSPの周波数が低いときに長くなる。したがって、タイマ出力信号TOUTの電圧を平滑化した検出電圧VOUTは、サンプリングパルスSPの周波数が高いときに低くなり、サンプリングパルスSPの周波数が低いときに高くなる。検出電圧VOUTは、図1に示した電流調整回路20のpMOSトランジスタ20aのゲートに供給される。したがって、AD変換器30に供給される電源電流Ivdは、消費電力が大きくなるサンプリングパルスSPの周波数が高いときに増加し、消費電力が小さくなるサンプリングパルスSPの周波数が低いときに減少する。電源電流Ivdは、サンプリングパルスSPの周波数に応じて連続的に変化する。この結果、常に最適な電源電流IvdをAD変換器30の動作周波数に応じて供給できる

10

20

30

40

50

## 【0027】

以上、本実施形態では、AD変換器30に供給される電源電流 $I_{vd}$ をサンプリング周波数に追従して連続的に変化させることができる。この結果、常に最適な電源電流 $I_{vd}$ をAD変換器30の動作周波数に応じて供給でき、消費電力を削減できる。サンプリング周波数に応じて電源電流 $I_{vd}$ を調整できるため、広い周波数帯域を有するAD変換器30を形成できる。特に、外部からの制御信号を受けることなくサンプリング周波数に応じて自動的に電源電流 $I_{vd}$ を調整できるため、汎用性の高いAD変換器30を形成できる。

## 【0028】

広い周波数帯域を有するAD変換器30を形成できるため、例えば、GSM(Global System for Mobile Communications)方式のAD変換機能とW-CDMA(Wideband Code Division Multiple Access)方式のAD変換機能を、1つのAD変換器で実現できる。換言すれば、GSM方式とW-CDMA方式での通話が可能なデュアルモード機能を有する携帯電話に搭載される半導体集積回路において、半導体集積回路に形成するAD変換器の数を削減できる。この結果、半導体集積回路のチップサイズおよびチップコストを削減できる。

## 【0029】

汎用性の高いAD変換器30を形成できるため、様々な要求仕様に対応することができる。したがって、要求仕様に合わないためにAD変換器を新たに設計する頻度を下げることができる。この結果、ビジネスチャンスを逃すことを防止でき、設計のリソースを削減できる。

## 【0030】

電源線VDDとAD変換器30の電源端子VDとの間に配置したpMOSトランジスタ20aのゲートに検出電圧VOUTを供給することで、電源電流 $I_{vd}$ を、サンプリング周波数に対応するゲート電圧に応じて連続的に変化させることができる。微分回路12、タイマ回路14および平滑回路16により構成される周波数検出回路10により、サンプリングパルスSPの周波数に応じて連続的に変化する検出電圧VOUTを容易に生成できる。

## 【0031】

図4は、本発明の半導体集積回路の第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この半導体集積回路は、第1の実施形態と同様に、シリコン基板上にCMOSプロセスを使用して携帯電話等の携帯端末に搭載されるシステムLSIとして形成されている。半導体集積回路は、図示した以外にもCPUコア、内蔵メモリ、DA変換器、DSP、タイマ等を搭載している。半導体集積回路は、周波数検出回路10、バイアス回路40(電流調整回路)およびAD変換器50を有している。

## 【0032】

バイアス回路40は、周波数検出回路10からの検出電圧VOUTを受け、検出電圧VOUTに応じてバイアス電圧VB1~VB4を生成する。バイアス電圧VB1~VB4は、増幅器AMPの電源電流を調整するために、AD変換器50の4つのAD変換部52の増幅器AMP(乗算器)に供給される。

## 【0033】

AD変換器50は、縦続接続された4つのAD変換部52、最終段のAD変換部52の出力を受けるサブAD変換器ADCおよび出力コード演算回路54を有している。各AD変換部52は、保持部S/H、サブAD変換器ADC、サブDA変換器DAC、減算器SUBおよび差動増幅器AMPを有している。このAD変換器50は、一般に、パイプライン方式と称される。この種のAD変換器は、アナログ信号を複数のサンプリング期間を用いて上位ビットから順にデジタル値に変換する。このため、各AD変換部52は、一つの時刻において、異なるアナログ信号をデジタル値に変換する。出力コード演算回路5

10

20

30

40

50

4は、異なる時刻に生成されるデジタル値を合成し、入力されたアナログ信号に対応するデジタル信号DOUTを生成する。すなわち、AD変換器50は、サンプリングパルスSPに同期してアナログ信号AINを受信し、受信したアナログ信号AINを10ビットのデジタル信号DOUTに変換し、出力する。

【0034】

初段のAD変換部52の保持部S/Hは、AD変換器50の外部から供給されるアナログ信号AINをサンプリングパルスSPに同期して受信し、保持する。2段から4段目のAD変換部52の各保持部S/Hは、前段のAD変換部52から出力されるアナログ値をサンプリングパルスSPに同期して受信し、保持する。サブAD変換器ADCは、保持部S/Hに保持されたアナログ信号またはアナログ値をkビットのデジタル値に変換する。この実施形態では、“k”は、“2”である。2ビットのデジタル値は、出力コード演算回路54に出力される。

10

【0035】

サブDA変換器DACは、サブAD変換器ADCにより変換された2ビットのデジタル値をアナログ値に変換する。減算器SUBは、保持部S/Hに保持されたアナログ信号またはアナログ値とサブDA変換器DACで変換されたアナログ値との差を求め、求めた差をアナログ値として出力する。増幅器AMPは、減算器SUBから出力されるアナログ値に2のk乗（この例では“4”）を乗じ、乗じた値を次段の保持部S/Hに供給する。そして、AD変換部52は、互いに異なるkビット（2ビット）をそれぞれ順次生成する。最終段のAD変換部52からアナログ値を受けるサブAD変換器ADCは、このアナログ値をkビット（2ビット）のデジタル値に変換する。変換されたデジタル値は、出力コード演算回路54に出力される。ここで、AD変換部52から出力されるデジタル値は、初段側が上位ビットに対応し、後段側が下位ビットに対応する。出力コード演算回路54は、異なる時刻に順次生成された2ビットのデジタル値を合成して10ビットのデジタル信号を生成する。

20

【0036】

図5は、図4のバイアス回路40の詳細を示している。バイアス回路40は、電流調整回路42およびバイアス生成部44を有している。電流調整回路42は、ソースおよびドレインが電源線VDDおよびバイアス生成部44の電源端子VD1、VD2にそれぞれ接続されたpMOSトランジスタ44a、44bを有している。pMOSトランジスタ44a、44bのゲートは、検出電圧VOUTを受けている。バイアス生成部44は、複数のpMOSトランジスタおよびnMOSトランジスタを有しており、互いに異なる所定のバイアス電圧VB1～VB4を生成する。図では、pMOSトランジスタは、ゲートに向く矢印を有するトランジスタで表し、nMOSトランジスタは、ゲートと反対側に向く矢印を有するトランジスタで表している。

30

【0037】

検出電圧VOUTがサンプリングパルスSPの周波数に応じて変化すると、バイアス生成部44に供給されるバイアス電流Ib1、Ib2が連続的に変化し、バイアス電圧VB1～VB4は連続的に変化する。バイアス電圧VB1～VB4の変化により、図4に示した増幅器AMPに供給される電源電流が変化する。増幅器AMPは、電源電流の変化により駆動能力が変化し、消費電力が変化する。より詳細には、サンプリングパルスSPの周波数が高くなると、バイアス電圧VB1～VB4は、増幅器AMPの消費電力が大きくなる側にシフトする。このため、増幅器AMPの駆動能力は高くなり、増幅速度は速くなる。一方、サンプリングパルスSPの周波数が低くなると、バイアス電圧VB1～VB4は、増幅器AMPの消費電力が小さくなる側にシフトする。このため、増幅器AMPの駆動能力は低くなり、増幅速度は遅くなる。パイプライン方式のAD変換器では、乗算器として動作する差動増幅器の消費電力が最も大きい。このため、サンプリングパルスSPの周波数が低いときに、増幅器AMPの消費電力を下げることで、AD変換器50の消費電力を削減できる。

40

【0038】

50



この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、パイプライン方式のAD変換器50において、複数のAD変換部52の増幅器AMPの電源電流をサンプリングパルスSPの周波数に応じて調整でき、AD変換器50の消費電力を削減できる。バイアス電圧VB1～VB4を、サンプリング周波数に対応するゲート電圧(検出電圧VOUT)に応じて連続的に変化させることができ、常に最適な値に設定できる。この結果、増幅器AMPの電源電流をサンプリング周波数に応じて最適に調整でき、その消費電力を削減できる。

#### 【0039】

図6は、本発明の半導体集積回路の第3の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この半導体集積回路は、第1の実施形態と同様に、シリコン基板上にCMOSプロセスを使用して携帯電話等の携帯端末に搭載されるシステムLSIとして形成されている。半導体集積回路は、図示した以外にもCPUコア、内蔵メモリ、AD変換器、DSP、タイマ等を搭載している。

10

#### 【0040】

半導体集積回路は、第1の実施形態のAD変換器30の代わりにDA変換器60が形成されている。DA変換器60は、サンプリングパルスSPに同期して受信したデジタル信号DINをアナログ信号AOUTに変換し、出力する。その他の構成は、第1の実施形態と同じである。すなわち、周波数検出回路10は、サンプリングパルスSPの周波数に応じて検出電圧VOUTを生成する。電流調整回路20は、検出電圧VOUTに応じてDA

20

#### 【0041】

DA変換器60は、抵抗列タイプあるいは電流駆動タイプのもので使用されている。抵抗列タイプのDA変換器は、例えば、電源線と接地線の間直列に接続される抵抗の数(抵抗値)をデジタル値に応じて切り替えることで、アナログ電圧を生成する。電流駆動タイプのDA変換器は、例えば、複数の電流源から出力される電流のいずれかをデジタル値に応じて選択することで、アナログ電圧を生成する。どちらのタイプのDA変換器も、電源線と接地線の間定常電流(リーク電流)を流す必要があり、無駄な電源電流を消費している。このため、サンプリングパルスSPの周波数が低いときに電源電流を下げることで、消費電力は、大幅に削減される。

30

#### 【0042】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、DA変換器60に定常的に流れる電源電流Ivd(DA変換動作に寄与しない電流)を、サンプリング周波数の低下とともに減少させることができる。この結果、常に最適な電源電流IvdをDA変換器60の動作周波数に応じて供給できる。すなわち、DA変換器60の消費電力を削減できる。

#### 【0043】

広い周波数帯域を有するDA変換器60を形成できるため、例えば、GSM方式とW-CDMA方式での通話が可能なデュアルモード機能を有する携帯電話に搭載される半導体集積回路において、半導体集積回路に形成するDA変換器の数を削減できる。この結果、半導体集積回路のチップサイズおよびチップコストを削減できる。また、DA変換器の様々な要求仕様に対応することができる。この結果、ビジネスチャンスを逃すことを防止でき、設計のリソースを削減できる。

40

#### 【0044】

なお、上述した実施形態では、本発明をAD変換器またはDA変換器を有するシステムLSIに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を単体チップ(IC; Integrated Circuit)からなるAD変換器およびDA変換器に適用してもよい。この場合、ICに特別の制御端子を形成することなく、サンプリング周波数に応じて電源電流を自動的に調整できる。すなわち、従来の端子仕様を変えることなく、消費電力を削減できる。

50

## 【 0 0 4 5 】

上述した実施形態では、半導体集積回路に搭載される A D 変換器または D A 変換器の電源電流をサンプリング周波数に応じて調整する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、半導体集積回路に搭載される A D 変換器および D A 変換器に共通の周波数検出回路 1 0 を形成し、A D 変換器および D A 変換器の電源電流を一つの検出電圧 V O U T に基づいてそれぞれ調整してもよい。

## 【 0 0 4 6 】

上述した第 2 の実施形態では、A D 変換器 5 0 の差動増幅器 A M P の電源電流をサンプリング周波数に応じて調整する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、第 1 および第 3 の実施形態を応用して、差動増幅器 A M P の電源電流の調整に加えて、A D 変換器 5 0 のサブ A D 変換器 A D C およびサブ D A 変換器 D A C の少なくとも一方の電源電流を調整してもよい。この場合、A D 変換器 5 0 の消費電力をさらに削減できる。

## 【 0 0 4 7 】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

## 【 図面の簡単な説明 】

## 【 0 0 4 8 】

【 図 1 】 本発明の半導体集積回路の第 1 の実施形態を示すブロック図である。

【 図 2 】 図 1 に示した周波数検出回路の詳細を示す回路図である。

【 図 3 】 図 2 に示した周波数検出回路の動作を示す波形図である。

【 図 4 】 本発明の半導体集積回路の第 2 の実施形態を示すブロック図である。

【 図 5 】 図 4 に示したバイアス回路の詳細を示す回路図である。

【 図 6 】 本発明の半導体集積回路の第 3 の実施形態を示すブロック図である。

## 【 符号の説明 】

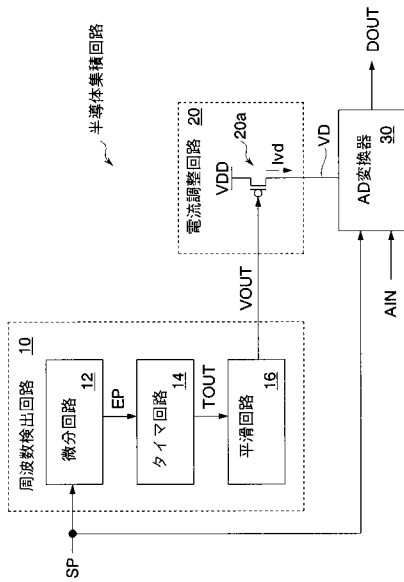
## 【 0 0 4 9 】

1 0	周波数検出回路	
1 2	微分回路	
1 4	タイマ回路	
1 6	平滑回路	30
2 0	電流調整回路	
2 0 a	p M O S トランジスタ	
3 0	A D 変換器	
4 0	バイアス回路	
4 2	電流調整回路	
4 4	バイアス生成部	
4 4 a、4 4 b	p M O S トランジスタ	
5 0	A D 変換器	
5 2	A D 変換部	40
5 4	出力コード演算回路	
6 0	D A 変換器	
A D C	サブ A D 変換器	
A I N	アナログ信号	
A M P	差動増幅器	
A O U T	アナログ信号	
D A C	サブ D A 変換器	
D I N	デジタル信号	
D O U T	デジタル信号	
E P	エッジ検出パルス	50

- I v d 電源電流
- S / H 保持部
- S P サンプリングパルス
- S U B 減算器
- T O U T タイマ出力信号
- V B 1 ~ V B 4 バイアス電圧
- V O U T 検出電圧

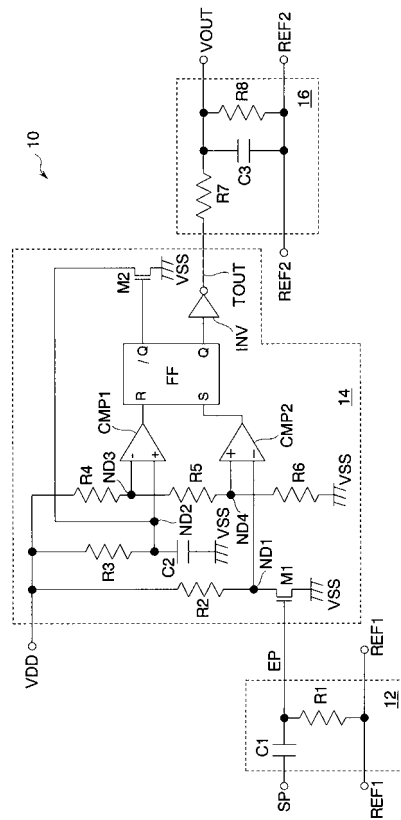
【 図 1 】

本発明の半導体集積回路の第1の実施形態を示すブロック図



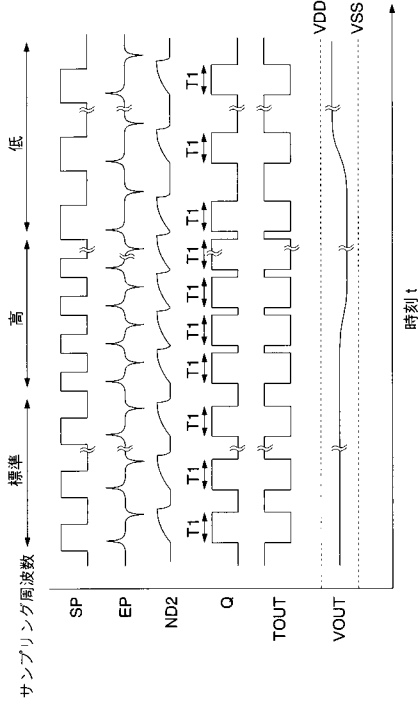
【 図 2 】

図1のF/V変換器の詳細を示す回路図



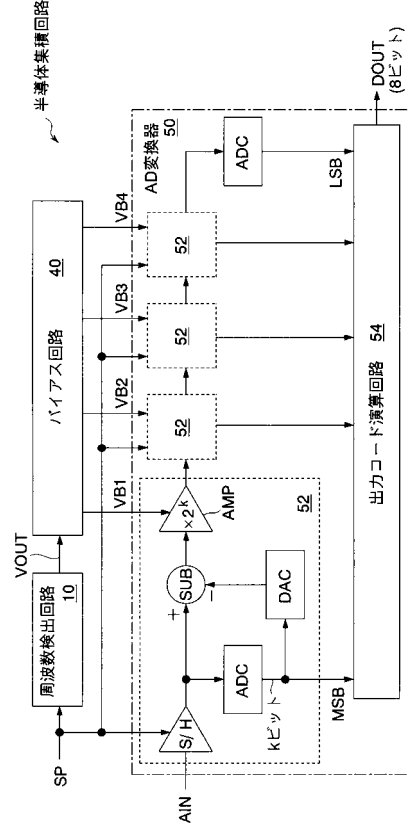
【 図 3 】

図 2 の F/V 変換器の動作を示す波形図



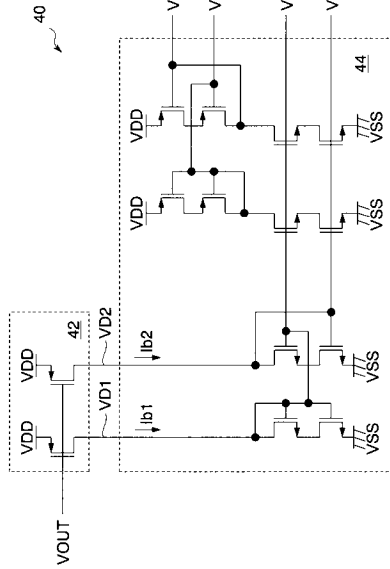
【 図 4 】

本発明の半導体集積回路の第 2 の実施形態を示すブロック図



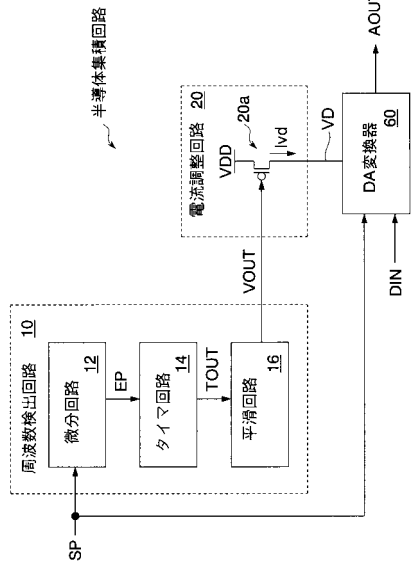
【 図 5 】

図 4 に示したバイアス回路の詳細を示す回路図



【 図 6 】

本発明の半導体集積回路の第 3 の実施形態を示すブロック図



フロントページの続き

(56)参考文献 特開2000-332641(JP,A)  
特開2003-188726(JP,A)  
特開2004-194305(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03M1/00-1/88