



(12) 发明专利申请

(10) 申请公布号 CN 104634487 A

(43) 申请公布日 2015. 05. 20

(21) 申请号 201510084563. 8

(22) 申请日 2015. 02. 16

(71) 申请人 迈尔森电子(天津)有限公司

地址 300381 天津市南开区宾水西道奥城商业广场 A3 座 518 室

(72) 发明人 周文卿

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 应战 骆苏华

(51) Int. Cl.

G01L 1/22(2006. 01)

G01L 1/14(2006. 01)

B81C 1/00(2006. 01)

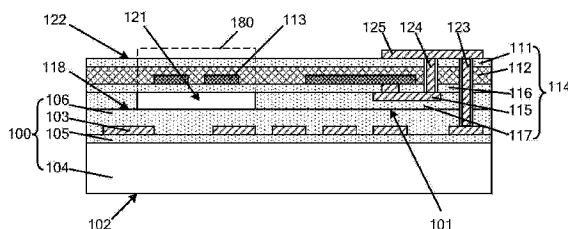
权利要求书5页 说明书29页 附图12页

(54) 发明名称

MEMS 压力传感器及其形成方法

(57) 摘要

一种 MEMS 压力传感器及其形成方法, 形成方法包括: 提供包括相对的第一表面和第二表面的第一衬底, 包括至少一层导电层, 导电层位于第一衬底的第一表面一侧; 提供包括相对的第三表面和第四表面的第二衬底, 包括第二基底和压敏电阻元件, 第二衬底包括压力传感区, 压敏电阻元件位于压力传感区内, 压敏电阻元件位于第二衬底的第三表面一侧; 将第一衬底的第一表面与第二衬底的第三表面相互固定; 在第一衬底与第二衬底的压力传感区之间形成空腔; 去除第二基底, 形成与第二衬底的第三表面相对的第五表面; 自第二衬底的第五表面一侧形成贯穿至至少一层导电层表面的第一导电插塞。MEMS 压力传感器的性能和可靠性提高、尺寸缩小、工艺成本降低。



1. 一种 MEMS 压力传感器的形成方法,其特征在于,包括:

提供第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;

提供第二衬底,所述第二衬底包括相对的第三表面和第四表面,所述第二衬底包括第二基底以及位于第二基底上的压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内,所述压敏电阻元件位于所述第二衬底的第三表面一侧;

将第一衬底的第一表面与第二衬底的第三表面相互固定;

在所述第一衬底与第二衬底的压力传感区之间形成空腔;

去除所述第二基底,形成与所述第二衬底的第三表面相对的第五表面;

自所述第二衬底的第五表面一侧形成贯穿至至少一层所述导电层的第一导电插塞,所述第一导电插塞用于将所述导电层与压敏电阻元件形成电连接。

2. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,所述第一衬底还包括电路。

3. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,所述第二衬底的形成步骤包括:提供绝缘体上半导体衬底,所述绝缘体上半导体衬底包括基底、位于基底表面的绝缘层、以及位于绝缘层表面的半导体层;在所述半导体层内形成压敏电阻元件,所述基底为第二基底。

4. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

5. 如权利要求 4 所述的 MEMS 压力传感器的形成方法,其特征在于,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

6. 如权利要求 4 所述的 MEMS 压力传感器的形成方法,其特征在于,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为粘结工艺;所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

7. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为键合工艺。

8. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,所述空腔的形成步骤包括:在将第一衬底的第一表面与第二衬底的第三表面相互固定之前,形成第一开口,所述第一开口位于所述第二衬底的第三表面一侧或第一衬底的第一表面一侧,或者所述第一衬底的第一表面一侧和第二衬底第三表面一侧均具有第一开口,所述第一开口的位置与所述压力传感区的位置对应。

9. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,所述第一衬底还包括自测电极,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述自测电极的位置与所述压力传感区的位置对应。

10. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,所述第二衬底还包括参考单元区;在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,还在所述第一衬底与第二衬底的参考单元区之间形成空腔,在受到相同外部压力的情况下,所述参

考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

11. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征在于,形成贯通所述第一衬底的第二开口,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

12. 如权利要求 1 所述的 MEMS 压力传感器的形成方法,其特征还在于,还包括:形成自所述第一衬底的第二表面一侧贯穿至至少一层所述导电层的第四导电插塞。

13. 一种 MEMS 压力传感器的形成方法,其特征还在于,包括:

提供第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;

提供第二衬底,所述第二衬底包括相对的第三表面和第四表面,所述第二衬底包括第二基底以及位于第二基底上或内部的压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内,所述压敏电阻元件位于所述第二衬底的第三表面一侧;

将第一衬底的第一表面与第二衬底的第三表面相互固定;

在所述第一衬底与第二衬底的压力传感区之间形成空腔;

对所述第二衬底的第四表面进行减薄,去除部分厚度的第二基底,形成与所述第二衬底的第三表面相对的第五表面;

自所述第二衬底的第五表面一侧形成贯穿至至少一层所述导电层的第一导电插塞,所述第一导电插塞用于将所述导电层与压敏电阻元件形成电连接。

14. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征还在于,所述第一衬底还包括电路。

15. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征还在于,在对所述第二衬底的第四表面进行减薄之后,在所述第二衬底内形成第三开口,且所述第三开口的位置与压力传感区对应。

16. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征还在于,所述第二衬底的形成步骤包括:提供绝缘体上半导体衬底,所述绝缘体上半导体衬底包括基底、位于基底表面的绝缘层、以及位于绝缘层表面的半导体层;在所述半导体层内形成压敏电阻元件,所述基底为第二基底。

17. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征还在于,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

18. 如权利要求 17 所述的 MEMS 压力传感器的形成方法,其特征还在于,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

19. 如权利要求 17 所述的 MEMS 压力传感器的形成方法,其特征还在于,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为粘结工艺;所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

20. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征还在于,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为键合工艺。

21. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征在於,所述空腔的形成步骤包括:在将第一衬底的第一表面与第二衬底的第三表面相互固定之前,形成第一开口,所述第一开口位于所述第二衬底的第三表面一侧或第一衬底的第一表面一侧,或者所述第一衬底的第一表面一侧和第二衬底第三表面一侧均具有第一开口,所述第一开口的位置与所述压力传感区的位置对应。

22. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征在於,所述第一衬底还包括自测电极,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述自测电极的位置与所述压力传感区的位置对应。

23. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征在於,所述第二衬底还包括参考单元区;在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,还在所述第一衬底与第二衬底的参考单元区之间形成空腔,在受到相同外部压力的情况下,所述参考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

24. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征在於,形成贯通所述第一衬底的第二开口,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

25. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征在於,还包括:在所述第二衬底的第五表面一侧形成至少一个贯穿第二基底的第五通孔,所述第五通孔的位置与压力传感区对应。

26. 如权利要求 13 所述的 MEMS 压力传感器的形成方法,其特征在於,还包括:形成自所述第一衬底的第二表面一侧贯穿至至少一层所述导电层的第四导电插塞。

27. 一种 MEMS 压力传感器,其特征在於,包括:

第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;

第二衬底,所述第二衬底包括相对的第三表面和第五表面,所述第二衬底包括压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内;

所述第一衬底的第一表面与第二衬底的第三表面相互固定;

所述第一衬底与第二衬底的压力传感区之间具有空腔;

自所述第二衬底的第五表面一侧贯穿至至少一层所述导电层的第一导电插塞,所述第一导电插塞用于使所述导电层与压敏电阻元件电连接。

28. 如权利要求 27 所述的 MEMS 压力传感器,其特征在於,所述第一衬底还包括电路。

29. 如权利要求 27 所述的 MEMS 压力传感器,其特征在於,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

30. 如权利要求 29 所述的 MEMS 压力传感器,其特征在於,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

31. 如权利要求 29 所述的 MEMS 压力传感器,其特征在於,所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

32. 如权利要求 29 所述的 MEMS 压力传感器,其特征在於,所述第一结合层为键合层;

或者,所述第二结合层为键合层;或者,所述第一结合层和第二结合层为键合层。

33. 如权利要求 27 所述的 MEMS 压力传感器,其特征在于,所述第一衬底还包括自测电极,所述自测电极的位置与所述第二衬底的压力传感区的位置对应。

34. 如权利要求 27 所述的 MEMS 压力传感器,其特征在于,所述第二衬底还包括敏参考单元区;所述第一衬底与第二衬底的参考单元区之间也具有空腔,在受到相同外部压力的情况下,所述参考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

35. 如权利要求 27 所述的 MEMS 压力传感器,其特征在于,还包括:贯通所述第一衬底的第二开口,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

36. 如权利要求 27 所述的 MEMS 压力传感器,其特征在于,还包括:自所述第一衬底的第二表面一侧贯穿至至少一层所述导电层的第四导电插塞。

37. 一种 MEMS 压力传感器,其特征在于,包括:

第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;

第二衬底,所述第二衬底包括相对的第三表面和第五表面,所述第二衬底包括第二基底以及位于第二基底上或内部的压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内;

所述第一衬底的第一表面与第二衬底的第三表面相互固定;

所述第一衬底与第二衬底的压力传感区之间具有空腔;

自所述第二衬底的第五表面一侧贯穿至至少一层所述导电层的第一导电插塞,所述第一导电插塞用于使所述导电层与压敏电阻元件电连接。

38. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,所述第一衬底还包括电路。

39. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,所述第二衬底内具有第三开口,且所述第三开口的位置与压力传感区对应。

40. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

41. 如权利要求 40 所述的 MEMS 压力传感器,其特征在于,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

42. 如权利要求 40 所述的 MEMS 压力传感器,其特征在于,所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

43. 如权利要求 40 所述的 MEMS 压力传感器,其特征在于,所述第一结合层为键合层;或者,所述第二结合层为键合层;或者,所述第一结合层和第二结合层为键合层。

44. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,所述第一衬底还包括自测电极,所述自测电极的位置与所述第二衬底的压力传感区的位置对应。

45. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,所述第二衬底还包括敏参考单元区;所述第一衬底与第二衬底的参考单元区之间也具有空腔,在受到相同外部压力的情况下,所述参考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

46. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,形成贯通所述第一衬底的第

二开口,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

47. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,还包括:至少一个位于所述第二衬底的第五表面一侧并贯穿第二基底的第五通孔,所述第五通孔的位置与压力传感区对应。

48. 如权利要求 37 所述的 MEMS 压力传感器,其特征在于,还包括:自所述第一衬底的第二表面一侧贯穿至至少一层所述导电层的第四导电插塞。

MEMS 压力传感器及其形成方法

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种 MEMS 压力传感器及其形成方法。

背景技术

[0002] 微机电系统 (Micro-Electro Mechanical System, 简称 MEMS) 是一种获取信息、处理信息和执行操作的集成器件。微机电系统中的传感器能够接收压力、位置、速度、加速度、磁场、温度或湿度等外部信息,并将所获得的外部信息转换成电信号,以便于在微机电系统中进行处理。常见的微机电系统包括温度传感器、压力传感器和湿度传感器等。

[0003] 对于 MEMS 压力传感器来说,其尺寸更微小、且工艺精度,而且其制作工艺能够与集成电路芯片的制造工艺兼容,因而使性价比大幅提高。目前的 MEMS 压力传感器包括压阻式压力传感器和电容式压力传感器。压阻式压力传感器利用硅电阻在应(压)力作用下,电阻能够发生变化的原理,采用高精密硅电阻应变片组成惠斯顿电阻桥作为力电变换测量电路,具有较高的测量精度、较低的功耗。

[0004] MEMS 压阻式压力传感器的传统制作方法是先利用离子注入或扩散工艺在硅衬底中形成多个电阻或惠斯顿电阻桥,然后将电阻所在的硅衬底区域用湿法或干法刻蚀工艺形成感应薄膜,最后通过密封工艺在感应薄膜的背后形成压力参照腔,封装后形成压力传感器芯片。所述感应薄膜在外界压力下产生形变及应力,于是电阻或电阻桥的阻值随之产生变化,在电压偏置下,上述阻值变化被转换成电信号并被信号处理电路放大后作为输出信号。

[0005] 而所述压力传感器芯片还需要与信号处理电路实现电信号的传输,以便对压力传感器芯片输出的电信号进行处理,因此,需要对将所述压力传感器芯片与信号处理电路芯片进行系统封装以形成 MEMS 压阻式压力传感器。

[0006] 在现有的 MEMS 压力传感器制作方法中,集成压力传感器芯片和信号处理电路的工艺采用的工艺区别较大,实现单片集成的难度较大。同时,在单一衬底同时制作集成电路和压力传感器时,压力传感器的存在对集成电路的发展起到了阻碍的作用,在同一衬底上集成电路的存在也给小尺寸压力传感器的制作造成了困难。因此,用单一衬底作集成电路和压力传感器的制程较为复杂,所形成的器件尺寸较大,造成制造成本的提高。

[0007] 在单一衬底上制作集成的压力传感器和电路时,如果先制作压力传感器的部件,后制作电路,压力传感器的工艺往往对衬底造成影响,导致集成电路制作的困难的成品率的降低。如果先制作集成电路,后制作压力传感器,集成电路的存在对压力传感器材料的选择以及加工工艺的温度有很大的限制,从而严重降低压力传感器的性能。

[0008] 因此,急需一种可以有效集成压力传感器和集成电路的方法和结构。

发明内容

[0009] 本发明解决的问题是提供一种 MEMS 压力传感器及其形成方法,所述 MEMS 压力传感器制作方法中,制作工艺相互独立,材料选择自由,成品率高,后续集成方法简单,从而形

成的集成压力传感器性能和可靠性提高、尺寸缩小、工艺成本降低。

[0010] 为解决上述问题,本发明提供一种 MEMS 压力传感器的形成方法,包括:提供第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;提供第二衬底,所述第二衬底包括相对的第三表面和第四表面,所述第二衬底包括第二基底以及位于第二基底上的压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内,所述压敏电阻元件位于所述第二衬底的第三表面一侧;将第一衬底的第一表面与第二衬底的第三表面相互固定;在所述第一衬底与第二衬底的压力传感区之间形成空腔;去除所述第二基底,形成与所述第二衬底的第三表面相对的第五表面;自所述第二衬底的第五表面一侧形成贯穿至少一层所述导电层的第一导电插塞,所述第一导电插塞用于将所述导电层与压敏电阻元件形成电连接。

[0011] 可选的,所述第一衬底还包括电路。

[0012] 可选的,所述第二衬底的形成步骤包括:提供绝缘体上半导体衬底,所述绝缘体上半导体衬底包括基底、位于基底表面的绝缘层、以及位于绝缘层表面的半导体层;在所述半导体层内形成压敏电阻元件,所述基底为第二基底。

[0013] 可选的,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

[0014] 可选的,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

[0015] 可选的,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为粘结工艺;所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

[0016] 可选的,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为键合工艺。

[0017] 可选的,所述空腔的形成步骤包括:在将第一衬底的第一表面与第二衬底的第三表面相互固定之前,形成第一开口,所述第一开口位于所述第二衬底的第三表面一侧或第一衬底的第一表面一侧,或者所述第一衬底的第一表面一侧和第二衬底第三表面一侧均具有第一开口,所述第一开口的位置与所述压力传感区的位置对应。

[0018] 可选的,所述第一衬底还包括自测电极,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述自测电极的位置与所述压力传感区的位置对应。

[0019] 可选的,所述第二衬底还包括参考单元区;在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,还在所述第一衬底与第二衬底的参考单元区之间形成空腔,在受到相同外部压力的情况下,所述参考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

[0020] 可选的,形成贯通所述第一衬底的第二开口,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

[0021] 可选的,还包括:形成自所述第一衬底的第二表面一侧贯穿至少一层所述导电层的第四导电插塞。

[0022] 相应的,本发明还提供一种 MEMS 压力传感器的形成方法,包括:提供第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;提供第二衬底,所述第二衬底包括相对的第三表面和第四表面,所述第二衬底包括第二基底以及位于第二基底上或内部的压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内,所述压敏电阻元件位于所述第二衬底的第三表面一侧;将第一衬底的第一表面与第二衬底的第三表面相互固定;在所述第一衬底与第二衬底的压力传感区之间形成空腔;对所述第二衬底的第四表面进行减薄,去除部分厚度的第二基底,形成与所述第二衬底的第三表面相对的第五表面;自所述第二衬底的第五表面一侧形成贯穿至少一层所述导电层的第一导电插塞,所述第一导电插塞用于将所述导电层与压敏电阻元件形成电连接。

[0023] 可选的,所述第一衬底还包括电路。

[0024] 可选的,在对所述第二衬底的第四表面进行减薄之后,在所述第二衬底内形成第三开口,且所述第三开口的位置与压力传感区对应。

[0025] 可选的,所述第二衬底的形成步骤包括:提供绝缘体上半导体衬底,所述绝缘体上半导体衬底包括基底、位于基底表面的绝缘层、以及位于绝缘层表面的半导体层;在所述半导体层内形成压敏电阻元件,所述基底为第二基底。

[0026] 可选的,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

[0027] 可选的,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

[0028] 可选的,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为粘结工艺;所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

[0029] 可选的,将第一衬底的第一表面与第二衬底的第三表面相互固定工艺为键合工艺。

[0030] 可选的,所述空腔的形成步骤包括:在将第一衬底的第一表面与第二衬底的第三表面相互固定之前,形成第一开口,所述第一开口位于所述第二衬底的第三表面一侧或第一衬底的第一表面一侧,或者所述第一衬底的第一表面一侧和第二衬底第三表面一侧均具有第一开口,所述第一开口的位置与所述压力传感区的位置对应。

[0031] 可选的,所述第一衬底还包括自测电极,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述自测电极的位置与所述压力传感区的位置对应。

[0032] 可选的,所述第二衬底还包括参考单元区;在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,还在所述第一衬底与第二衬底的参考单元区之间形成空腔,在受到相同外部压力的情况下,所述参考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

[0033] 可选的,形成贯通所述第一衬底的第二开口,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

[0034] 可选的,还包括:在所述第二衬底的第五表面一侧形成至少一个贯穿第二基底的

第五通孔,所述第五通孔的位置与压力传感区对应。

[0035] 可选的,还包括:形成自所述第一衬底的第二表面一侧贯穿至至少一层所述导电层的第四导电插塞。

[0036] 相应的,本发明还提供一种 MEMS 压力传感器,包括:第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;第二衬底,所述第二衬底包括相对的第三表面和第五表面,所述第二衬底包括压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内;所述第一衬底的第一表面与第二衬底的第三表面相互固定;所述第一衬底与第二衬底的压力传感区之间具有空腔;自所述第二衬底的第五表面一侧贯穿至至少一层所述导电层的第一导电插塞,所述第一导电插塞用于使所述导电层与压敏电阻元件电连接。

[0037] 可选的,所述第一衬底还包括电路。

[0038] 可选的,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

[0039] 可选的,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

[0040] 可选的,所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

[0041] 可选的,所述第一结合层为键合层;或者,所述第二结合层为键合层;或者,所述第一结合层和第二结合层为键合层。

[0042] 可选的,所述第一衬底还包括自测电极,所述自测电极的位置与所述第二衬底的压力传感区的位置对应。

[0043] 可选的,所述第二衬底还包括敏参考单元区;所述第一衬底与第二衬底的参考单元区之间也具有空,在受到相同外部压力的情况下,所述参考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

[0044] 可选的,还包括:贯通所述第一衬底的第二开口,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

[0045] 可选的,还包括:自所述第一衬底的第二表面一侧贯穿至至少一层所述导电层的第四导电插塞。

[0046] 相应的,本发明还提供一种 MEMS 压力传感器,包括:第一衬底,所述第一衬底包括相对的第一表面和第二表面,所述第一衬底包括至少一层导电层,所述导电层位于所述第一衬底的第一表面一侧;第二衬底,所述第二衬底包括相对的第三表面和第五表面,所述第二衬底包括第二基底以及位于第二基底上或内部的压敏电阻元件,所述第二衬底包括压力传感区,所述压敏电阻元件位于所述压力传感区内;所述第一衬底的第一表面与第二衬底的第三表面相互固定;所述第一衬底与第二衬底的压力传感区之间具有空腔;自所述第二衬底的第五表面一侧贯穿至至少一层所述导电层的第一导电插塞,所述第一导电插塞用于使所述导电层与压敏电阻元件电连接。

[0047] 可选的,所述第一衬底还包括电路。

[0048] 可选的,所述第二衬底内具有第三开口,且所述第三开口的位置与压力传感区对应。

[0049] 可选的,所述第二衬底还包括位于所述第三表面一侧的第二结合层;或者,所述第一衬底包括位于所述第一表面一侧的第一结合层;或者,所述第二衬底还包括位于所述第三表面一侧的第二结合层,且所述第一衬底包括位于第一表面一侧的第一结合层。

[0050] 可选的,在所述第一结合层和第二结合层中,至少一者的材料包括绝缘材料。

[0051] 可选的,所述第一结合层或第二结合层为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

[0052] 可选的,所述第一结合层为键合层;或者,所述第二结合层为键合层;或者,所述第一结合层和第二结合层为键合层。

[0053] 可选的,所述第一衬底还包括自测电极,所述自测电极的位置与所述第二衬底的压力传感区的位置对应。

[0054] 可选的,所述第二衬底还包括敏参考单元区;所述第一衬底与第二衬底的参考单元区之间也具有空腔,在受到相同外部压力的情况下,所述参考单元区的第二衬底比压力传感区的第二衬底具有更小的形变。

[0055] 可选的,形成贯通所述第一衬底的第二开口,所述第二开口的位置与所述第二衬底的压力传感区的位置对应。

[0056] 可选的,还包括:至少一个位于所述第二衬底的第五表面一侧并贯穿第二基底的第五通孔,所述第五通孔的位置与压力传感区对应。

[0057] 可选的,还包括:自所述第一衬底的第二表面一侧贯穿至至少一层所述导电层的第四导电插塞。

[0058] 与现有技术相比,本发明的技术方案具有以下优点:

[0059] 本发明的一种形成方法中,提供包括导电层的第一衬底、以及包括压敏电阻元件的第二衬底;而所述导电层位于第一衬底的第一表面一侧,所述压敏电阻元件位于第二衬底的第三表面一侧;通过将所述第一衬底的第一表面与第二衬底的第三表面相互固定,能够形成第一衬底与第二衬底的叠层结构。所述导电层能够用于对所述压敏电阻元件输出的电信号进行传输,而为了使所述导电层与压敏电阻元件之间能够实现电连接,需要在去除第二基底并形成于第三表面相对的第五表面之后,形成第二衬底的第五表面贯穿至导电层的第一导电插塞;由于所述第二衬底的第五表面暴露出所述第一导电插塞,因此后续易于形成于所述第一导电插塞顶部以及压敏电阻元件电连接的第一导电结构,从而实现所述压敏电阻元件与导电层之间的电连接。

[0060] 由于所述导电层形成于第一衬底内,所述压敏电阻元件形成于第二衬底内,并通过使第一衬底的第一表面与第二衬底的第三表面相互固定,以形成第一衬底与第二衬底重叠,从而避免了在同一基底上方逐层形成导电层、与导电层重叠的压敏电阻元件、以及与所述压敏电阻元件与基底之间的空腔的步骤,能够降低工艺难度,尤其是形成空腔的工艺难度。而且,能够避免形成第一衬底的工艺温度限制影响第二衬底的制造工艺,所述第二衬底以及内部的压敏电阻元件的材料以及工艺选择更广泛,所形成的压敏电阻元件的性能也更为优化。

[0061] 由于所述第一衬底的第一表面与第二衬底的第三表面直接接触,则所述第一表面与第三表面的接触面积较大,使得第一衬底和第二衬底之间的相互支撑强度更高,所述第一衬底和第二衬底不易发生弯折、断裂或形变,使得所形成的压力传感器的结构更为稳定,

耐用性得到提高。

[0062] 其次,上述方法导致由第二衬底的第四表面至第一衬底的第二表面之间的距离较小,有利于使所形成的压力传感器的尺寸减小,而且能够使制造成本降低。

[0063] 而且,由于通过形成自第二衬底的第五表面贯穿至导电层的第一导电插塞来实现导电层与压敏电阻元件之间的电连接,则无需在第一衬底第一表面与第二衬底第三表面之间设置额外的导电层,能够避免所述额外的导电层在第一表面和第三表面之间产生应力,进而影响压敏电阻元件和导电层的性能。而且,所述第一衬底第一表面的材料、以及第二衬底第三表面的材料不受限制,能够避免第一表面的材料与第三表面之间的材料热膨胀系数过大,能够使所形成的压力传感器性能更稳定;而且,形成第一衬底和第二衬底的工艺灵活度更高,则所述压力传感器的制造工艺应用更广泛,更有利于与其它集成导电制程相兼容,而且制造成本降低。

[0064] 进一步,所述第一衬底包括电路,由于第一衬底与第二衬底重叠,因此,所述电路能够对所述第二衬底内的压敏电阻元件输出的电信号进行处理。

[0065] 进一步,以提供绝缘体上半导体衬底形成所述第二衬底。其中,通过对所述绝缘体上半导体衬底中的半导体层进行离子掺杂,能够形成压敏电阻元件,所述压敏电阻元件在受到应力作用下能够发生形变,以引起电阻变化,从而输出与所受压力有关的电信号。由于所述绝缘体上半导体衬底中的半导体层为单晶半导体材料,通过在所述单晶半导体材料中掺杂离子所形成的压敏电阻元件具有良好的压力敏感特性,能够使所形成的压敏电阻元件的灵敏度及耐久度提高。

[0066] 进一步,在所述第二衬底的第三表面、第一衬底的第一表面、或者第一表面和第三表面同时形成第一开口,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,由所述第一开口和第一衬底第一表面构成位于压敏电阻元件和导电层之间的空腔。由于除第一开口的位置之外,第一表面和第三表面大面积接触,因此固定后的第一衬底和第二衬底总厚度较小,且第一衬底和第二衬底的机械强度较高,所形成的压力传感器的性能更强。

[0067] 进一步,所述第一衬底还包括自测电极,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述自测电极的位置与所述压敏电阻元件的位置对应。所述自测电极能够对所述压敏电阻元件产生静电引力,以此检测所述压敏电阻元件是否能因形变而产生电阻变化,从而检测所述压敏电阻元件是否能够正常工作。

[0068] 进一步,所述第二衬底包括敏感探测单元区和参考单元区,所述空腔分别形成于所述敏感探测单元区和参考单元区内;例如在所述参考单元区的第二衬底第五表面可以形成覆盖层,因此,在所述参考单元区,能够避免或减小外部压力对压敏电阻元件产生电阻变化,而使所述参考单元区的压敏电阻元件能够随压力以外的因素而产生电阻变化。将所述敏感探测区的压敏电阻元件输出的电信号去除所述参考单元区的压敏电阻元件输出的电信号,则能够获得仅受外部压力影响而产生的电信号。因此,所形成的压力传感器的精确度提高。

[0069] 进一步,形成贯通所述第一衬底的第二开口,在将第一衬底的第一表面与第二衬底的第三表面相互固定之后,所述第二开口的位置与所述压力传感区的位置对应。由于所述第二开口与外部环境连通,使得所述压敏电阻元件的两侧均能够获取外部环境的压力,则所述压敏电阻元件能够获取两侧的压力差信号,因此,能够使所形成的压力传感器为压

差传感器。

[0070] 本发明的另一种形成方法中,提供包括导电层的第一衬底、以及包括压敏电阻元件的第二衬底,通过直接将所述第一衬底的第一表面与第二衬底的第三表面相互固定,能够形成第一衬底与第二衬底的叠层结构。所述导电层能够用于对所述压敏电阻元件输出的电信号进行传输,而为了使所述导电层与压敏电阻元件之间能够实现电连接,需要在减薄部分厚度的第二基底并形成第五表面之后,形成第二衬底的第五表面贯穿至导电层的第一导电插塞;由于所述第二衬底的第五表面暴露出所述第一导电插塞,因此后续易于形成与所述第一导电插塞顶部以及压敏电阻元件电连接的第一导电结构,从而实现所述压敏电阻元件与导电层之间的电连接。由于所述第一表面与第三表面的接触面积较大,使得第一衬底和第二衬底的机械强度更高,所形成的压力传感器的结构更为稳定,耐用性得到提高。其次,由第二衬底的第四表面至第一衬底的第二表面之间的距离较小,所形成的压力传感器的尺寸较小。而且,由于第一表面和第三表面的材料不受限制,能够避免第一表面的材料与第三表面之间的材料热膨胀系数过大,能够使所形成的压力传感器性能更稳定。

[0071] 进一步,所述第二衬底内具有第三开口,且所述第三开口的位置与压力传感区对应。由于除压力传感区以外的区域具有第二基底覆盖,从而能够在所述压敏电阻元件获取外部压力的同时,增加了所述压敏电阻元件到外部环境的距离,从而使所述压敏电阻元件受到保护,避免压敏电阻元件及表面的保护层受到磨损或其它损伤。

[0072] 本发明的一种结构中,具有包括导电层的第一衬底、以及包括压敏电阻元件的第二衬底;而所述导电层位于第一衬底的第一表面一侧。所述第一衬底的第一表面与第二衬底的第三表面相互固定,因此,所述第一衬底与第二衬底重叠设置,而所述导电层用于对所述压敏电阻元件输出的电信号进行传输。所述第一导电插塞由所述第二衬底第五表面贯穿至导电层,能够通过所述第一导电插塞与第一导电结构实现所述压敏电阻元件与导电层之间的电连接。由于所述第一表面与第三表面的接触面积较大,使得第一衬底和第二衬底的机械强度更高,所形成的压力传感器的结构更为稳定,耐用性得到提高。其次,由第二衬底的第五表面至第一衬底的第二表面之间的距离较小,所形成的压力传感器的尺寸较小。而且,由于第一表面和第三表面的材料不受限制,能够避免第一表面的材料与第三表面之间的材料热膨胀系数过大,能够使所形成的压力传感器性能更稳定。

[0073] 本发明的另一种结构中,具有包括导电层的第一衬底,还具有包括第二基底以及位于第二基底上的压敏电阻元件的第二衬底;所述导电层位于第一衬底的第一表面一侧,而所述压敏电阻元件位于所述第二衬底的第三表面一侧。由于所述第一衬底的第一表面与第二衬底的第三表面相互固定,因此,所述第一衬底与第二衬底重叠设置,而所述导电层用于对所述压敏电阻元件输出的电信号进行传输。由于第二基底位于所述第二衬底的第五表面一侧,所述第二基底能够对所述压敏元件进行保护。而所述第一导电插塞由所述第二衬底第五表面贯穿至导电层,能够通过所述第一导电插塞与第一导电结构实现所述压敏电阻元件与导电层之间的电连接。由于所述第一表面与第三表面的接触面积较大,使得第一衬底和第二衬底的机械强度更高,所形成的压力传感器的结构更为稳定,耐用性得到提高。其次,所述第一衬底第一表面与第二衬底的第三表面之间不存在过多的间隙,由第二衬底的第五表面至第一衬底的第二表面之间的距离较小,所形成的压力传感器的尺寸较小。而且,由于第一表面和第三表面的材料不受限制,能够避免第一表面的材料与第三表面之间的材

料热膨胀系数过大,能够使所形成的压力传感器性能更稳定。

附图说明

- [0074] 图 1 至图 9 是本发明一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图;
- [0075] 图 10 至图 11 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图;
- [0076] 图 12 至图 15 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图;
- [0077] 图 16 至图 17 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图;
- [0078] 图 18 至图 20 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图;
- [0079] 图 21 至图 23 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图;
- [0080] 图 24 至图 26 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图;
- [0081] 图 27 是本发明另一实施例的 MEMS 应力传感器的形成过程的剖面结构示意图。

具体实施方式

[0082] 如背景技术所述,在现有的 MEMS 压力传感器制作方法中,集成压力传感器芯片和信号处理电路的工艺制程较为复杂,而且所形成的器件尺寸较大。

[0083] 在一种制造 MEMS 压力传感器的实施例中,分别制造完成压力传感器芯片和信号处理电路芯片;将所述压力传感器芯片和信号处理电路芯片放置到具有空腔的封装衬底上,并用压焊引线将传感器芯片和信号处理电路芯片相连接;在将传感器芯片和信号处理电路芯片相连接之后,涂覆保护胶,以包围所述将传感器芯片和信号处理电路芯片;在涂覆保护胶之后,在所述保护胶外设置塑料盖或金属盖以进行密封。在另一实施例中,还能够将压力传感器芯片和信号处理电路芯片放置到平面封装衬底上,用压焊引线将两芯片连接,之后再涂覆保护软胶并采用金属壳覆盖。

[0084] 然而,上述 MEMS 压力传感器制作过程中,所述压力传感器芯片和信号处理电路芯片是分立、且平行于封装衬底表面排布,导致所形成的 MEMS 压力传感器的尺寸较大,无法满足对 MEMS 压力传感器的集成化与微型化需求。而且,由于在在封装衬底上放置压力传感器芯片和信号处理电路芯片之后,还需要以保护胶进行固定,之后还需要以塑料盖或金属盖进行保护,导致工艺制程复杂,且不利于与更广泛的集成电路制造工艺进行集成兼容。

[0085] 为了解决上述问题,本发明提供一种 MEMS 压力传感器及其形成方法。在所述形成方法中,提供包括导电层的第一衬底、以及包括压敏电阻元件的第二衬底;而所述导电层位于第一衬底的第一表面一侧,所述压敏电阻元件位于第二衬底的第三表面一侧;通过直接将所述第一衬底的第一表面与第二衬底的第三表面相互固定,能够形成第一衬底与第二衬底的叠层结构。所述导电层能够用于对所述压敏电阻元件输出的电信号进行传输,而为了使所述导电层与压敏电阻元件之间能够实现电连接,需要在去除或减薄第二基底、并形

成于第三表面相对的第五表面之后,形成第二衬底的第五表面贯穿至导电层的第一导电插塞;由于所述第二衬底的第五表面暴露出所述第一导电插塞,因此后续易于形成于所述第一导电插塞顶部以及压敏电阻元件电连接的第一导电结构,从而实现所述压敏电阻元件与导电层之间的电连接。

[0086] 由于所述导电层形成于第一衬底内,所述压敏电阻元件形成于第二衬底内,并通过使第一衬底的第一表面与第二衬底的第三表面相互固定,以形成第一衬底和第二衬底的重叠结构,从而避免了在同一基底上方逐层形成导电层、与导电层重叠的压敏电阻元件、以及与所述压敏电阻元件与基底之间的空腔的步骤,能够降低工艺难度,尤其使形成空腔的工艺难度。而且,能够避免形成第一衬底的工艺温度限制影响第二衬底的制造工艺,所述第二衬底以及内部的压敏电阻元件的材料以及工艺选择更广泛,所形成的压敏电阻元件的性能也更为优化。

[0087] 由于所述第一衬底的第一表面与第二衬底的第二衬底的第三表面直接接触,则所述第一表面与第三表面的接触面积较大,使得第一衬底和第二衬底之间的相互支撑强度更高,所述第一衬底和第二衬底不易发生弯折、断裂或形变,使得所形成的压力传感器的结构更为稳定,耐用性得到提高。

[0088] 其次,除了形成于导电层和压敏电阻元件之间的空腔,所述第一衬底第一表面与第二衬底的第三表面之间不存在过多的间隙,则由第二衬底的第五表面至第一衬底的第二表面之间的距离较小,有利于使所形成的压力传感器的尺寸减小,而且能够使制造成本降低。

[0089] 而且,由于通过形成自第二衬底的第五表面贯穿至导电层的第一导电插塞来实现导电层与压敏电阻元件之间的电连接,则无需在第一衬底第一表面与第二衬底第三表面之间设置额外的导电层,能够避免所述额外的导电层在第一表面和第三表面之间产生应力,进而影响压敏电阻元件和导电层的性能。而且,所述第一衬底第一表面的材料、以及第二衬底第三表面的材料不受限制,从而使得第一衬底和第二衬底的工艺灵活度更高,则所述压力传感器的制造工艺应用更广泛,更有利于与其它集成电路制程相兼容,而且制造成本降低。

[0090] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0091] 实施例一

[0092] 图 1 至图 9 是本发明一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图。

[0093] 请参考图 1,提供第一衬底 100,所述第一衬底 100 包括相对的第一表面 101 和第二表面 102,所述第一衬底 100 包括至少一层导电层 103,所述导电层 103 位于所述第一衬底 100 的第一表面 101 一侧。

[0094] 所述第一衬底 100 用于形成导电层 103,所述导电层 103 用于对第二衬底上的压敏电阻元件输出的电信号进行传输。在本实施例中,所述第一衬底 100 还包括电路,所述导电层 103 可以是电路导电层的一部分,也可以是在电路上附加的导电层。导电层 103 可以包括导体或者半导体。所述电路用于对压敏电阻元件输出的电信号进行传输。

[0095] 本实施例中,所述第一衬底 100 包括第一基底 104、位于第一基底 104 表面的第一介质层 105、位于第一介质层 105 表面的导电层 103;所述第一衬底 100 还包括位于第一表

面 101 一侧的第一结合层 106。在本实施例中,所述导电层 103 为单层结构。在其它实施例中,所述导电层能够为多层结构,则后续形成的第一导电插塞至少与一层导电层连接。

[0096] 所述第一基底 104 包括硅衬底、硅锗衬底、碳化硅衬底、玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)。

[0097] 所述第一介质层 105 用于电隔离所述导电层 103 和第一基底 104;所述第一介质层 105 的材料包括氧化硅、氮化硅、氮氧化硅、低 k 介质材料(介电常数为 2.5 ~ 3.9 的材料)或超低 k 介质材料(介电常数小于 2.5 的材料);所述第一介质层 105 的形成工艺包括氧化工艺、化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺。

[0098] 所述导电层 103 的材料包括导电材料,所述导电材料包括金属、金属化合物或掺杂离子的半导体材料;所述导电层 103 的形成步骤包括:在所述第一介质层 105 表面沉积导电材料层;在所述导电材料层表面形成图形化层,所述图形化层暴露出部分导电材料层表面;以所述图形化层为掩膜刻蚀所述导电材料层直至暴露出第一介质层 105 表面为止。所述导电材料层的形成工艺包括化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺;所述图形化层经过光刻的光刻胶层;所述刻蚀导电材料层的工艺包括干法刻蚀工艺。

[0099] 所述第一结合层 106 用于保护所述导电层 103,并且所述第一结合层 106 后续需要与第二衬底表面的第二结合层相互固定,以使第一衬底 100 和第二衬底相互固定。所述第一结合层 106 的表面平坦,即所述第一衬底 100 的第一表面 101 平坦,后续提供的第二衬底的第三表面也平坦,从而在第一衬底 100 的第一表面 101 与第二衬底的第三表面固定之后,第一表面 101 与第三表面的接触面积较大,则所述第一表面 101 与第二衬底的叠层结构强度更高、结合更稳定。

[0100] 所述第一结合层 106 的材料包括绝缘材料、金属材料、金属化合物材料和半导体材料中的一种或多种组合;所述绝缘材料包括氧化硅、氮化硅、氮氧化硅、低 k 介质材料或超低 k 介质材料;所述金属材料包括铜、钨、铝、银、钛、钽中的一种或多种;所述金属化合物材料包括氮化钛、氮化钽中的一种或两种;所述半导体材料包括掺杂离子的多晶硅、无定形硅、多晶锗、无定型锗、硅锗、碳化硅中的一种或多种,所掺杂的离子包括 p 型离子、n 型离子、碳离子、氮离子、氟离子、氢离子中的一种或多种。

[0101] 在一实施例中,所述第一结合层 106 的材料包括氧化硅;所述第一结合层的形成步骤包括:在所述第一介质层 105 和导电层 103 表面沉积第一结合膜;采用化学机械抛光工艺平坦化所述第一结合膜,形成第一结合层 106。

[0102] 在另一实施例中,所述第一衬底 100 内还能够不具有第一结合层,而后续提供的第二衬底内还能够具有第二结合层。

[0103] 此外,所述第一衬底 100 还包括电路,所述电路包括半导体器件结构、以及电互连结构,所述导电层 103 可以是电路导电层的一部分,也可以是在电路上附加的导电层。导电层 103 可以包括导体或者半导体。。

[0104] 在本实施例中,还需要提供第二衬底,所述第二衬底包括相对的第三表面和第四表面,所述第二衬底包括第二基底以及位于第二基底上的压敏电阻元件,所述压敏电阻元件位于所述第二衬底的第三表面一侧。以下将对第二衬底的形成过程进行说明。

[0105] 请参考图 2,提供第二基底 110、位于第二基底 110 表面的保护层 111 以及位于保护层 111 表面的压敏电阻元件层 112。

[0106] 在一实施例中,所述第二基底 110、保护层 111 和电阻元件层 112 由绝缘体上半导体衬底形成,具体包括:提供绝缘体上半导体衬底,所述绝缘体上半导体衬底包括基底、位于基底表面的绝缘层、以及位于绝缘层表面的半导体层;所述基底为第二基底 110,所述绝缘层为保护层 111。

[0107] 所述绝缘体上半导体衬底包括绝缘体上硅衬底;所述保护层的材料包括氧化硅,即埋层氧化层 (BOX);所述压敏电阻元件层 112 的材料包括单晶硅或单晶锗。由于所述压敏电阻元件层 112 的材料包括单晶半导体材料,后续通过对部分压敏电阻元件层 112 掺杂离子,能够使所形成的压敏电阻元件的随形变产生的电阻变化更大,即能够使所形成的压敏电阻元件的灵敏度更高。而且,直接采用绝缘体上半导体衬底的半导体层作为压敏电阻元件层 112、以绝缘层作为保护层 111,则无需采用额外的沉积工艺形成所述压敏电阻元件层 112 和保护层 111,能够使工艺制程简化。

[0108] 在另一实施例中,所述第二基底 110 为体基底;体基底包括硅衬底、硅锗衬底、碳化硅衬底、玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)。

[0109] 所述保护层 111 和压敏电阻元件层 112 采用沉积工艺形成,所述沉积工艺包括物理气相沉积工艺、化学气相沉积工艺或原子层沉积工艺;所述保护层 111 的材料包括绝缘材料;所述绝缘材料包括氧化硅、氮化硅、氮氧化硅、低 k 介质材料或超低 k 介质材料;所述压敏电阻元件层 112 的材料包括半导体材料,包括多晶硅、无定形硅、多晶锗、无定型锗、碳化硅、砷化镓或硅锗。

[0110] 由于所述第二基底 110 为体基底,而所述保护层 111 和压敏电阻元件层 112 采用沉积工艺形成,因此,所述第二基底 110、保护层 111 和压敏电阻元件层 112 的材料选择更广泛,能够适应更多工艺制程需求。

[0111] 请参考图 3,对部分所述压敏电阻元件层 112 进行离子注入,在所述压敏电阻元件层 112 内形成压敏电阻元件 113。

[0112] 本实施例中,第二衬底包括所述第二基底 110 和所述压敏电阻元件层 112,且所述第二衬底包括压力传感区 180,而所述压敏电阻元件 113 位于所述压力传感区 180 内。此外,在所述压敏电阻元件层 112 内还形成有掺杂互连层,掺杂互连层用于与压敏电阻元件 113 电互连。所述第二衬底的压力传感区 180 形成压力传感膜。

[0113] 形成所述压敏电阻元件 113 的步骤包括:在所述电阻元件层 112 表面形成第一图形化层,所述第一图形化层暴露出部分电阻元件层 112 表面;以所述第一图形化层为掩膜,对所述压敏电阻元件层 112 进行离子注入,在所述压敏电阻元件层 112 内形成压敏电阻元件 113;在所述离子注入之后,去除所述第一图形化层。

[0114] 所述第一图形化层为采用光刻工艺形成的图形化光刻胶层;此外,所述第一图形化层也能够为采用多重图形掩膜工艺形成的掩膜,例如自对准双重图形 (Self-Aligned Double Patterning, 简称 SADP) 掩膜。去除所述第一图形化层的工艺包括干法刻蚀工艺或湿法刻蚀工艺。

[0115] 所述离子注入注入工艺所注入的离子包括 p 型离子、n 型离子、碳离子、氮离子、氟离子、氢离子;所述 p 型离子包括硼离子或镓离子;所述 n 型离子包括磷离子或砷离子;通过调节掺杂离子的浓度,能够调节压敏电阻元件 113 的电阻以及针对压力的灵敏度。

[0116] 通过在所述压敏电阻元件层 112 内掺杂离子,能够使所掺杂的区域形成压敏电

阻,即压敏电阻元件 113,由于所掺杂的区域在受到压力或应力的情况下能够发生形变,而所述形变则能够引起掺杂区域的电阻变化,从而使所形成的压敏电阻元件 113 能够输出随外界压力变化而变化的电信号,从而能够使第二衬底形成 MEMS 压力传感芯片。

[0117] 请参考图 4,形成与在所述压敏电阻元件 113 电连接的第二导电结构 115。

[0118] 在本实施例中,所述压敏电阻元件层 112 内还形成有掺杂互连层,所述掺杂互连层与压敏电阻元件 113 电连接,所述第二导电结构 115 与所述掺杂互连层电连接。

[0119] 本实施例中,所述压敏电阻元件层 112 表面具有第二介质层 116;所述第二导电结构 115 位于第二介质层内和表面;所述第二导电结构 115 和第二介质层 116 表面还具有第二结合层 117。第二衬底 114 包括所述第二基底 110、保护层 111、压敏电阻元件层 112、第二介质层 116、第二导电结构 115 和第二结合层 117;所述第二衬底 114 具有第三表面 118 和第四表面 119,所述第三表面 118 为所述第二结合层 117 表面,所述第四表面 119 为所述第二基底 110 表面。且所述第二衬底 114 包括压力传感区 180,所述压敏电阻元件 113 位于所述压力传感区 180 内。

[0120] 在后续固定第一衬底 100 和第二衬底 114 之后,需要通过后续形成的第一导电结构、以及自所述第二衬底 114 的第五表面贯穿至导电层 103 的第一导电插塞 123 实现导电层 103 与压敏电阻元件 113 之间的电连接。

[0121] 所述第二导电结构 115 包括:位于所述压敏电阻元件层 112 表面的第二导电插塞、以及位于第二导电插塞表面的第二导电层。所述第二导电插塞形成于第二介质层 116 内;所述第二导电层形成于第二介质层 116 表面。本实施例中,所述第二导电插塞形成于掺杂互连层上。

[0122] 所述第二介质层 116 形成于所述压敏电阻元件层 112 表面;所述第二介质层 116 的形成步骤包括:在所述压敏电阻元件层 112 表面沉积第二介质膜;刻蚀所述第二介质膜以形成第二介质层 116,所述第二介质层 116 内具有第二通孔。所述第二介质层 116 的材料包括氧化硅、氮化硅、氮氧化硅、低 k 介质材料或超低 k 介质材料;所述第二介质膜的形成工艺包括化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺;刻蚀第二介质膜的工艺包括各向异性的干法刻蚀工艺;所述第二通孔用于形成第二导电插塞。

[0123] 所述第二导电插塞的材料包括铜、钨、铝、银或金;所述第二导电插塞的形成步骤包括:在第二介质层 116 表面和第二通孔内形成填充所述第二通孔的导电膜;平坦化所述导电膜以形成第二导电插塞。此外,所述第二导电插塞与第二介质层 116 之间还能够形成第二阻挡层,所述第二阻挡层的材料包括钛、钽、氮化钽或氮化钛中的一种或多种。

[0124] 所述第二导电层的材料包括金属或金属化合物,包括:铜、钨、铝、银、钛、钽、氮化钛、氮化钽中的一种或多种;所述第二导电层的形成步骤包括:在所述第二介质层 116 表面沉积导电材料层;在所述导电材料层表面形成图形化层,所述图形化层暴露出部分导电材料层表面;以所述图形化层为掩膜刻蚀所述导电材料层直至暴露出第二介质层 116 表面为止。所述导电材料层的形成工艺包括化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺;所述图形化层经过光刻的光刻胶层;所述刻蚀导电材料层的工艺包括各向异性的干法刻蚀工艺。

[0125] 所述第二衬底 114 还包括位于所述第三表面 118 一侧的第二结合层 117。本实施例中,所述第二结合层 117 位于所述第二介质层 116 和第二导电结构 115 表面。所述第二

结合层 117 用于保护所述第二导电结构 115, 并且所述第二结合层 117 后续需要与第一结合层 106 (如图 1 所示) 相互固定, 以使第一衬底 100 (如图 1 所示) 和第二衬底 114 相互固定。所述第二结合层 117 的表面平坦, 即所述第二衬底 114 的第三表面 118 平坦。在其它实施例中, 还能够仅第一衬底 100 具有以结合层, 或仅第二衬底 114 具有第二结合层 117。

[0126] 所述第二结合层 117 的材料包括绝缘材料、金属材料、金属化合物材料和半导体材料中的一种或多种组合; 所述绝缘材料包括氧化硅、氮化硅、氮氧化硅、低 k 介质材料或超低 k 介质材料; 所述金属材料包括铜、钨、铝、银、钛、钽中的一种或多种; 所述金属化合物材料包括氮化钛、氮化钽中的一种或两种; 所述半导体材料包括掺杂离子的多晶硅、无定形硅、多晶锗、无定型锗、硅锗、碳化硅中的一种或多种, 所掺杂的离子包括 p 型离子、n 型离子、碳离子、氮离子、氟离子、氢离子。

[0127] 在一实施例中, 所述第二结合层 117 的材料包括氧化硅; 所述第二结合层 117 的形成步骤包括: 在所述第二介质层 116 和第二导电结构 115 表面沉积第二结合膜; 采用化学机械抛光工艺平坦化所述第二结合膜, 形成第二结合层 117。

[0128] 在所述第一结合层 106 和第二结合层 117 中, 至少一者的材料包括绝缘材料, 或者能够两者表面的材料均为绝缘材料。由于在本实施例中, 在后续将第一衬底 100 和第二衬底 114 相互固定之后, 形成自所述第二衬底 114 的第五表面贯穿至导电层 103 表面的第一导电插塞, 通过所述第一导电插塞和后续形成的第一导电结构能够实现导电层 103 和压敏电阻元件 113 之间的电连接, 因此, 所述第一结合层 106 和第二结合层 117 相接触的表面之间无需额外形成导电结构, 且所述第一结合层 106 和第二结合层 117 的表面材料也无需具有导电材料, 因此, 所述第一结合层 106 和第二结合层 117 的材料选择更多样, 适应更广泛的工艺制程需求。

[0129] 在另一实施例中, 所述第二衬底内还能够不具有第二结合层, 而所述第一衬底 100 内具有第一结合层。

[0130] 请参考图 5, 在所述第二衬底 114 的第三表面 118 形成第一开口 120, 所述第一开口 120 的位置与所述压力传感区 180 的位置对应。

[0131] 所述第一开口 120 形成于压力传感区 180 内, 在后续固定第一衬底 100 和第二衬底 114 之后, 所述第一开口 120 能够与第一衬底 100 的第一表面 101 形成空腔, 所述空腔内的气压能够为真空、一个大气压、或气体预设的气压值, 所述空腔能够作为 MEMS 压力传感器的压力参考腔。当后续固定第一衬底 100 和第二衬底 114 并去除第一基底 104 之后, 能够获取施加于保护层 111 表面的压力相对于所述压力参考腔内气压的差值, 以此获取外部环境施加于保护层 111 的压力。

[0132] 所述第一开口 120 的形成步骤包括: 在所述第二结合层 117 表面形成图形化层; 以所述图形化层为掩膜, 刻蚀所述第二结合层 117, 在第二结合层 117 内形成第一开口 120。所述图形化层能够为经过光刻工艺的光刻胶层; 所述刻蚀工艺能够为干法刻蚀工艺、湿法刻蚀工艺或干法刻蚀工艺和湿法刻蚀工艺的组合; 此外, 所述刻蚀工艺还能够刻蚀部分第二介质层 116, 所形成的第二开口 120 底部伸入所述第二介质层 116 内。

[0133] 在本实施例中, 所述第一开口 120 底部不暴露出所述压敏电阻元件层 112 表面, 位于第一开口 120 底部的第二介质层 116 能够保护所述压敏电阻元件层 112 表面。在其它实施例中, 所述第一开口 120 底部还能够暴露出所述压敏电阻元件层 112 表面。

[0134] 在另一实施例中,所述第一开口还能够形成于第一衬底的第一表面一侧,且所述第一开口的位置与第二衬底的压力传感区的位置对应。在其它实施例中,还能够在所述第一衬底的第一表面一侧和第二衬底第三表面一侧均形成第一开口,且所述第一开口的位置与所述压力传感区的位置对应。

[0135] 请参考图6,将第一衬底100的第一表面101与第二衬底114的第三表面118相互固定,并在所述第一衬底100与第二衬底114的压力传感区180之间形成空腔121。

[0136] 在本实施例中,由于所述第二衬底114的第三表面118形成有第一开口120(如图5所示),在将第一衬底100的第一表面101与第二衬底114的第三表面118相互固定之后,所述第一开口120与第一衬底100的第一表面101构成空腔121。

[0137] 在另一实施例中,还能够在第一衬底100的第一表面101刻蚀形成第一开口,所述第一开口的位置与第二衬底114内的压力传感区180相对应,在将第一衬底100的第一表面101与第二衬底114的第三表面118相互固定之后,所述第一开口与第二衬底114的第三表面118构成空腔121。

[0138] 在一实施例中,将第一衬底100和第二衬底114相互固定的工艺为键合工艺。所述键合工艺包括:熔融键合(Fusion Bonding)、静电键合(Anodic Bonding)、共晶键合(Eutectic Bonding)或热压键合(Thermal Compression Bonding)等。在另一实施例中,第一衬底100和第二衬底114相互固定的工艺为粘结工艺。通过粘结层将第一衬底100和第二衬底114相互固定;所述粘结层的材料包括绝缘材料,半导体材料、金属材料或有机材料;而所述第一结合层或第二结合层即所述粘结层。

[0139] 在本实施例中,所述第一结合层106的表面平坦,所述第二结合层117的第三表面平坦,而所述第一结合层106的表面即第一衬底100的第一表面,第二结合层117的表面即第二衬底114的第三表面;通过将所述第一结合层106的表面与第二结合层117的表面直接接触并固定,能够使第一衬底100与第二衬底114重叠设置并相互固定。

[0140] 在将第一衬底100和第二衬底114固定之后,形成于第一衬底100和第二衬底114的压力传感区180之间的空腔121作为压力参考腔。通过调控固定第一衬底100和第二衬底114时的气压,能够控制所形成的空腔121内的气压。当后续去除第二基底110之后,施加于保护层111表面的压力能够与空腔121内的气压存在压差,所述压差导致第二衬底114的压力传感区180发生形变,所述形变导致压敏电阻元件113的电阻变化,从而使压敏电阻元件113输出的电压发生变化,因此,输出的电信号随外部压力相对于空腔121内气压的压差变化而变化,由此能够获取外部压力信号。

[0141] 由于所述第一衬底100的第一表面101与第二衬底114的第三表面118直接接触,而且所述第一表面101和第三表面118平坦,则所述第一表面101与第三表面118的接触面积较大,使得第一衬底100和第二衬底114之间的相互支撑强度更高,所述第一衬底100和第二衬底114的叠层结构不易发生弯折、断裂或形变,使得所形成的压力传感器的结构更为稳定,耐用性得到提高。

[0142] 而且,除了所形成的空腔121之外,所述第一衬底100第一表面101与第二衬底114的第三表面118大部分直接接触,且不存在多余间隙,则由第二衬底114的第四表面119至第一衬底100的第二表面102之间的距离较小,有利于缩小所形成的MEMS压力传感器的厚度和尺寸,有利于提高器件集成度。

[0143] 此外,由于后续通过形成自第二衬底 114 的第五表面贯穿至导电层 103 的第一导电插塞来实现导电层 103 与压敏电阻元件 113 之间的电连接,则无需在第一衬底 100 第一表面 101 与第二衬底 114 第三表面 115 之间设置额外的导电层,能够避免所述额外的导电层在第一表面 101 和第三表面 115 之间因热膨胀系数差异而产生额外的应力,从而保证了压敏电阻元件 113 输出的电信号精确。

[0144] 所述第一衬底 100 第一表面 101 的材料、以及第二衬底 114 第三表面 118 的材料不受限制,能够使第一表面 101 和第三表面 118 选用热膨胀系数差异较小的材料,从而避免第一表面 101 的材料与第三表面 118 之间的材料因热膨胀系数差异过大而产生不良应力,能够使所形成的 MEMS 压力传感器的结合更稳定,且可靠性和精确度提高;而且,形成第一衬底 100 和第二衬底 114 的工艺灵活度更高,则所形成的 MEMS 压力传感器的制造工艺应用更广泛,更有利于与其它集成导电层制程相兼容,而且制造成本降低。

[0145] 请参考图 7,去除所述第二基底 110(如图 6 所示),形成与所述第二衬底 114 的第三表面 118 相对的第五表面 122。

[0146] 在本实施例中,由于第二基底 110 和压敏电阻元件层 112 之间具有保护层 111,去除所述第二基底 110 之后,暴露出所述保护层 111 表面;所述保护层 111 的材料包括绝缘材料,所述保护层 111 能够保护并定隔离所述压敏电阻元件层 112。而当所述保护层 111 受到压力作用时,能够引起所述压力压敏电阻元件 113 因形变而引起的电阻变化。

[0147] 去除所述第二基底 110 的工艺包括化学机械抛光工艺或刻蚀工艺;所述刻蚀工艺能够为干法刻蚀工艺、湿法刻蚀工艺或干法刻蚀和湿法刻蚀组合使用。由于去除所述第二基底 110 的工艺沿所述第二衬底 114 的第四表面 119 进行,因此在去除第二基底之后,在所述第二衬底 114 与第三表面 118 相对于一侧形成第五表面 122,即所述保护层 111 表面。

[0148] 请参考图 8,自所述第二衬底 114 的第五表面 122 一侧形成贯穿至至少一层导电层 103 的第一导电插塞 123,所述第一导电插塞 123 用于将所述导电层 103 与压敏电阻元件 113 形成电连接。

[0149] 由于所述第一衬底 100 的第一表面 101 和第二衬底 114 的第三表面 118 直接接触,因此所述第一表面 101 和第三表面 118 的接触界面处能够不具有电连接,则需要形成所述第一导电插塞 123;由于所述第一导电插塞 123 的一端与导电层 103 电连接,而所述第一导电插塞 123 的另一端由出第二衬底 114 的第五表面 122 暴露,则后续能够直接与第五表面 122 和第二衬底 114 内形成第一导电结构,使所述第一导电结构与所述第一导电插塞 123 以及压敏电阻元件 113 电连接,以此实现导电层 103 与压敏电阻元件 113 之间的电连接。

[0150] 由于所述第一表面 101 与第三表面 118 之间无需形成额外的电连接层,因此能够使第一表面 101 与第三表面 118 除空腔 121 区域之外大部分相接触,所述第一表面 101 与第三表面 118 的接触面积较大,因此第一衬底 100 与第二衬底 114 固定之后的机械强度更高,所述第一衬底 100 与第二衬底 114 的叠层结构难以发生弯折或碎裂。而且,由于所述第一表面 101 与第三表面 118 之间无需形成额外的电连接层,则第一表面 101 和第三表面 118 的材料能够选用热膨胀系数相近的材料,以此避免在第一衬底 100 和第二衬底 114 相接触之后,第一衬底 100 和第二衬底 114 因热膨胀系数差异而产生应力或分层,因此,所述第一衬底 100 和第二衬底 114 的叠层结构结合稳定、尺寸缩小、而且工艺制程的适应性更高。

[0151] 所述第一导电插塞 123 的形成步骤包括:在第二衬底 114 的第五表面 122 形成图

形化层,所述图形化层暴露出需要形成第一导电插塞 123 的对应区域;以所述图形化层为掩膜,刻蚀所述保护层 111、压敏电阻元件层 112、第二介质层 116、第二结合层 116 和第一结合层 106,直至暴露出导电层 103 表面,在所述保护层 111、压敏电阻元件层 112、第二介质层 116、第二结合层 116 和第一结合层 106 内形成第一通孔;在所述第五表面 122 和第一通孔内形成填充满所述第一通孔的导电膜;去除第五表面 122 上不必要的导电膜直至暴露出所述第五表面 122 为止。在一实施例中,能够完全去除第五表面上的导电膜。在另一实施例中,能够在第五表面 122 上保留部分导电膜。

[0152] 所述第一导电插塞 123 的一端能够相对于第二衬底 114 的第五表面 122 突出、凹陷或齐平。

[0153] 在本实施例中,由于所述第一导电插塞 123 贯穿所述压敏电阻元件层 112,而所述压敏电阻元件层 112 的材料包括半导体材料,为了使所述第一导电插塞 123 与所述压敏电阻元件层 112 之间电隔离,在形成所述导电膜之前,在所述第一通孔的侧壁表面形成绝缘层,在形成绝缘层之后形成填充满第一通孔的导电膜。

[0154] 所述第一导电插塞 123 的材料包括铜、钨、铝、银或金;所述导电膜的形成工艺包括物理气相沉积工艺、化学气相沉积工艺、原子层沉积工艺、电镀工艺或化学镀工艺;所述平坦化导电膜的工艺包括化学机械抛光工艺。此外,所述第一通孔的侧壁表面还能够形成第一阻挡层,所述导电膜形成于第一阻挡层表面,所述第一阻挡层的材料包括钛、钽、氮化钽或氮化钛中的一种或多种。

[0155] 在本实施例中,在形成第一导电插塞 123 的同时,形成由第二衬底 114 的第五表面 122 贯穿至第二导电层的第三导电插塞 124,所述第三导电插塞 124 与后续形成的第一导电层 125 构成第一导电结构,所述第一导电结构用于使第一导电插塞 123 与压敏电阻元件 113 电连接,以此实现压敏电阻元件 113 与导电层 103 的电连接。

[0156] 本实施例中,在形成第一通孔的同时,形成贯穿保护层 111、压敏电阻元件层 112 和第二介质层 116 的第三通孔,所述第三通孔底部暴露出第二导电层的表面;在第一通孔内形成导电膜的同时,所述导电膜还填充满所述第三通孔;在第三通孔内形成第三导电插塞 124。

[0157] 由于所述第三导电插塞 124 贯穿所述压敏电阻元件层 112,为了使所述第三导电插塞 124 与所述压敏电阻元件层 112 之间电隔离,在形成所述导电膜之前,在所述第三通孔的侧壁表面形成绝缘层,在形成绝缘层之后形成填充满第三通孔的导电膜。

[0158] 在其它实施例中,还能够在形成第一导电插塞 123 之前或之后形成所述第三导电插塞 124。

[0159] 请参考图 9,形成与所述第一导电插塞 123 以及压敏电阻元件 113 电连接的第一导电结构。

[0160] 本实施例中,所述第一导电结构包括所述第三导电插塞 124 和所述第一导电层 125,所述第一导电层 125 位于第二衬底 114 第五表面 122,所述第一导电层 125 还位于第一导电插塞 123 和第三导电插塞 124 的顶部表面。所述第三导电插塞 124 通过第二导电结构 115 与掺杂互连层电连接,而第一导电插塞 123 与导电层 103 电连接,所述第一导电层 125 与第一导电插塞 123 和第三导电插塞 124 电连接,从而能够实现压敏电阻元件 113 和导电层 103 之间的电连接。

[0161] 所述第一导电层 125 的材料包括金属或金属化合物,包括:铜、钨、铝、银、钛、钼、氮化钛、氮化钼中的一种或多种;所述第一导电层 125 的形成步骤包括:在所述第二衬底 114 的第五表面 122 表面沉积导电材料层;在所述导电材料层表面形成图形化层,所述图形化层暴露出部分导电材料层表面;以所述图形化层为掩膜刻蚀所述导电材料层直至暴露出第五表面 122 表面为止。所述导电材料层的形成工艺包括化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺;所述图形化层经过光刻的光刻胶层;所述刻蚀导电材料层的工艺包括各向异性的干法刻蚀工艺。

[0162] 本实施例的 MEMS 压力传感器的制作方法能够适应多种封装,包括芯片级封装(CSP)、无引线四方扁平封装(QFN)、双侧引脚扁平封装(DFN)或小外形集成导电层封装(SOIC)。

[0163] 相应的,本发明该实施例还提供一种采用上述方法所形成的 MEMS 压力传感器,请继续参考图 9,包括:第一衬底 100,所述第一衬底 100 包括相对的第一表面 101 和第二表面 102,所述第一衬底 100 包括至少一层导电层 103,所述导电层 103 位于所述第一衬底 100 的第一表面 101 一侧;第二衬底 114,所述第二衬底 114 包括相对的第三表面 118 和第五表面 122,所述第二衬底 114 包括压敏电阻元件 113,所述第二衬底 114 包括压力传感区 180,所述压敏电阻元件 113 位于所述压力传感区 180 内;所述第一衬底 100 的第一表面 101 与第二衬底 114 的第三表面 118 相互固定,且所述第一衬底 114 与第二衬底 114 的压力传感区 180 之间具有空腔 121;自所述第二衬底 114 的第五表面 122 一侧贯穿至至少一层导电层 103 的第一导电插塞 123,所述第一导电插塞 123 用于使所述导电层 103 与压敏电阻元件 113 电连接。

[0164] 以下将对上述结构进行详细说明。

[0165] 所述第二衬底 114 还包括位于所述压敏电阻元件层 112 表面的保护层 111,所述保护层 111 表面为所述第五表面 122。所述保护层 111 的材料包括绝缘材料;所述绝缘材料包括氧化硅、氮化硅、氮氧化硅、低 k 介质材料或超低 k 介质材料。

[0166] 所述压敏电阻元层 112 的材料包括半导体材料,包括单晶硅,单晶锗、III-V 化合物、II-VI 化合物、多晶硅、无定形硅、多晶锗、无定型锗、碳化硅或硅锗。

[0167] 所述第一衬底 100 还包括电路。所述第二衬底 114 还包括与所述压敏电阻元件 113 电连接的第二导电结构 115;所述第一导电结构与第二导电结构 115 电连接。所述第二导电结构 115 包括:位于所述压敏电阻元件层 112 表面的第二导电插塞、以及位于第二导电插塞顶部表面的第二导电层。所述压敏电阻元件层 112 表面具有第二介质层 116;所述第二导电插塞位于第二介质层 116 内。

[0168] 所述第一导电结构包括:由第二衬底 114 的第五表面 122 贯穿至第二导电层的第三导电插塞 124、以及位于第二衬底 114 第五表面 122 的第一导电层 125,所述第一导电层还位于第一导电插塞 123 和第三导电插塞 124 的顶部表面。

[0169] 所述第二衬底 114 还包括位于所述第三表面 118 一侧的第二结合层 117;或者,所述第一衬底 100 包括位于所述第一表面 101 一侧的第一结合层 106;或者,所述第二衬底 114 还包括位于所述第三表面 118 一侧的第二结合层 117,且所述第一衬底 100 包括位于第一表面 101 一侧的第一结合层 106。所述第一结合层 106 或第二结合层 117 的材料包括绝缘材料、金属材料、金属化合物材料和半导体材料中的一种或多种组合。在一种实施例中,

在所述第一结合层 106 和第二结合层 117 中,至少一者的材料包括绝缘材料。

[0170] 在一实施例中,所述第一结合层 106 或第二结合层 117 为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。在另一实施例中,所述第一结合层 106 为键合层;或者,所述第二结合层 117 为键合层;或者,所述第一结合层 106 和第二结合层 117 为键合层。

[0171] 实施例二

[0172] 图 10 至图 11 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图。

[0173] 请参考图 10,提供第一衬底 200,所述第一衬底 200 包括相对的第一表面 201 和第二表面 202,所述第一衬底 200 包括至少一层导电层 203,所述导电层 203 位于所述第一衬底 200 的第一表面 201 一侧,所述第一衬底 200 还包括自测电极 230。

[0174] 此外,所述第一衬底 200 还包括电路,所述电路包括半导体器件结构、以及电互连结构,所述导电层 203 可以是电路导电层的一部分,也可以是在电路上附加的导电层。导电层可以包括导体或者半导体。

[0175] 本实施例中,所述导电层 203 形成于第一基底 204 上;所述导电层 203 与第一基底 204 之间还具有第一介质层。所述第一衬底 200 能够包括位于所述第一表面 201 一侧的第一结合层 206。所述第一基底 204、第一介质层、导电层 203 和第一结合层 206 与前一实施例的图 1 及相关说明相同,在此不做赘述。

[0176] 所述自测电极 230 的位置与第二衬底的压力传感区的位置对应。所述自测电极 230 形成于第一介质层表面。所述自测电极 230 的位置与第二衬底内的压力传感区对应,即在第一衬底 200 与第二衬底相互固定之后,所述自测电极 230 与压力传感区对应设置。在本实施例中,所述自测电极 230 位于导电层 203 同一层。在其它实施例中,所述自测电极 230 还能够高于或低于所述导电层 203。

[0177] 在将第一衬底 200 与第二衬底固定之后,当对所述自测电极 230 施加偏压时,所述自测电极 230 能够对第二衬底的压力传感区产生静电引力,所述静电引力能够使所述第二衬底的压力传感区产生形变;通过检测所述静电引力是否引起压敏电阻元件的电阻值变化,以此检测所述压敏电阻元件是否能够正常工作。

[0178] 所述自测电极 230 的材料包括金属、金属化合物或掺杂离子的半导体材料;所述自测电极 230 的形成步骤包括:在所述第一介质层 205 表面沉积电极材料层;在所述电极材料层表面形成图形化层,所述图形化层暴露出部分电极材料层表面;以所述图形化层为掩膜刻蚀所述电极材料层直至暴露出第一介质层 205 表面为止。所述电极材料层的形成工艺包括化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺;所述图形化层经过光刻的光刻胶层;所述刻蚀电极材料层的工艺包括各向异性的干法刻蚀工艺。本实施例中,所述自测电极 230 与导电层 203 同时形成。在其它实施例中,所述自测电极还能够能够在形成导电层 203 之前或之后形成。

[0179] 请参考图 11,提供第二衬底 214,所述第二衬底 214 包括相对的第三表面 218 和第四表面,所述第二衬底 214 包括第二基底以及位于第二基底上的压敏电阻元件 213,所述第二衬底 214 包括压力传感区 280,所述压敏电阻元件 213 位于所述压力传感区 280 内,所述压敏电阻元件 213 位于所述第二衬底 214 的第三表面 218 一侧;将第一衬底 200 的第一表面 201 与第二衬底 214 的第三表面 218 相互固定,并在所述第一衬底 200 与第二衬底 214

的压力传感区 280 之间形成空腔 221 ;去除所述第二基底,形成与所述第二衬底 214 的第三表面 218 相对的第五表面 222 ;自所述第二衬底 214 的第五表面 222 一侧形成贯穿至至少一层导电层 203 的第一导电插塞 223,所述第一导电插塞 223 用于将所述导电层 203 与压敏电阻元件 213 形成电连接。

[0180] 本实施例中,在将第一衬底 200 的第一表面 201 与第二衬底 214 的第三表面 218 相互固定之后,所述自测电极 230 的位置与所述压力传感区 280 的位置对应,使得所述自测电极 230 能够对压敏电阻元件 213 施加静电引力,以此检测所述压敏电阻元件是否能够正常工作。

[0181] 在本实施例中,所述第二衬底 214 还包括:保护层 211、第二导电结构 215 和第一导电结构;所述第一导电结构包括:第三导电插塞 224 和第一导电层 225。

[0182] 提供所述第二衬底 214、将第一衬底 200 和第二衬底 214 相互固定的步骤、去除第二基底的步骤、形成第一导电插塞 223 的步骤、以及形成第一导电结构的步骤与前述实施例的图 2 至图 9 以及相关说明相同在此不做赘述。

[0183] 相应的,本发明该实施例还提供一种采用上述方法所形成的 MEMS 压力传感器,请继续参考图 11,包括:第一衬底 200,所述第一衬底 200 包括相对的第一表面 201 和第二表面 202,所述第一衬底 200 包括至少一层导电层,所述导电层 203 位于所述第一衬底 200 的第一表面 201 一侧;所述第一衬底 200 还包括自测电极 230 ;第二衬底 214,所述第二衬底 214 包括相对的第三表面 218 和第五表面 222,所述第二衬底 214 包括压敏电阻元件 213,所述第二衬底 214 包括压力传感区 280,所述压敏电阻元件 213 位于所述压力传感区 280 内;所述第一衬底 200 的第一表面 201 与第二衬底 214 的第三表面 222 相互固定,且所述第一衬底 200 与第二衬底 200 的压力传感区 280 之间具有空腔 221 ;所述自测电极 230 的位置与所述第二衬底 214 的压力传感区 280 的位置对应;自所述第二衬底 214 的第五表面 218 贯穿至至少一层导电层 203 的第一导电插塞 223,所述第一导电插塞 223 用于将所述导电层 203 与压敏电阻元件 213 形成电连接。

[0184] 所述第一衬底 200、第二衬底 214、压敏电阻元件 213、第一导电插塞 223 和第一导电结构与前述实施例相同,在此不做赘述。

[0185] 所述自测电极 230 的材料包括金属、金属化合物或掺杂离子的半导体材料;所述金属材料包括铜、钨、铝、银、钛、钽中的一种或多种;所述金属化合物材料包括氮化钛、氮化钽中的一种或两种;所述半导体材料包括掺杂离子的多晶硅、无定形硅、多晶锗、无定型锗、硅锗、碳化硅中的一种多多种,所掺杂的离子包括 p 型离子、n 型离子、碳离子、氮离子、氟离子、氢离子。

[0186] 当对所述自测电极 230 施加偏压时,所述自测电极 230 能够对压敏电阻元件 213 产生静电引力,所述静电引力能够使压力传感膜产生形变;通过检测所述静电引力是否引起压敏电阻元件 213 的电阻值变化,以此检测所述压敏电阻元件 213 是否能够正常工作。

[0187] 实施例三

[0188] 图 12 至图 15 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图。

[0189] 请参考图 12,提供第二衬底 314,所述第二衬底 314 包括相对的第三表面 318 和第四表面 319,所述第二衬底 314 包括第二基底 310 以及位于第二基底 310 上的压敏电阻元

件 313, 所述第二衬底 314 包括压力传感区 380, 所述压敏电阻元件 313 位于所述压力传感区 380 内, 所述压敏电阻元件 313 位于所述第二衬底 314 的第三表面 318 一侧, 所述第二衬底 314 还包括参考单元区 331, 压敏电阻元件 313 还位于所述参考单元区 331 内。

[0190] 在本实施例中, 所述第二衬底 314 还包括: 位于第二衬底 314 第三表面 318 一侧的第二结合层 317, 所述第二结合层 317 内具有第一开口 320。而且所述第一开口 320 分别形成于压力传感区 380 和参考单元区 331; 所述第一开口 320 用于在后续固定第一衬底和第二衬底 314 之后, 分别在压力传感区 380 和参考单元区 331 内形成空腔。

[0191] 所述第二衬底 314 和压敏电阻元件 313 与前述实施例的图 2 至图 5 及相关说明相同, 在此不做赘述。

[0192] 请参考图 13, 提供第一衬底 300, 所述第一衬底 300 包括相对的第一表面 301 和第二表面 302, 所述第一衬底 300 包括至少一层导电层 303, 所述导电层 303 位于所述第一衬底 300 的第一表面 301 一侧; 将第一衬底 300 的第一表面 301 与第二衬底 314 的第三表面 318 相互固定, 并在所述第一衬底 300 与第二衬底 314 的压力传感区 380 之间形成空腔 321, 还在所述第一衬底 300 与第二衬底 314 的参考单元区 331 之间形成空腔 321, 在受到相同外部压力的情况下, 所述参考单元区 331 的第二衬底 314 比压力传感区 380 的第二衬底 314 具有更小的形变。

[0193] 第一基底 304 与前述实施例的图 1 及相关说明相同, 在此不做赘述。将第一衬底 300 的第一表面 301 与第二衬底 314 的第三表面 318 相互固定的步骤与前述实施例的图 6 及相关说明相同, 在此不做赘述。

[0194] 由于所述第二衬底 314 压力传感区 380 和参考单元区 331 的第二结合层 317 内分别具有第一开口, 在将第一衬底 300 第一表面 301 与第二衬底 314 的第三表面 318 固定之后, 所述第一开口与第一衬底 300 的第一表面 301 能够分别在压力传感区 380 和参考单元区内形成空腔 321。

[0195] 由于后续需要所述参考单元区 331 的第二衬底 314 第五表面形成覆盖层, 因此, 在所述参考单元区 331 内, 能够避免外部压力使压敏电阻元件 313 产生电阻变化, 而所述参考单元区 331 的压敏电阻元件 313 能够随压力以外的因素而产生电阻变化。将所述压力传感区 380 的压敏电阻元件 313 输出的电信号去除所述参考单元区 331 的压敏电阻元件 313 输出的电信号, 则能够获得仅受外部压力影响而产生的电信号。因此, 所形成的 MEMS 压力传感器的精确度提高。

[0196] 请参考图 14, 去除所述第二基底 310 (如图 13 所示), 形成与所述第二衬底 314 的第三表面 318 相对的第五表面 322; 自所述第二衬底 314 的第五表面 122 一侧形成贯穿至少导电层 303 的第一导电插塞 323, 所述第一导电插塞 323 用于将所述导电层 303 与压敏电阻元件 313 形成电连接。

[0197] 本实施例中, 第一导电结构包括: 第三导电插塞 324 和第一导电层 325

[0198] 去除所述第二基底 310 的步骤与前述实施例的图 7 及相关说明相同, 在此不做赘述。形成第一导电插塞 323 和第一导电结构的步骤与前述实施例的图 8 和图 9 相关说明相同, 在此不做赘述。

[0199] 请参考图 15, 在去除所述第二基底 310 (如图 13 所示) 之后, 在所述参考单元区 331 的第二衬底 314 第五表面 322 形成覆盖层 332。

[0200] 所述覆盖层 332 的材料包括绝缘材料,且所述覆盖层 332 的硬度较高,能够保护所述参考单元区 331 的压敏电阻元件 313 免受外部压力影响。

[0201] 所述覆盖层 332 的形成步骤包括:在所述第五表面 322 和第一导电结构表面沉积覆盖膜;在覆盖膜表面形成图形化层;以图形化层为掩膜,刻蚀所述覆盖膜直至位于压力传感区 380 的第五表面 322。所述覆盖层 332 的材料包括氧化硅、氮化硅、氮氧化硅、无定形碳、多晶硅、无定形硅、多晶锗或无定型锗中的一种或多种;所述覆盖膜的形成工艺包括化学气相沉积工艺、物理气相沉积工艺或原子层沉积工艺;刻蚀覆盖膜的工艺包括各向异性的干法刻蚀工艺。

[0202] 由于所述参考单元区 331 的第二衬底 314 第五表面 322 形成覆盖层 332,因此,在所述参考单元区 331 内的压敏电阻元件 313 难以应外部压力而产生电阻变化,而所述参考单元区 331 的压敏电阻元件 313 能够随压力以外的因素而产生电阻变化。将所述压力传感区 380 与参考单元区 331 的压敏电阻元件 313 输出的电信号相减,则能够获得仅受外部压力影响而产生的电信号。

[0203] 相应的,本发明该实施例还提供一种采用上述方法所形成的 MEMS 压力传感器,请继续参考图 15,包括:第一衬底 300,所述第一衬底 300 包括相对的第一表面 301 和第二表面 302,所述第一衬底 300 包括至少一层导电层 303,所述导电层 303 位于所述第一衬底 300 的第一表面 301 一侧;第二衬底 314,所述第二衬底 314 包括相对的第三表面 318 和第五表面 322,所述第二衬底 314 包括压敏电阻元件 313,所述第二衬底 314 包括压力传感区 380 和参考单元区 331,所述压敏电阻元件 313 位于所述压力传感区 380 和参考单元区 331 内;所述第一衬底 300 的第一表面 301 与第二衬底 314 的第三表面 318 相互固定,且所述第一衬底 300 与第二衬底 314 的压力传感区 380 和参考单元区 331 之间具有空腔 321;自所述第二衬底 314 的第五表面 318 一侧贯穿至至少一层导电层 303 的第一导电插塞 123;与所述第一导电插塞 323 以及压敏电阻元件 313 电连接的第一导电结构,所述第一导电插塞 323 用于使所述导电层 303 与压敏电阻元件 313 电连接。

[0204] 所述覆盖层 332 的材料包括氧化硅、氮化硅、氮氧化硅、无定形碳、多晶硅、无定形硅、多晶锗或无定型锗中的一种或多种。

[0205] 所述第一衬底 300、第二衬底 314、压敏电阻元件 313、导电层 303、第一导电插塞 323 和第一导电结构与前述实施例的图 9 及相关说明相同,在此不作赘述。

[0206] 第四实施例

[0207] 图 16 至图 17 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图。

[0208] 请参考图 16,提供第一衬底 400,所述第一衬底 400 包括相对的第一表面 401 和第二表面 402,所述第一衬底 400 包括第一基底 404 和至少一层导电层 403,所述导电层 403 位于所述第一衬底 400 的第一表面 401 一侧;形成贯通所述第一衬底 400 的第二开口 440。

[0209] 所述第二开口 440 的形成步骤包括:在第一衬底 400 的第二表面 402 形成图形化层,所述图形化层暴露出需要形成第二开口的对应位置;以所述图形化层为掩膜,刻蚀所述第一衬底 400,直至贯通所述第一衬底 400,形成第二开口 440。所述图形化层为图形化的光刻胶层;所述刻蚀工艺包括各向异性的干法刻蚀工艺。

[0210] 所述第一衬底 400、以及第一衬底 400 内的第一基底 404 和导电层 403 与前述实施

例的图 1 及对应说明所述相同,在此不做赘述。

[0211] 请参考图 17,提供第二衬底 414,所述第二衬底 414 包括相对的第三表面 418 和第四表面,所述第二衬底 414 包括第二基底以及位于第二基底上的压敏电阻元件 413,所述第二衬底 414 包括压力传感区 480,所述压敏电阻元件 413 位于所述压力传感区 480 内,所述压敏电阻元件 413 位于所述第二衬底 414 的第三表面 418 一侧;将第一衬底 400 的第一表面 401 与第二衬底 414 的第三表面 418 相互固定,并在所述第一衬底 400 与第二衬底 414 的压力传感区 480 之间形成空腔 421;去除所述第二基底,形成与所述第二衬底 417 的第三表面 418 相对的第五表面 422;自所述第二衬底 414 的第五表面 422 一侧形成贯穿至至少一层导电层 403 的第一导电插塞 423,所述第一导电插塞 423 用于将所述导电层 403 与压敏电阻元件 413 形成电连接。

[0212] 本实施例中,形成与所述第一导电插塞 423 以及压敏电阻元件 413 电连接的第一导电结构,第一导电结构包括:第三导电插塞 424 和第一导电层 425。

[0213] 所述第二衬底 414 的材料、结构及形成步骤和工艺与前述实施例的图 2 至图 5 及相关说明相同,将第一衬底 400 和第二衬底 414 相互固定的步骤与前述实施例的图 6 及相关说明相同,去除第二基底的步骤与前述实施例的图 7 及相关说明相同,形成第一导电插塞 423 和第一导电结构的步骤与前述实施例的图 8 和图 9 及相关说明相同,在此不做赘述。

[0214] 在将第一衬底 400 的第一表面 401 与第二衬底 417 的第三表面 418 相互固定之后,由于所述第二开口 440 的位置与所述第二衬底的压力传感区 480 的位置对应,因此能够使所述第二开口 440 与所述空腔 421 相互贯通,则压力传感膜的两侧均与外部环境连通。

[0215] 由于所述第二开口 440 与外部环境连通,使得所述压力传感膜的两侧均能够获取外部环境的压力;当所述压力传感膜的两侧表面受到的压力存在压力差时,能够引起所述压力传感膜形变,从而造成所述压敏电阻元件 413 的电阻值发生变化。因此,本实施例的压敏电阻元件 413 能够获取两侧表面的压力差信号,以此能够使所形成的 MEMS 压力传感器为压差传感器。

[0216] 相应的,本发明该实施例还提供一种采用上述方法所形成的 MEMS 压力传感器,请继续参考图 17,包括:第一衬底 400,所述第一衬底 400 包括相对的第一表面 401 和第二表面 402,所述第一衬底 400 包括至少一层导电层 403,所述导电层 403 位于所述第一衬底 400 的第一表面 401 一侧;第二衬底 414,所述第二衬底 414 包括相对的第三表面 418 和第五表面 422,所述第二衬底 414 包括压敏电阻元件 413,所述第二衬底 414 包括压力传感区 480,所述压敏电阻元件 413 位于所述压力传感区 480 内;所述第一衬底 400 的第一表面 401 与第二衬底 414 的第三表面 418 相互固定,且所述第一衬底 400 与第二衬底 414 的压力传感区 480 之间具有空腔 421;自所述第二衬底 417 的第五表面 422 一侧贯穿至至少一层导电层 403 表面的第一导电插塞 423,所述第一导电插塞 423 用于将所述导电层 403 与压敏电阻元件 413 形成电连接。

[0217] 本实施例还包括与所述第一导电插塞 423 以及压敏电阻元件 413 电连接的第一导电结构;贯通所述第一衬底 400 的第二开口 440,所述第二开口 440 的位置与第二衬底 414 的压力传感区 480 的位置对应。

[0218] 实施例五

[0219] 图 18 至图 20 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示

意图。

[0220] 请参考图 18, 提供第一衬底 500, 所述第一衬底 500 包括相对的第一表面 501 和第二表面 502, 所述第一衬底 501 包括至少一层导电层 503, 所述导电层 503 位于所述第一衬底 500 的第一表面 501 一侧; 提供第二衬底 514, 所述第二衬底 514 包括相对的第三表面 518 和第四表面 519, 所述第二衬底 514 包括第二基底 510 以及位于第二基底 510 上的压敏电阻元件 513, 所述第二衬底 514 包括压力传感区 580, 所述压敏电阻元件 513 位于所述压力传感区 580 内, 所述压敏电阻元件 513 位于所述第二衬底 514 的第三表面 518 一侧; 将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定, 并在所述第一衬底 500 与第二衬底 514 的压力传感区 580 之间形成空腔 521。

[0221] 本实施例中, 所述第一衬底 500、第二衬底 514、以及将第一衬底 500 与第二衬底 514 固定的步骤与前述实施例的图 1 至图 6 及相关说明相同, 在此不作赘述。

[0222] 本实施例中, 所述第一衬底 500 包括位于所述第一表面 501 一侧的第一结合层 506。

[0223] 在一实施例中, 所述第一衬底 500 还包括自测电极, 在将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定之后, 所述自测电极的位置与所述第二衬底 514 的压力传感区 580 的位置对应。

[0224] 所述第二衬底 514 还包括位于所述第二基底 510 和压敏电阻元件层 512 之间的保护层 511。在一实施例中, 所述第二衬底 514 的形成步骤包括: 提供绝缘体上半导体衬底, 所述绝缘体上半导体衬底包括基底、位于基底表面的绝缘层、以及位于绝缘层表面的半导体层; 在所述半导体层表面形成第一图形化层, 所述第一图形化层暴露出部分半导体层表面; 以所述第一图形化层为掩膜, 对所述半导体层进行离子注入, 在所述半导体层内形成压敏电阻元件 513, 所述基底为第二基底 510, 所述绝缘层为保护层 511; 在所述离子注入之后, 去除所述第一图形化层。在另一实施例中, 所述第二基底 510 为体基底。

[0225] 所述第二衬底 514 还包括与所述压敏电阻元件 513 电连接的第二导电结构 515。所述第二导电结构 515 包括: 与压敏元件层内的掺杂互连层连接的第二导电插塞、以及位于第二导电插塞顶部表面的第二导电层。

[0226] 所述第二衬底 514 还包括位于所述第三表面 518 一侧的第二结合层 517。在一实施例中, 在所述第一结合层 506 和第二结合层 517 中, 至少一者的材料包括绝缘材料。

[0227] 在一实施例中, 所述第二衬底 514 还包括敏感探测单元区和参考单元区; 所述空腔 521 分别形成于所述敏感探测单元区和参考单元区内。

[0228] 在一实施例中, 所述空腔 521 的形成步骤包括: 在将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定之前, 在所述第二衬底 514 的第三表面 518 形成第一开口, 所述第一开口的位置与所述第二衬底 514 的压力传感区 580 的位置对应; 在将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定之后, 所述第一开口与第一衬底 501 的第一表面 501 构成空腔 521。

[0229] 在一实施例中, 还包括形成贯通所述第一衬底 500 的第二开口, 在将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定之后, 所述第二开口的位置与所述第二衬底 514 的压力传感区 580 的位置对应。

[0230] 在一实施例中, 将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518

相互固定工艺包括键合工艺。在另一实施例中,将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定工艺为粘结工艺;所述第一结合层 506 或第二结合层 518 为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

[0231] 请参考图 19,对所述第二衬底 514 的第四表面 519(如图 18 所示)进行减薄,去除部分厚度的第二基底 510,形成与所述第二衬底 514 的第三表面 518 相对的第五表面 522。

[0232] 所述减薄第四表面 519 的工艺包括化学机械抛光工艺。在本实施例中,所述第二衬底 514 的第二表面 519 为第二基底 510 的表面,因此所述化学机械抛光工艺减薄所述第二基底。在减薄所述第二基底 510 之后,位于保护层 511 表面的未被减薄的第二基底 510 用于对压敏电阻元件 513 以及保护层 511 进行保护。

[0233] 在一实施例中,所述第二衬底 514 还包括敏感探测单元区和参考单元区,且所述空腔 521 分别形成于所述敏感探测单元区和参考单元区内时,在减薄所述第二基底 510 之后,在所述参考单元区的第二衬底 514 第五表面 522 形成覆盖层。

[0234] 请参考图 20,自所述第二衬底 514 的第五表面 522 一侧形成贯穿至至少一层导电层 503 的第一导电插塞 523,所述第一导电插塞 523 用于将所述导电层 503 与压敏电阻元件 513 形成电连接。

[0235] 所述第一导电插塞 523 通过第一导电结构将所述导电层 503 与压敏电阻元件 513 形成电连接,所述第一导电结构包括:由第二衬底 514 的第五表面 522 贯穿至第二导电层 525 的第三导电插塞、以及位于第二衬底第五表面 522 的第一导电层 525,所述第一导电层 525 还位于第一导电插塞 523 和第三导电插塞 524 的顶部表面。本实施例中,所述第一导电结构与第一衬底 500 内的第二导电结构 515 电连接,因此实现与压敏电阻以及 513 的电连接。所述第一导电层 525 与第二基底 510 之间还能够形成绝缘层。

[0236] 所述第一导电结构和第一导电插塞 523 的材料、结构和形成步骤与前述实施例的图 8 和图 9 及相关说明相同,在此不做赘述。

[0237] 相应的,本发明该实施例还提供一种采用上述方法所形成的 MEMS 压力传感器,请继续参考图 20,包括:第一衬底 500,所述第一衬底 500 包括相对的第一表面 501 和第二表面 502,所述第一衬底 500 包括至少一层导电层 503,所述导电层 503 靠近所述第一衬底 500 的第一表面 501;第二衬底 514,所述第二衬底 514 包括相对的第三表面 518 和第五表面 522,所述第二衬底 514 包括第二基底 510 以及位于第二基底 510 上的压敏电阻元件 513,所述第二衬底 514 包括压力传感区 580,所述压敏电阻元件 513 位于所述压力传感区 580 内,所述压敏电阻元件 513 位于所述第二衬底 514 的第三表面 518 一侧;所述第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定,且所述第一衬底 500 与第二衬底 514 的压力传感区 580 之间具有空腔 521;自所述第二衬底 514 的第五表面 522 一侧形成贯穿至至少一层导电层 503 的第一导电插塞 523,所述第一导电插塞 523 用于将所述导电层 513 与压敏电阻元件 513 形成电连接。

[0238] 以下将对上述结构进行详细说明。

[0239] 所述第二衬底 514 还包括位于压敏电阻元件层 512 表面的保护层 511,所述保护层 511 表面为所述第五表面 522。所述第二衬底 514 还包括与所述压敏电阻元件 513 电连接的第二导电结构 515;所述第一导电结构与第二导电结构 515 电连接。所述第二导电结构 515 包括:位于所述压敏电阻元件层 512 表面的第二导电插塞、以及位于第二导电插塞顶部

表面的第二导电层。

[0240] 所述第一导电结构包括：由第二衬底 514 的第五表面 522 贯穿至第二导电层的第三导电插塞 524、以及位于第二衬底 514 第五表面 522 的第一导电层 525，所述第一导电层还位于第一导电插塞 523 和第三导电插塞 524 的顶部表面。

[0241] 所述第二衬底 514 还包括位于所述第三表面 518 一侧的第二结合层 517；或者，所述第一衬底 500 包括位于所述第一表面 501 一侧的第一结合层 506；或者，所述第二衬底 514 还包括位于所述第三表面 518 一侧的第二结合层 517，且所述第一衬底 500 包括位于第一表面 501 一侧的第一结合层 506。

[0242] 在一实施例中，在所述第一结合层 506 和第二结合层 517 中，至少一者的材料包括绝缘材料。

[0243] 在一实施例中，所述第一衬底 500 还包括电路。

[0244] 在一实施例中，将第一衬底 500 的第一表面 501 与第二衬底 514 的第三表面 518 相互固定工艺为粘结工艺；所述第一结合层 506 或第二结合层 517 为粘结层，所述粘结层的材料包括绝缘材料、半导体材料、金属材料或有机材料。

[0245] 实施例六

[0246] 图 21 至图 23 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图。

[0247] 请参考图 21，提供第一衬底 600，所述第一衬底 600 包括相对的第一表面 601 和第二表面 602，所述第一衬底 600 包括第一基底 604 和至少一层导电层 603，所述导电层 603 位于所述第一衬底 600 的第一表面 601 一侧；提供第二衬底 614，所述第二衬底 614 包括相对的第三表面 618 和第四表面，所述第二衬底 614 包括第二基底 610、以及位于第二基底 610 上的压敏电阻元件 613，所述第二衬底 614 包括压力传感区 680，所述压敏电阻元件 613 位于所述压力传感区 680 内，所述压敏电阻元件 613 位于所述第二衬底 614 的第三表面 618 一侧；将第一衬底 600 的第一表面 601 与第二衬底 614 的第三表面 618 相互固定，并在所述第一衬底 600 与第二衬底 614 的压力传感区 680 之间形成空腔 621；对所述第二衬底 614 的第四表面进行减薄，去除部分厚度的第二基底 610，形成与所述第二衬底 614 的第三表面 618 相对的第五表面 622。

[0248] 所述第二衬底 614 还包括位于所述第三表面 618 一侧的第二结合层 617。所述第一衬底 600、第二衬底 614、将第一衬底 600 的第一表面 601 与第二衬底 614 的第三表面 618 相互固定的步骤、以及对所述第二衬底 614 的第四表面进行减薄的步骤与前述实施例的图 18 和图 19 及相关说明相同，在此不作赘述。

[0249] 请参考图 22，在对所述第二衬底 614 的第四表面进行减薄之后，在所述第二衬底 614 内形成第三开口 660，且所述第三开口 660 的位置与第二衬底 614 的压力传感区 680 对应。

[0250] 所述第三开口 660 能够贯穿所述第二基底 610，或者还能够不贯穿所述第二基底 610。

[0251] 在一实施例中，在第二基底内形成的第三开口不贯穿所述第二基底，或者不在所述第二基底内形成第三开口时，在所述第二衬底的第五表面一侧形成至少一个贯穿第二基底的第五通孔，所述第五通孔的位置与压力传感区对应。

[0252] 首先,所述具有第五通孔的第二基底能够用于过滤空气中的尘埃;其次,所述具有第五通孔的第二基底还能够用于电屏蔽;此外,位于压力传感区的第二基底还能够作为自测电极,当对于所述第二基底施加偏压时,第二基底能够对压敏电阻元件产生静电引力,以此检测压敏电极是否能够正常工作。

[0253] 所述第三开口 660 的形成步骤包括:在第二衬底 614 的第五表面 622 形成图形化层,所述图形化层暴露出需要形成第三开口 660 的对应位置;以所述图形化层为掩膜,对所述第二衬底 614 的第五表面 622 进行刻蚀,形成第三开口 660。所述图形化层为图形化的光刻胶层;所述刻蚀工艺包括各向异性的干法刻蚀工艺。在本实施例中,所述第三开口 660 暴露出所述保护层 611。

[0254] 由于除压力传感区 680 以外的区域均具有第二基底 610 覆盖,从而能够在不影响所述压敏电阻元件 613 精确获取外部压力的同时,增加所述压敏电阻元件 613 到外部环境的距离,从而使所述压敏电阻元件 613 受到保护,避免压力传感膜及表面的保护层 611 受到磨损或其它损伤。

[0255] 在一实施例中,所述第二衬底 614 还包括敏感探测单元区和参考单元区,且所述空腔 621 分别形成于所述敏感探测单元区和参考单元区内,则所述第三开口 660 能够仅暴露出敏感探测单元区的保护层 611 表面,而所述参考单元区的保护层 611 表面依旧具有第二基底 610 覆盖,则无需在所述第二基底 610 表面形成额外的覆盖层,能够以所述第二基底 610 形成位于参考单元区的压力传感层 612 表面的覆盖层。

[0256] 请参考图 23,形成自所述第二衬底 614 的第五表面 622 一侧贯穿至至少一层导电层 603 表面的第一导电插塞 623,所述第一导电插塞 623 用于将所述导电层 603 与压敏电阻元件 613 形成电连接。

[0257] 所述第一导电结构和第一导电插塞 623 的材料、结构和形成步骤与前述实施例的图 8 和图 9 及相关说明相同,在此不做赘述。

[0258] 相应的,本发明该实施例还提供一种采用上述方法所形成的 MEMS 压力传感器,请继续参考图 23,包括:第一衬底 600,所述第一衬底 600 包括相对的第一表面 601 和第二表面 602,所述第一衬底 600 包括至少一层导电层 603,所述导电层 603 靠近所述第一衬底 600 的第一表面 601;第二衬底 614,所述第二衬底 614 包括相对的第三表面 618 和第五表面 622,所述第二衬底 614 包括第二基底 610 以及位于第二基底 610 上的压敏电阻元件 613,所述第二衬底 614 包括压力传感区 680,所述压敏电阻元件 613 位于所述压力传感区 680 内,所述压敏电阻元件 613 位于所述第二衬底 614 的第三表面 618 一侧;所述第二衬底 614 内具有第三开口 660,且所述第三开口 660 的位置与第二衬底 614 的压力传感区 680 对应;所述第一衬底 600 的第一表面 601 与第二衬底 614 的第三表面 618 相互固定,且所述第一衬底 600 与第二衬底 614 的压力传感区 680 之间具有空腔 621;自所述第二衬底 614 的第五表面 622 一侧形成贯穿至至少一层导电层 603 的第一导电插塞 623,所述第一导电插塞 623 用于将所述导电层 603 与压敏电阻元件 613 形成电连接。

[0259] 实施例七

[0260] 图 24 至图 26 是本发明另一实施例的 MEMS 压力传感器的形成过程的剖面结构示意图。

[0261] 请参考图 24,提供第二衬底 714,所述第二衬底 714 包括相对的第三表面 718 和第

四表面 719, 所述第二衬底 714 包括第二基底 710 以及位于第二基底 710 内部的压敏电阻元件 713, 所述第二衬底 714 包括压力传感区 780, 所述压敏电阻元件 713 位于所述压力传感区 780 内, 所述压敏电阻元件 713 位于所述第二衬底 714 的第三表面 718 一侧。

[0262] 在本实施例中, 所述第二基底 710 为体基底; 在所述体基底表面形成第一图形化层, 所述第一图形化层暴露出部分体基底表面; 以所述第一图形化层为掩膜, 对所述体基底进行离子注入, 在所述体基底内形成压敏电阻元件 713; 在所述离子注入之后, 去除所述第一图形化层。此外, 在第二基底 710 内, 还形成有掺杂互连层, 所述掺杂互连层与所述压敏电阻元件 713 电连接。

[0263] 所述第二衬底 714 还包括与所述压敏电阻元件 713 电连接的第二导电结构 715。所述第二导电结构 715 包括: 与压敏元件层内的掺杂互连层连接的第二导电插塞、以及位于第二导电插塞顶部表面的第二导电层。

[0264] 所述第二衬底 714 还包括位于所述第三表面 718 一侧的第二结合层 717。本实施例中, 所述第二结合层 717 内具有第一开口 720, 所述第一开口 720 用于与第一衬底形成空腔。

[0265] 在一实施例中, 所述第二衬底 714 还包括敏感探测单元区和参考单元区; 所述空腔分别形成于所述敏感探测单元区和参考单元区内。

[0266] 请参考图 25, 提供第一衬底 700, 所述第一衬底 700 包括相对的第一表面 701 和第二表面 702, 所述第一衬底 700 包括至少一层导电层 703, 所述导电层 703 位于所述第一衬底 700 的第一表面 701 一侧; 将第一衬底 700 的第一表面 701 与第二衬底 714 的第三表面 718 相互固定, 并在所述第一衬底 700 与第二衬底 714 的压力传感区 780 之间形成空腔 721。

[0267] 本实施例中, 所述第一衬底 700、第二衬底 714、以及将第一衬底 700 与第二衬底 714 固定的步骤与前述实施例的图 1 至图 6 及相关说明相同, 在此不作赘述。

[0268] 本实施例中, 所述第一衬底 700 包括位于所述第一表面 701 一侧的第一结合层 706。在一实施例中, 在所述第一结合层 706 和第二结合层 717 中, 至少一者的材料包括绝缘材料。

[0269] 在一实施例中, 所述第一衬底 700 还包括自测电极, 在将第一衬底 700 的第一表面 701 与第二衬底 714 的第三表面 718 相互固定之后, 所述自测电极的位置与所述第二衬底 714 的压力传感区 780 的位置对应。

[0270] 在一实施例中, 所述空腔 721 的形成步骤包括: 在将第一衬底 700 的第一表面 701 与第二衬底 714 的第三表面 718 相互固定之前, 在所述第二衬底 714 的第三表面 718 形成第一开口, 所述第一开口的位置与所述第二衬底 714 的压力传感区 780 的位置对应; 在将第一衬底 700 的第一表面 701 与第二衬底 714 的第三表面 718 相互固定之后, 所述第一开口与第一衬底 700 的第一表面 701 构成空腔 721。

[0271] 在一实施例中, 还包括形成贯通所述第一衬底 700 的第二开口, 在将第一衬底 700 的第一表面 701 与第二衬底 714 的第三表面 718 相互固定之后, 所述第二开口的位置与所述第二衬底 714 的压力传感区 780 的位置对应。

[0272] 在一实施例中, 将第一衬底 700 的第一表面 701 与第二衬底 714 的第三表面 718 相互固定工艺包括键合工艺。在另一实施例中, 将第一衬底 700 的第一表面 701 与第二衬底 714 的第三表面 718 相互固定工艺为粘结工艺; 所述第一结合层 706 或第二结合层 717

为粘结层,材料包括绝缘材料、半导体材料、金属材料或有机材料。

[0273] 请参考图 26,对所述第二衬底 714 的第四表面 719 进行减薄,去除部分厚度的第二基底 710,形成与所述第二衬底 714 的第三表面 718 相对的第五表面 722;自所述第二衬底 714 的第五表面 722 一侧形成贯穿至至少一层导电层 703 的第一导电插塞 723,所述第一导电插塞 723 用于将所述导电层 703 与压敏电阻元件 713 形成电连接。

[0274] 所述减薄第四表面 719 的工艺包括化学机械抛光工艺。在本实施例中,所述第二衬底 714 的第二表面 719 为第二基底 710 的表面,因此所述化学机械抛光工艺减薄所述第二基底。

[0275] 在一实施例中,所述第二衬底 714 还包括敏感探测单元区和参考单元区,且所述空腔 721 分别形成于所述敏感探测单元区和参考单元区内时,在减薄所述第二基底 710 之后,在所述参考单元区的第二衬底 714 第五表面 722 形成覆盖层。

[0276] 所述第一导电结构包括:由第二衬底 714 的第五表面 722 贯穿至第二导电层 727 的第三导电插塞、以及位于第二衬底第五表面 722 的第一导电层 725,所述第一导电层 725 还位于第一导电插塞 723 和第三导电插塞 724 的顶部表面。本实施例中,所述第一导电结构与第一衬底 700 内的第二导电结构 715 电连接,因此实现与压敏电阻以及 713 的电连接。所述第一导电层 725 与第二基底 710 之间还能够形成绝缘层。

[0277] 所述第一导电结构和第一导电插塞 723 的材料、结构和形成步骤与前述实施例的图 8 和图 9 及相关说明相同,在此不做赘述。

[0278] 实施例八

[0279] 在图 9 的基础上,请参考图 27,图 27 是本发明另一实施例的 MEMS 应力传感器的形成过程的剖面结构示意图。

[0280] 请参考图 27,形成自所述第一衬底 100 的第二表面 102 一侧贯穿至至少一层所述导电层 103 的第四导电插塞 800。与所述第四导电插塞 800 连接的导电层 103、以及与第一导电插塞 123 连接的导电层 103 能够位于同一层或不同层。

[0281] 本实施例中,在形成所述第四导电插塞 800 之前,还包括:在所述第一衬底 100 的第二表面形成第四介质层 801,所述第四介质层 801 暴露出部分第一衬底 100 的第二表面 102;以所述第四介质层为掩膜,刻蚀所述第一衬底 100 直至暴露出至少一层导电层 103,在第一衬底 100 内形成第四通孔;在所述第四通孔内形成第四导电插塞 800。

[0282] 在本实施例中,在形成第四介质层 801 之前,还能够自所述第一衬底 100 的第二表面 102 一侧进行减薄,使得形成第四通孔的刻蚀工艺难度降低、刻蚀深度减小。

[0283] 在本实施例中,在形成第四导电插塞 800 之后,还包括:在所述第四介质层表面形成第四导电层 802,所述第四导电层 802 还位于所述第四导电插塞 800 的顶部。此外,所述第四导电层 802 表面还能够形成焊球 803,所述焊球 803 用于使所形成的 MEMS 压力传感器能够与基板布线电连接。

[0284] 所述第四介质层 801 用于电隔离所述第四导电层 802 与第一基底 104;所述第四介质层 801 的材料包括氧化硅、氮化硅、氮氧化硅、低 k 介质材料或超低 k 介质材料。所述第四导电层 802 的材料包括导电材料,所述导电材料包括金属、金属化合物或掺杂离子的半导体材料。所述刻蚀形成第四通孔的工艺为各向异性的干法刻蚀工艺。自所述第一衬底 100 的第二表面 102 一侧进行减薄的工艺为化学机械抛光工艺。

[0285] 所述第四导电插塞 800 的形成步骤包括：在所述第二表面 102 和第四通孔内形成填充所述第四通孔的导电膜；去除第二表面 102 上不必要的导电膜，形成所述第四导电插塞 800。在一实施例中，能够完全去除第二表面 102 上的导电膜。在另一实施例中，能够在第二表面 102 上保留部分导电膜。

[0286] 所述第四导电插塞 800 的一端能够相对于第二表面 102 突出、凹陷或齐平。

[0287] 在一实施例中，在形成所述导电膜之前，在所述第四通孔的侧壁表面形成绝缘层，在形成绝缘层之后形成填充第四通孔的导电膜；所述绝缘层用于电隔离所述导电膜和第一基底 104。

[0288] 所述第四导电插塞 800 的材料包括铜、钨、铝、银或金；所述导电膜的形成工艺包括物理气相沉积工艺、化学气相沉积工艺、原子层沉积工艺、电镀工艺或化学镀工艺；去除第二表面 102 上的导电膜的工艺包括化学机械抛光工艺。此外，所述第一通孔的侧壁表面还能够形成第一阻挡层，所述导电膜形成于第一阻挡层表面，所述第一阻挡层的材料包括钛、钽、氮化钽或氮化钛中的一种或多种。

[0289] 在另一实施例中，在将第一衬底和第二衬底相互固定之前，从第一衬底 100 的第一表面 101 一侧形成第四插塞，所述第四插塞能够贯穿或不贯穿所述第一衬底 100；当所述第四插塞不贯穿所述第一衬底 100 时，在形成所述第四插塞之后，自所述第一衬底 100 的第二表面 102 一侧进行减薄，直至暴露出所述第四插塞为止。在该实施例中，所形成的第四插塞自第一衬底 100 的第二表面 102 贯穿至第一表面 101 一侧的至少一层导电层 103。所述第四导电插塞的形成步骤包括：在所述第一衬底 100 的第一表面 101 一侧形成第四通孔，所述第四通孔的底部伸入第一基底 104；在所述第一表面 101 一侧和第四通孔内形成填充所述第四通孔的导电膜；去除第一表面 101 一侧不必要的导电膜，形成所述第四导电插塞。在一实施例中，在形成所述导电膜之前，在所述第四通孔的侧壁表面形成绝缘层，在形成绝缘层之后形成填充第四通孔的导电膜；所述绝缘层用于电隔离所述导电膜和第一基底 104。

[0290] 虽然本发明披露如上，但本发明并非限于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

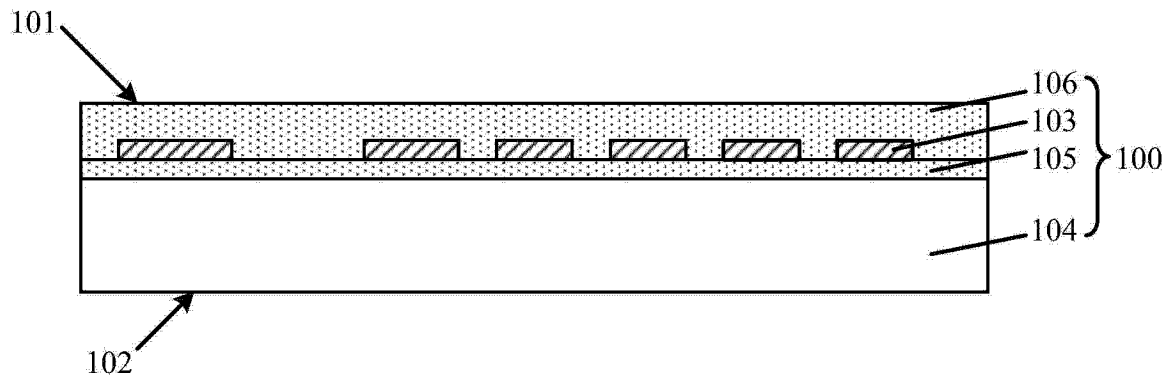


图 1

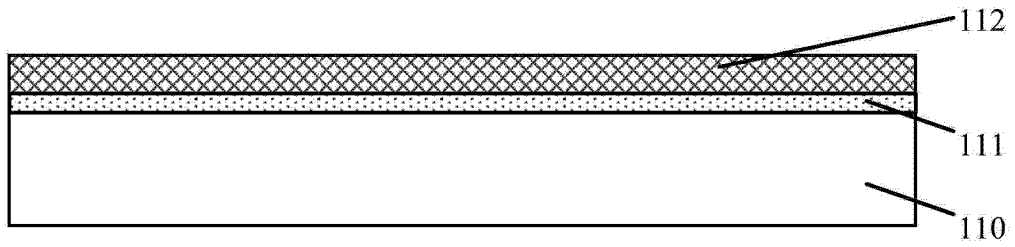


图 2

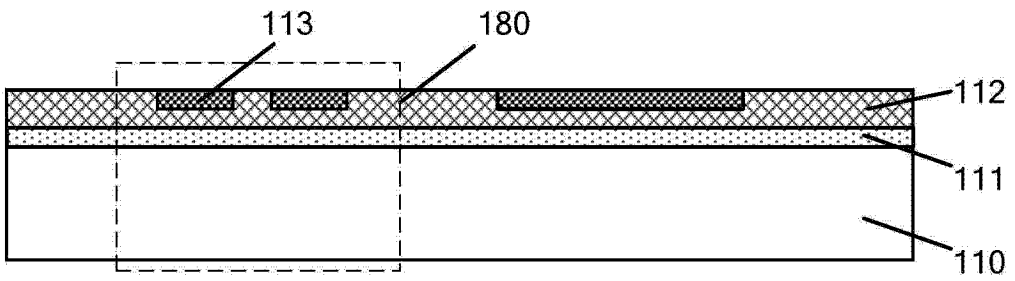


图 3

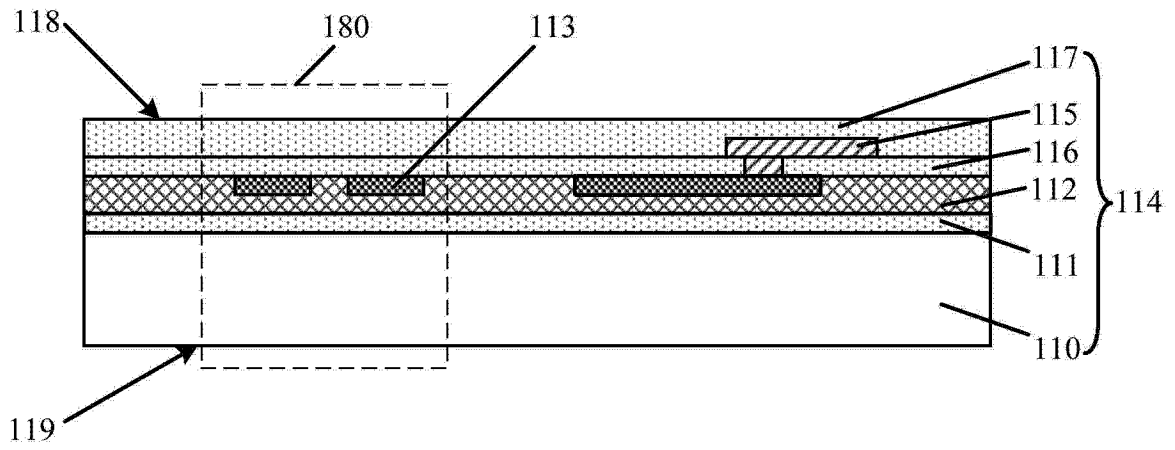


图 4

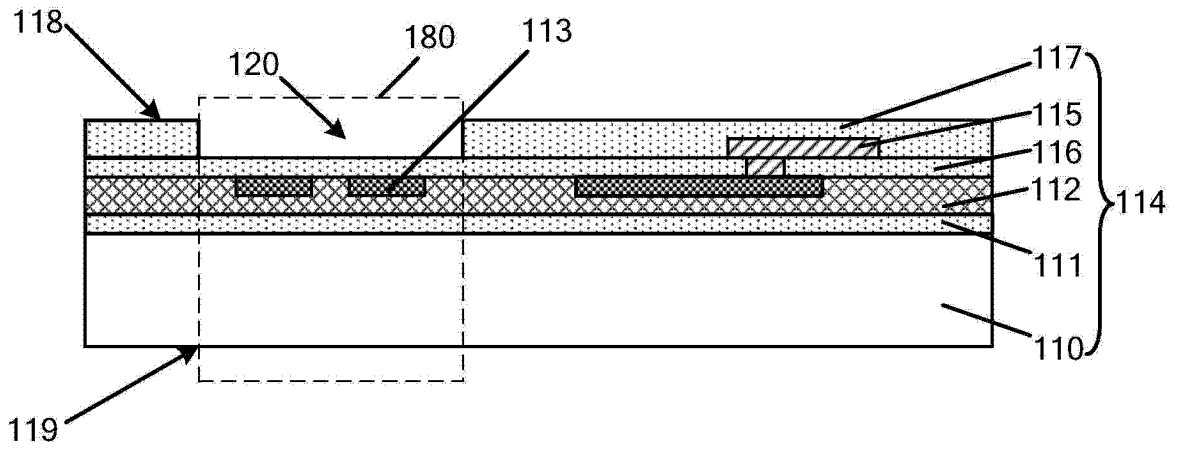


图 5

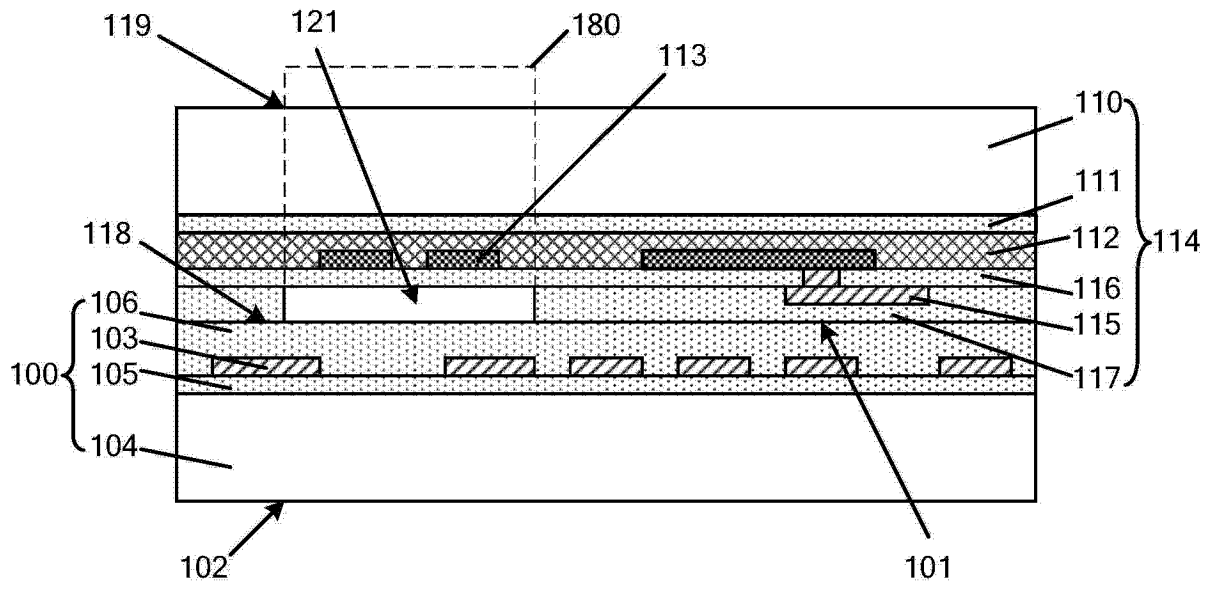


图 6

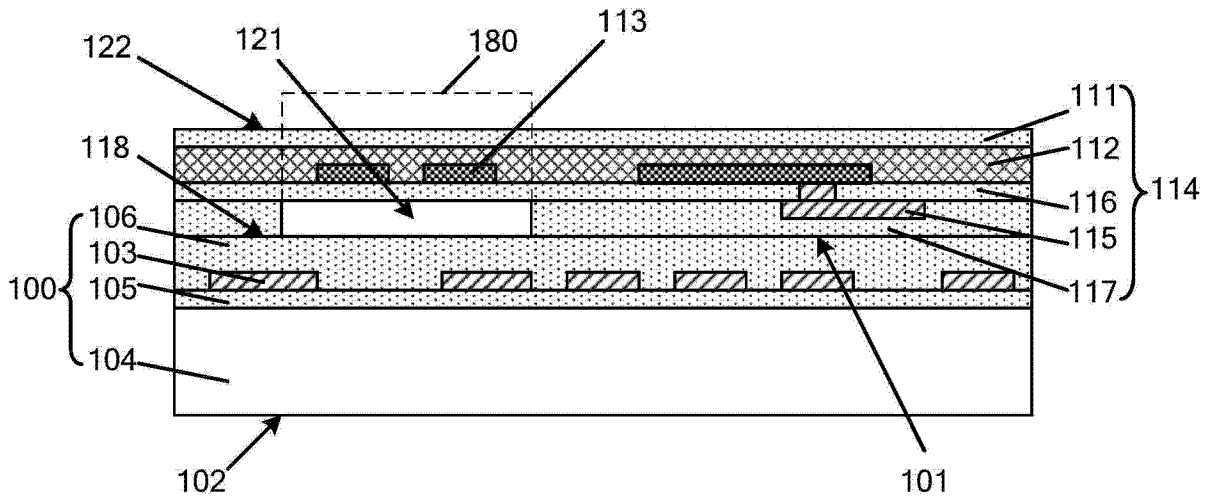


图 7

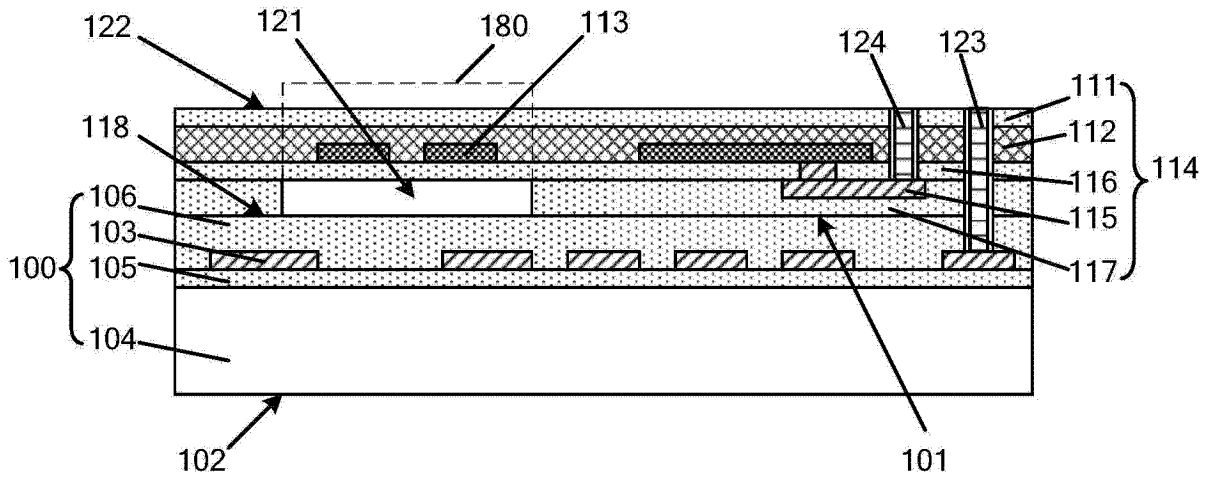


图 8

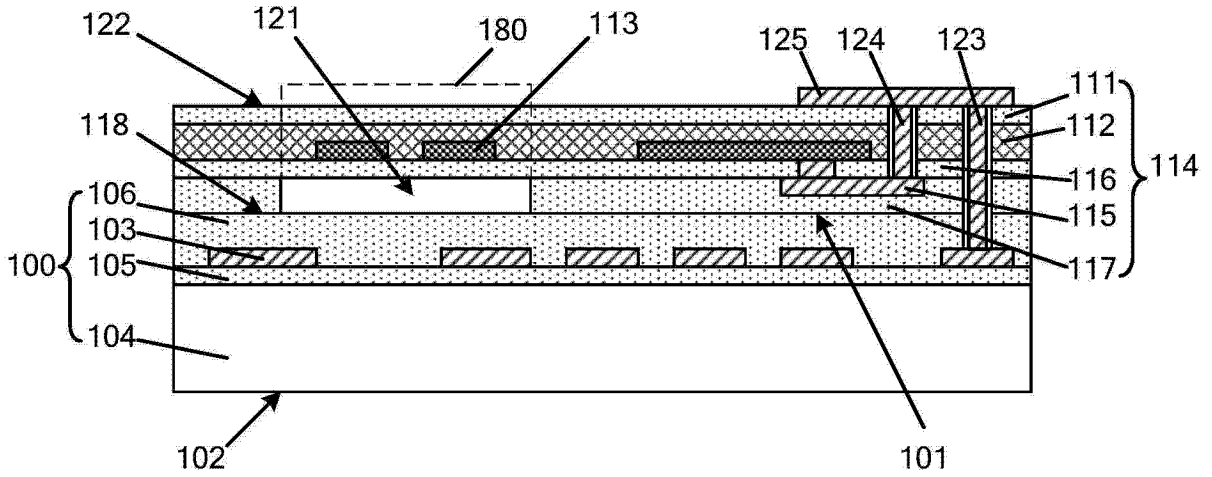


图 9

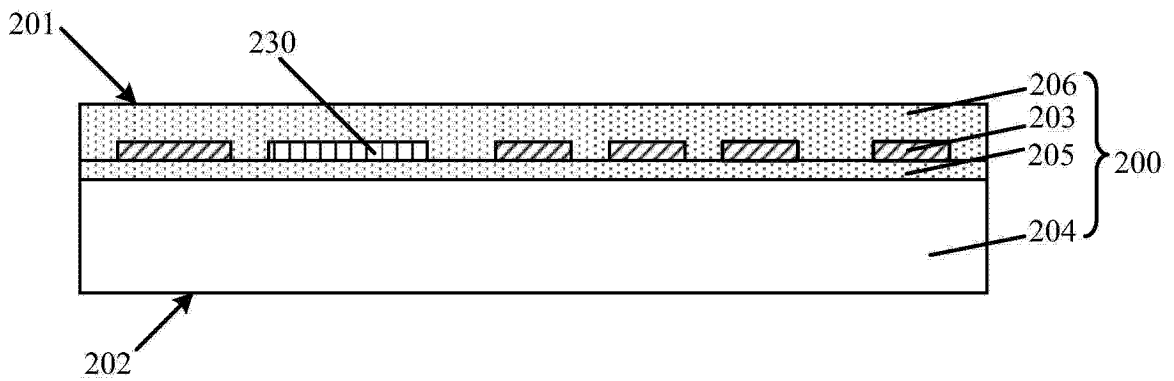


图 10

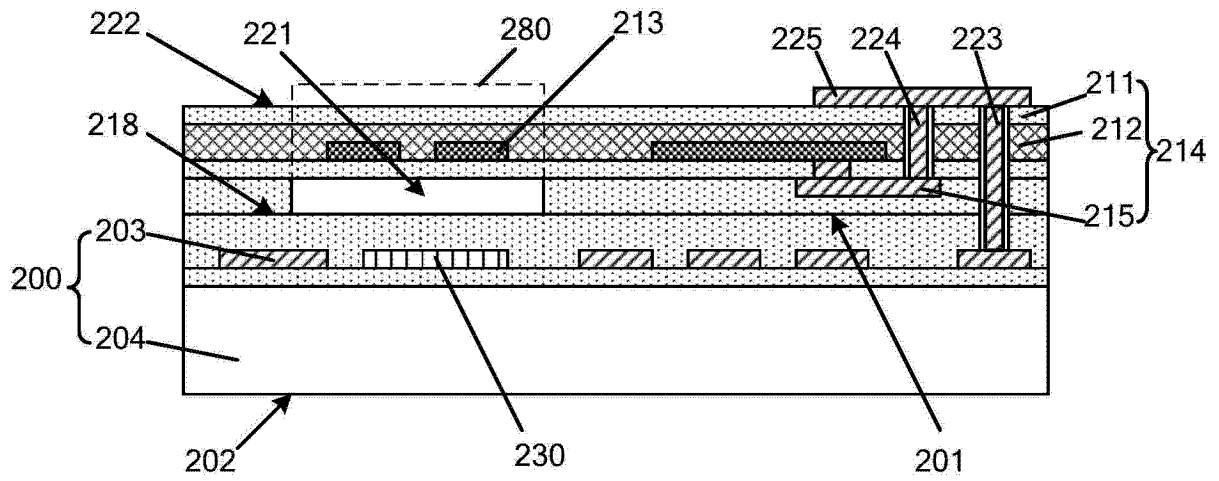


图 11

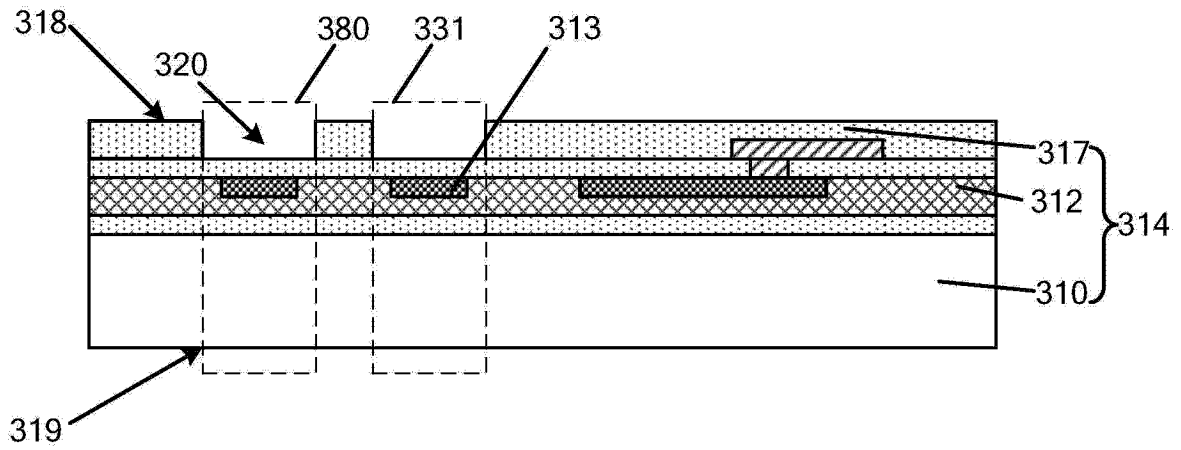


图 12

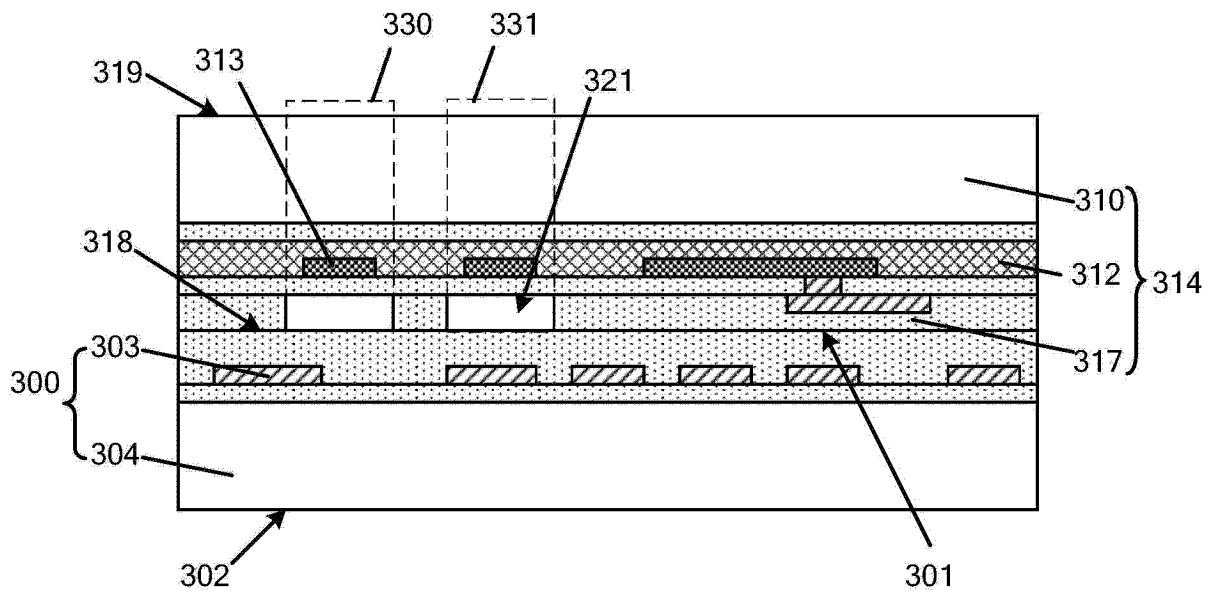


图 13

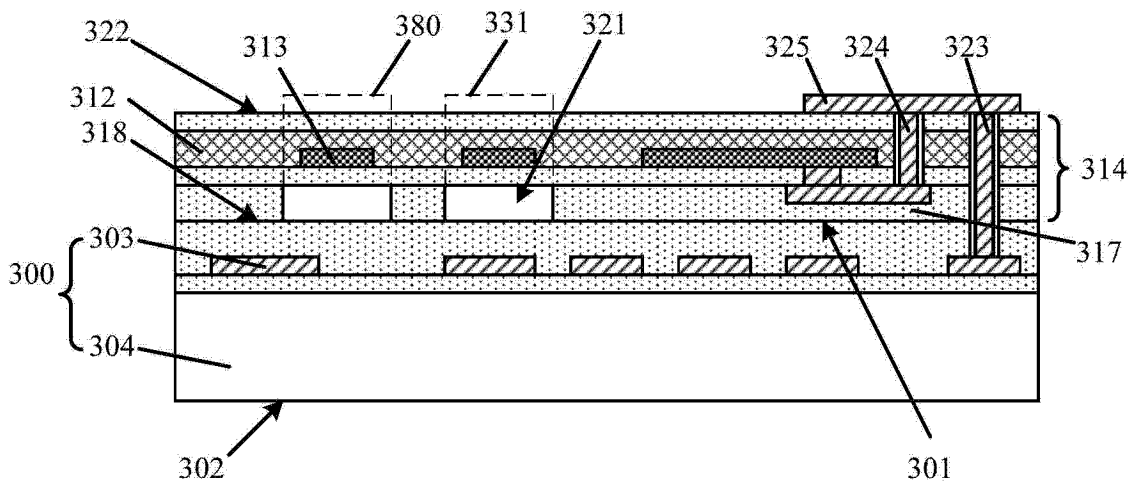


图 14

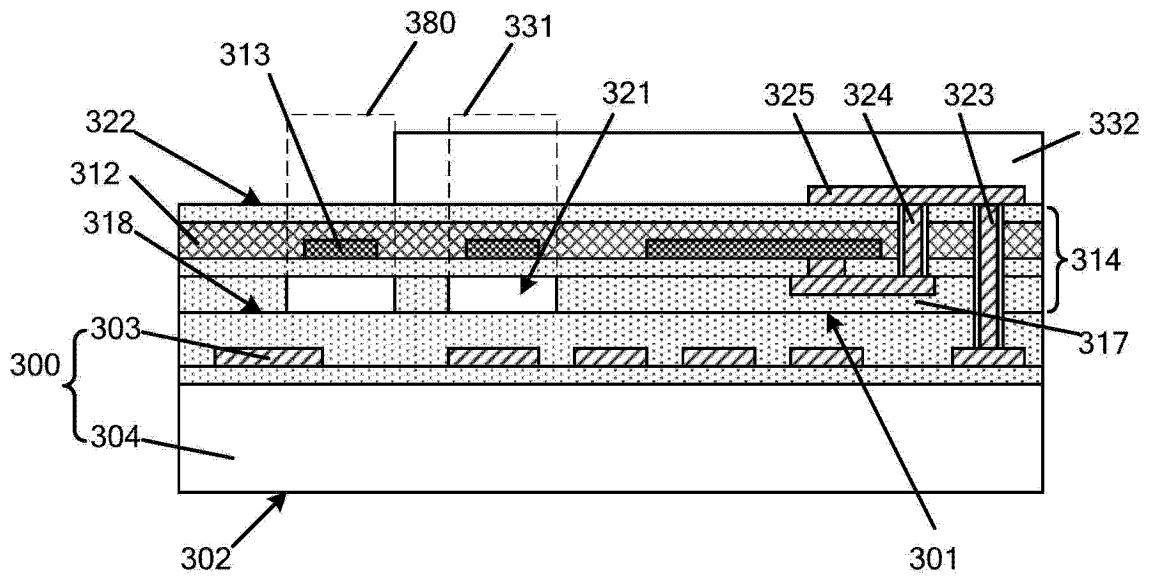


图 15

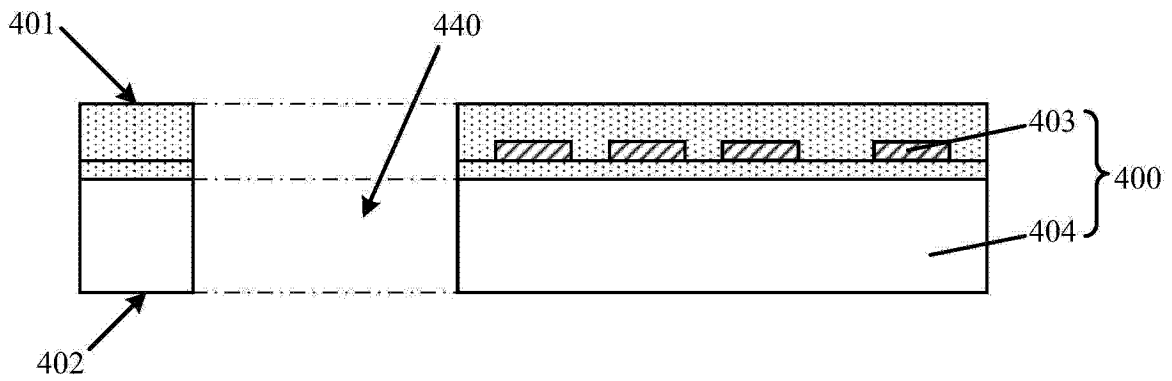


图 16

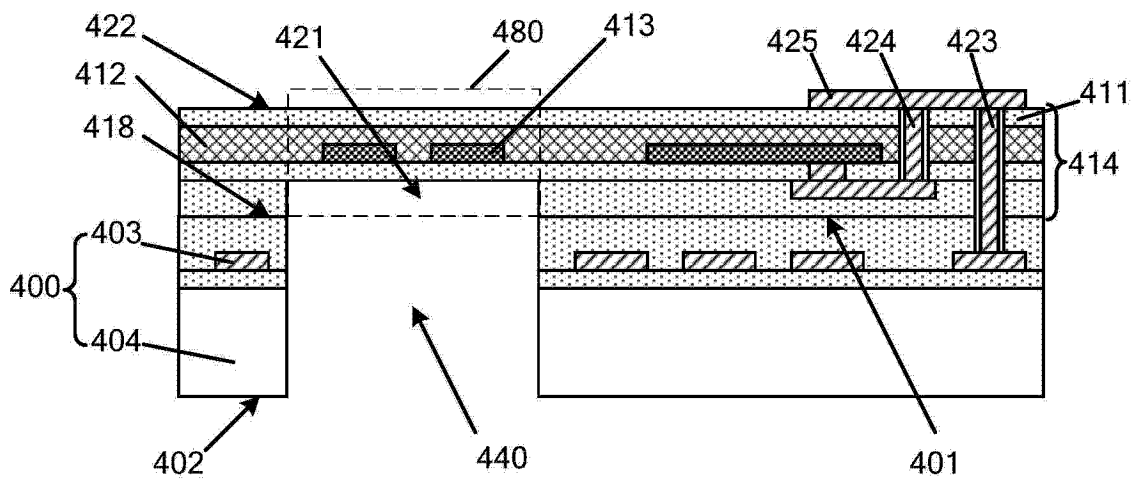


图 17

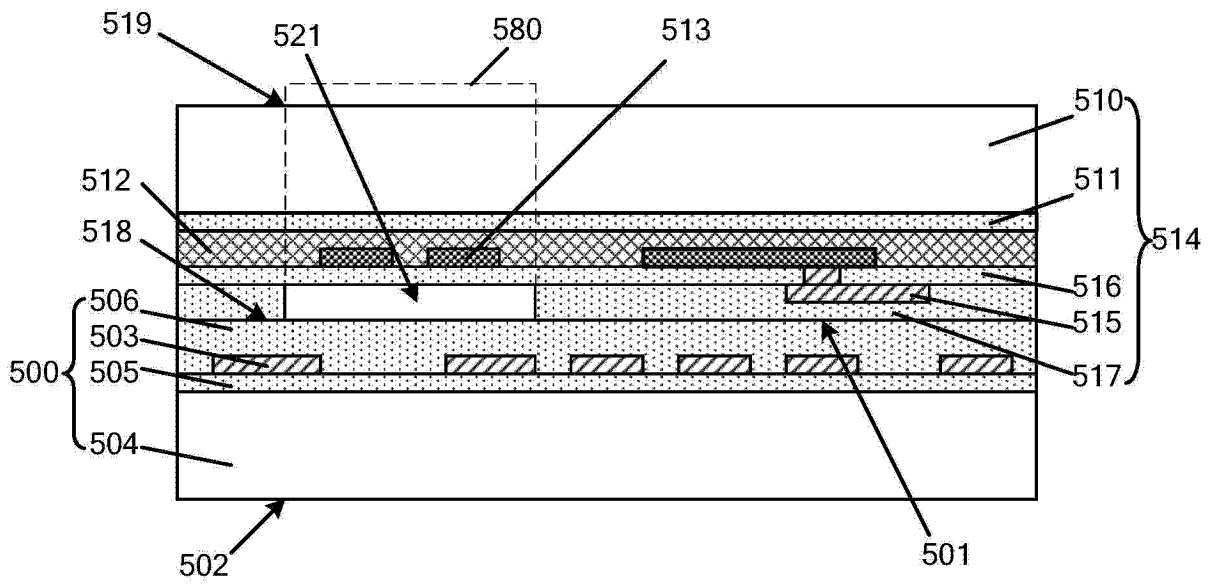


图 18

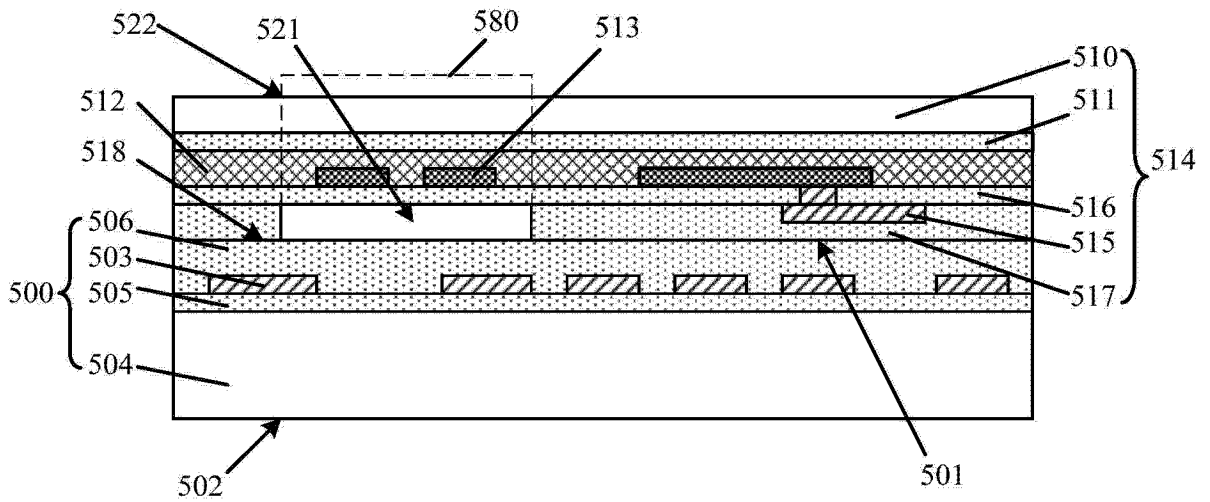


图 19

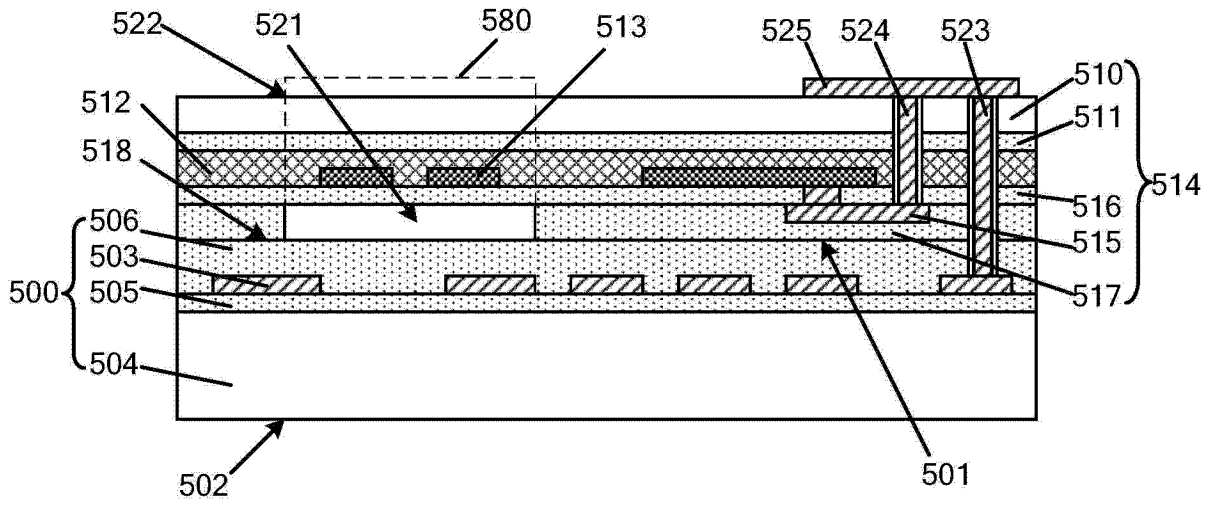


图 20

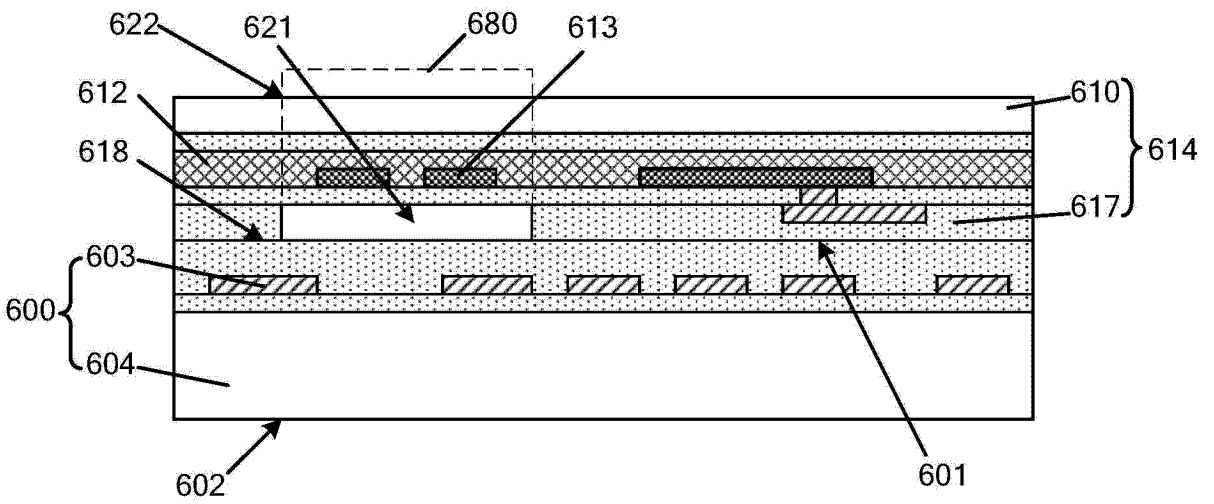


图 21

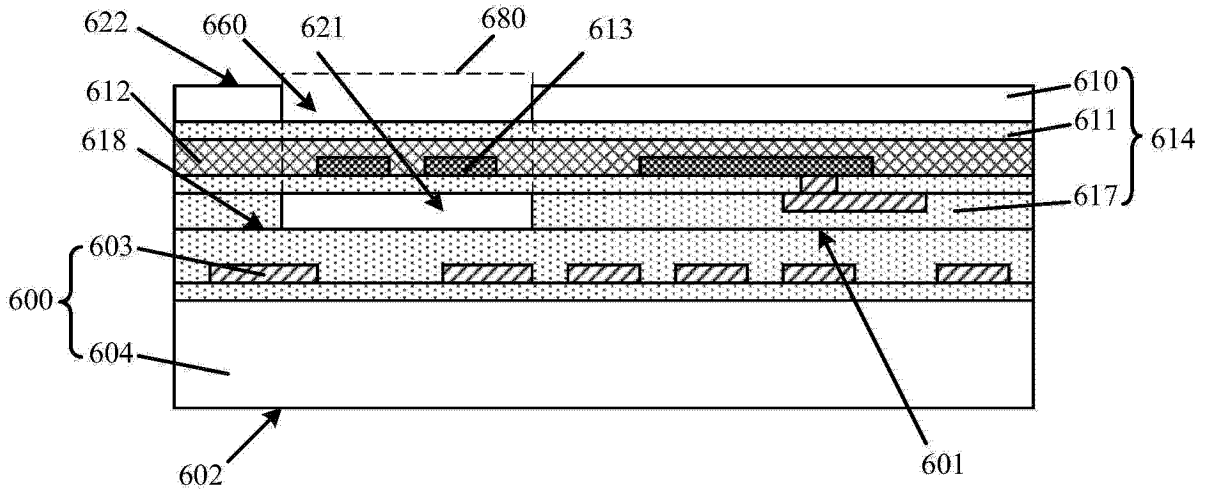


图 22

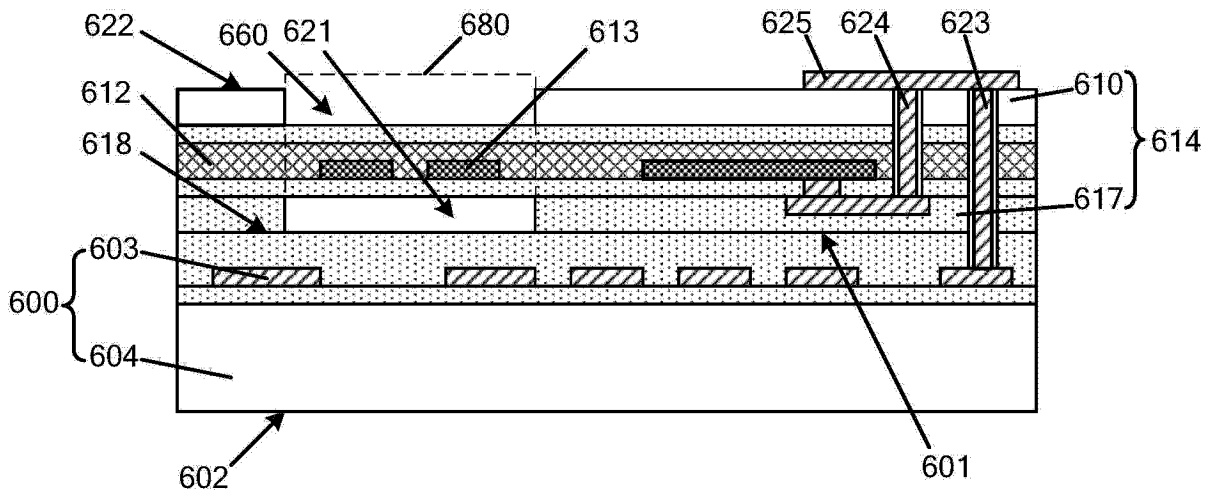


图 23

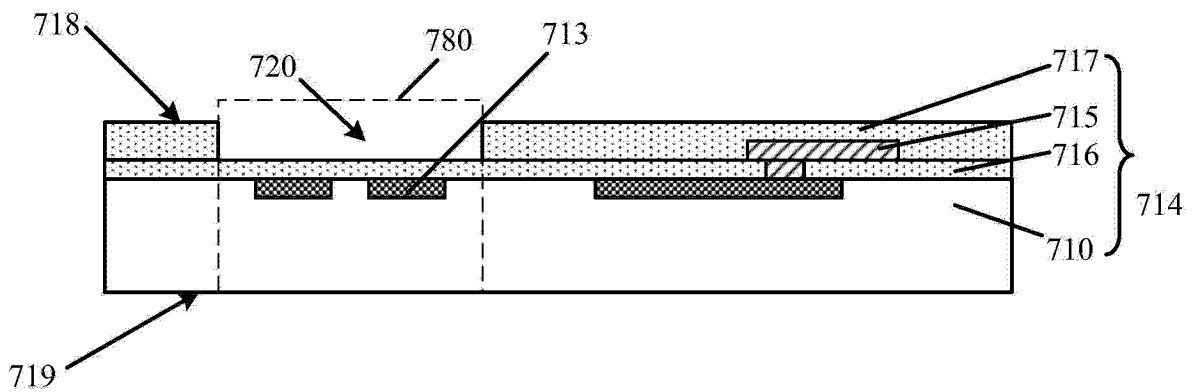


图 24

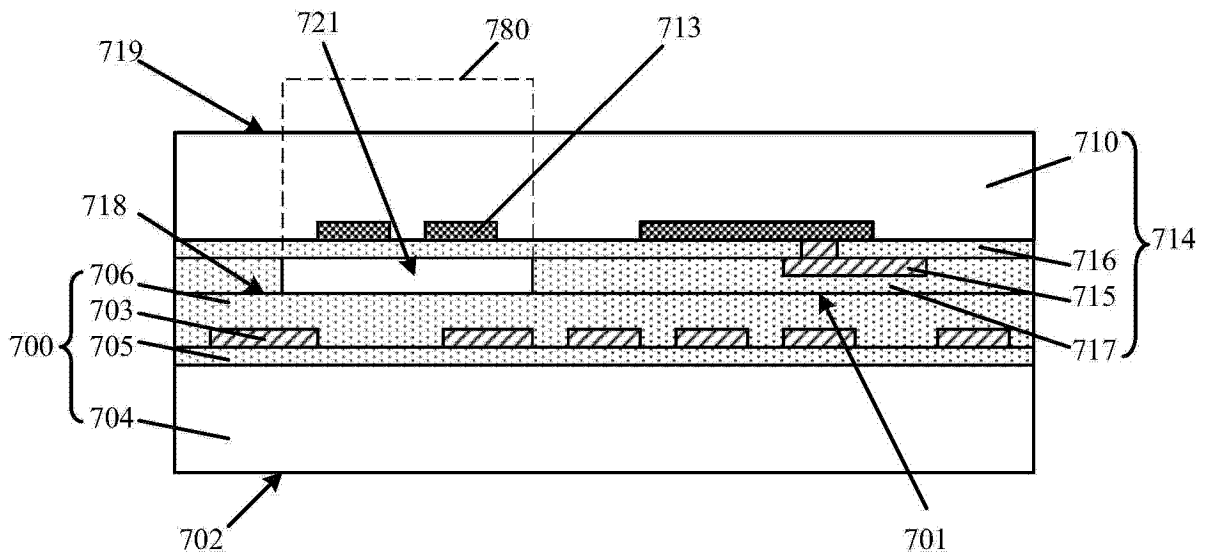


图 25

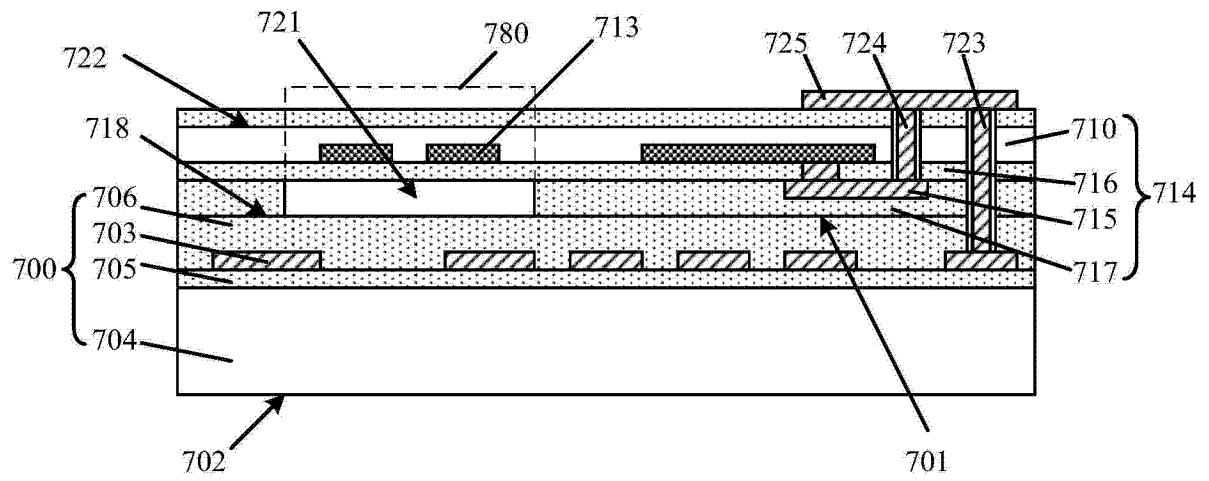


图 26

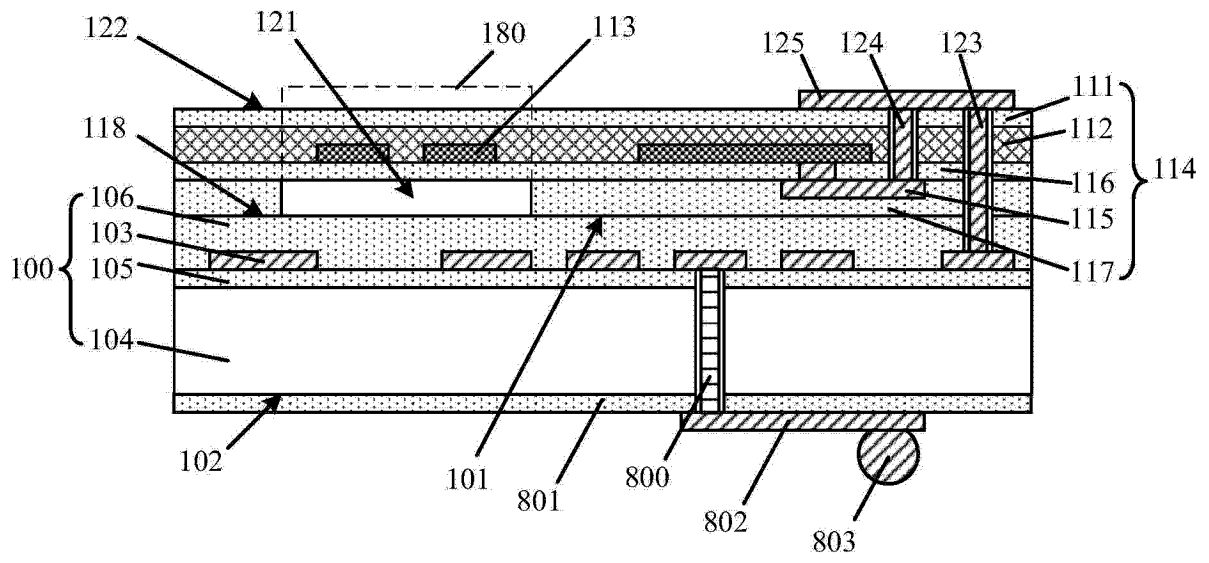


图 27