



(12) 发明专利

(10) 授权公告号 CN 103165725 B

(45) 授权公告日 2015. 12. 16

(21) 申请号 201110416672. 7

US 5969337 A, 1999. 10. 19, 说明书第 3 栏第 35 行 - 第 5 栏第 18 行及附图 1.

(22) 申请日 2011. 12. 14

US 6956262 B1, 2005. 10. 18, 全文.

(73) 专利权人 南京大学

地址 210093 江苏省南京市鼓楼区汉口路 22 号

审查员 陈树华

(72) 发明人 闫锋 夏好广 胡悦 卜晓峰

吴福伟 马浩文

(74) 专利代理机构 南京天翼专利代理有限责任

公司 32112

代理人 陈建和

(51) Int. Cl.

H01L 31/113(2006. 01)

H01L 31/0224(2006. 01)

G01J 1/42(2006. 01)

(56) 对比文件

CN 101807547 A, 2010. 08. 18, 说明书第 [0023]-[0066] 段及图 1-7.

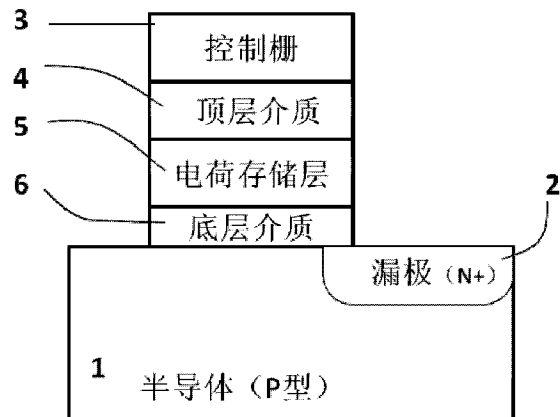
权利要求书 2 页 说明书 4 页 附图 3 页

(54) 发明名称

三端复合介质栅光敏探测器及其探测方法

(57) 摘要

三端复合介质栅光敏探测器,包括 P 型半导体衬底 (1)、在所述衬底正上方依次设有底层绝缘介质 (6), 光电子存储层 (5), 顶层绝缘介质 (4), 控制栅 (3); P 型半导体衬底中靠近叠层介质的任一侧通过离子注入掺杂形成高浓度 N⁺型漏极 (2); 所述光电子存储层 (5) 是多晶硅、Si₃N₄ 或其它电子导体或半导体; 控制栅极 (3) 是多晶硅、金属或其他透明导电电极, 控制栅极面或基底层至少有一处为对探测器探测波长透明或半透明的窗口; 该探测器利用 pn 结反偏来产生和收集光信号, 通过测量 pn 结的栅极诱导漏极电流 (GIDL) 来读取信号大小。



1. 三端复合介质栅光敏探测器,其特征是三端复合介质栅探测器结构包括P型半导体衬底(1)、在所述衬底正上方依次设有底层绝缘介质(6),光电子存储层(5),顶层绝缘介质(4),控制栅极(3);P型半导体衬底中靠近叠层介质的任一侧通过离子注入掺杂形成高浓度N⁺型漏极(2);所述光电子存储层(5)是多晶硅或氮化硅;控制栅极(3)是多晶硅或金属,控制栅极或衬底至少有一处为对探测器探测波长透明或半透明的窗口;顶层绝缘介质(4)为宽带半导体,以保证电子从衬底穿越势垒而进入存储层后不会进入控制栅极(3);顶层绝缘介质的材料采用氧化硅/氮化硅/氧化硅、氧化硅/氧化铝/氧化硅、氧化硅、氧化铝;底层介质材料采用氧化硅或高介电常数介质。

2. 根据权利要求1所述的三端复合介质栅光敏探测器,其特征是底层绝缘介质(6)为氧化硅 4-10nm、氮化硅 4-10nm,或为 HfO₂、Al₂O₃、ZrO₂、Y₂O₃、BaTiO₃、BaZrO₃、ZrSiO₄或 Ta₂O₃,其等效 SiO₂厚度为 4-10nm;顶层绝缘介质(4)为氧化硅 10-20nm 或为 HfO₂、Al₂O₃、ZrO₂、Y₂O₃、BaTiO₃、BaZrO₃、ZrSiO₄或 Ta₂O₃,其等效 SiO₂厚度为 10-20nm,或为氧化硅/氮化硅/氧化硅复合结构,其等效 SiO₂厚度为 10-20nm;光电子存储层(5)为多晶硅 50-150nm 或氮化硅 3-10nm;控制栅(3)为多晶硅 50-200nm、金属。

3. 根据权利要求1或2所述的三端复合介质栅光敏探测器,其特征是曝光编程过程:在探测器的衬底(1)加一负偏压脉冲 VBp,漏极(2)加一正偏压脉冲 VDp,同时控制栅极(3)要加零偏压或加正向偏压脉冲 VGp. 衬底表面和漏区会产生耗尽层. 光子进入耗尽层激发产生光电子;一部分光电子在控制栅极(3)和漏极(2)电场的驱动下向着控制栅极(3)方向加速移动,当电子能量超过氧化层势垒,就会越过底层绝缘介质(6)注入光电子存储层(5)实现光电信号收集,完成曝光编程过程;光电子存储层(5)电荷量的变化导致器件阈值电压发生变化,这个变化量通过读取过程得到,进而知道光电子存储层中光电子数目;

信号读取过程:探测器的读取过程是基于栅压诱导漏端漏电流 GIDL 的方法操作,N型漏极(2)的电流强烈依赖于漏极(2)与光电子存储层(5)之间的电场、且为指数关系;具体操作为:在漏极(2)加一正偏压 VDread,同时控制栅极(3)要加负偏压 VGread,衬底 VBread 接地,测试漏端电流 Id,则漏端电流大小受到光电子存储层(5)电势的影响,电荷存储层存储的电子数越多,GIDL 电流会越大,这样读到的电流数能侧面表征收集到的光电子量,能够认为是光强的信号强度;

复位擦除:复位操作采用类似 Fowler-Nordheim 隧穿方式,在控制栅极(3)加一个负高压 VGreset,漏极(2)和衬底(1)都同时施加一个正电压脉冲 Vbase,在底层绝缘介质两边电场达到 10MW/cm 时,电子会从电荷存储层隧穿进入沟道或漏区实现复位擦除功能。

4. 根据权利要求3所述的三端复合介质栅光敏探测器,其特征是信号读取过程中测试漏端电流 Id 的实际操作过程中为了更准确读取收集到的光电子数目,采用两次读取方法,具体操作为在无光下编程后读取一次得到电流 I_{d_0} ,曝光编程后读取一次得到读取电流为 I_{d_1} ,两次读取电流做差 $\Delta I_d = I_{d_1} - I_{d_0}$ 最终的信号大小。

5. 根据权利要求3或4所述的三端复合介质栅光敏探测器,其特征是曝光过程中在衬底(1)加一负偏压脉冲 VBp,漏极(2)加一正偏压脉冲 VDp,同时控制栅极(3)要加零偏压或加正向偏压脉冲 VGp,读取过程中在衬底接 VBread,漏极(2)加一正偏压脉冲 VDread,同时控制栅极(3)要加负偏压脉冲 VGread;VBp 取值范围为 -8V~-0.5V,VDp 范围为 0.5V~5V,

VGp 为 0.1V~10V, VBread 取值范围为 -1V~1V, VDread 取值范围为 0.1V~7V, VGread 取值范围为 -10V~0.1V。

三端复合介质栅光敏探测器及其探测方法

技术领域

[0001] 本发明涉及成像探测器件,尤其是关于红外、可见光波段至紫外波段的成像探测器件工作机制,是一种三端复合介质栅光敏探测器及其探测方法

背景技术

[0002] 图像传感器在当今社会应用非常广泛,如移动手机、数码相机、各种摄像机以及国防探测领域,当前发展的主要成像探测器是 CCD 和 CMOS-APS 两种类型,CCD 出现较早,技术相对比较成熟,它的基本结构是一列列 MOS 电容串联,通过电容上面电压脉冲时序控制半导体表面势阱产生和变化,进而实现光生电荷信号的存储和转移读出,CMOS-APS 每个像素采用二极管和多个晶体管组成,通过设置二极管状态,读取曝光前后的变化情况得到光信号。

[0003] CMOS-APS 由于某些优点近年来受到更大的关注,CCD 由于是电容串联,一个电容有问题会影响整行信号的传输,所以对工艺要求极高,成品率和成本不够理想。而 CMOS-APS 它的每个像素都是相互独立的,在整个信号传输过程中不需要串行移动电荷,某一个像素出现问题不影响其他像素性能,所以克服了 CCD 在此方面的缺点,所以对工艺要求也不是那么苛刻。COMS 由于采用单点信号传输,通过简单的 X-Y 寻址技术,允许从整个排列、部分甚至单元来读出数据,从而提高寻址速度,实现更快的信号传输。

[0004] 高分辨的图像传感器成为一个重要的研究方向,目前 CCD 与 CMOS 都有千万级像素的产品,都力图进一步缩小像素尺寸提高分辨率,CCD 因为受到边缘电场等效应使得他像素尺寸的很难在 2 μm 以下进一步缩小。而 CMOS-APS 随着 CMOS 工艺节点的缩小像素尺寸也可以进一步缩小,不过 CMOS-APS 每个像素由多个晶体管与一个感光二极管构成(含放大器与 A/D 转换电路),使得每个像素的感光区域只占据像素本身很小的表面积,灵敏度和分辨率相对较小。另外 CMOS-APS 每个像素包含多个晶体管来完成引址选通等操作,一般的像素单元包含三个晶体管,这决定了他的像素尺寸缩小受到很大的限制。通过更小的工艺节点和电路共享等方法实现像素尺寸的不断缩小,目前已经可以达到单像素尺寸 1.1 μm 。

[0005] 高分辨的成像探测器无论在商业及国防领域都有着重要的应用,业界不断在努力追求更小的像素尺寸,在此方面本发明人已提出一种基于复合介质栅的光敏探测器结构的专利申请,采用与 CMOS 工艺兼容的器件结构,可以有效降低像素面积。但是更简单的探测器结构在像素尺寸的缩小和简化工艺方面仍有余地,并提高分辨率。

发明内容

[0006] 本发明的目的是:提出一种新型光电探测器结构和探测方法,尤其提出一种基于三端复合介质栅结构的探测器和探测方法,可以有效的进一步减小像素尺寸。本发明目的还在于提出一种更简单的探测器结构和工作方式(探测方法),并提高分辨率。

[0007] 本发明的技术方案是:基于三端复合介质栅结构的探测器,其中涉及的三端复合介质栅光敏探测器结构(如图 1)包括:P 型半导体衬底(1)、在所述衬底正上方依次设有

底层绝缘介质 (6), 光电子存储层 (5), 顶层绝缘介质 (4), 控制栅 (3); P 型半导体衬底中靠近叠层介质的任一侧通过离子注入掺杂形成高浓度 N⁺ 型漏极 (2)。所述光电子存储层 (5) 是多晶硅、Si₃N₄ 或其它电子导体或半导体; 控制栅极 (3) 是多晶硅、金属或其他透明导电电极, 控制栅极面或基底层至少有一处为对探测器探测波长透明或半透明的窗口。所述两层绝缘介质 (4)、(6) 能有效隔离电荷存储区, 使电荷限制在存储层 (5) 内实现存储功能, 顶层绝缘介质 (4) 一般为宽带半导体, 以保证电子从衬底穿越势垒而进入存储层后不会进入栅极 (3)。顶层介质的材料可以采用氧化硅 / 氮化硅 / 氧化硅、氧化硅 / 氧化铝 / 氧化硅、氧化硅、氧化铝或其它高介电常数介质材。底层介质材料可以采用氧化硅或其它高介电常数介质;

[0008] 本发明三端复合介质栅光敏探测器的探测方法为: 曝光编程过程: 在衬底 (1) 加一负偏压脉冲 VBp, 漏端 (2) 加一正偏压脉冲 VDp, 同时控制栅 (3) 要加零偏压或加正向偏压脉冲 VGp。衬底表面和漏区会产生耗尽层。光子进入耗尽层激发产生光电子。一部分光电子在栅极 (3) 和漏极 (2) 电场的驱动下向着栅极 (3) 方向加速移动, 当电子能量超过氧化层势垒, 就会越过底层介质 (6) 注入电荷存储层 (5) 实现光电信号收集, 完成曝光编程过程。因为是通过热电子注入, 不需要很高的隧穿电场。电荷存储层 (5) 电荷量的变化导致器件阈值电压发生变化, 这个变化量可以通过读取过程得到, 进而可以知道光电子存储层中光电子数目

[0009] 信号读取过程: 器件读取过程是基于栅压诱导漏端漏电流 (GIDL) 的原理操作, N 型漏端 (2) 的电流强烈依赖与他和电荷存储层 (5) 之间的电场 (指数关系), 因此该电流对电荷存储层中存储的电荷也比较敏感, 通过这个原理可以实现读取操作。具体操作为: 在漏端 (2) 加一正偏压 VDread, 同时控制栅 (3) 要加负偏压 VGread, 衬底 (1) VBread 接地, 测试漏端电流 Id。该电流大小受到光电子存储层 (5) 电势的影响, 电荷存储层存储的电子数越多, GIDL 电流会越大, 这样读到的电流数可以侧面表征收集到的光电子量, 可以认为是光强的信号强度, 实际操作过程中为了更准确读取收集到的光电子数目, 采用两次读取方法, 具体操作为在无光下编程后读取一次得到电流 Id₀, 曝光编程后读取一次得到读取电流为 Id₁, 两次读取电流做差 ($\Delta Id = Id_1 - Id_0$) 最终的信号大小。

[0010] 复位擦除: 复位操作采用类似 Fowler-Nordheim 隧穿方式, 在栅极 (3) 加一个负高压 VGreset, 漏端 (2) 和衬底 (1) 都同时施加一个正电压脉冲 Vbase, 在底层绝缘介质两边电场达到 10MW/cm 时, 电子会从电荷存储层隧穿进入沟道或漏区实现复位擦除功能。

[0011] 曝光过程中在衬底 (1) 加一负偏压脉冲 VBp, 漏端 (2) 加一正偏压脉冲 VDp, 同时控制栅 (3) 要加零偏压或加正向偏压脉冲 VGp。读取过程中在衬底 (1) 接 VBread, 漏端 (2) 加一正偏压脉冲 VDread, 同时控制栅 (3) 要加正向偏压脉冲 VGread;

[0012] VBp 取值范围为 -8V ~ -0.5V, VDp 范围为 0.5V ~ 5V, VGp 为 0.1V ~ 10V, VBread 取值范围为 -1V ~ 1V, VDread 取值范围为 0.1V ~ 7V, VGread 取值范围为 -10V ~ 0.1V。

[0013] 本发明的有益效果是: 三端复合介质栅光敏探测器, 不同于 CCD 和 CMOS-APS, 其采用复合介质栅结构, 与传统的电荷存储层 MOSFET 结构类似, 尤其是采用三端结构操作, 漏极从靠近叠层介质的任一侧引出; 通过一个器件完成整个成像复位读取工作, 相当于 CMOS-APS 采用三个以上晶体管完成的功能, 所以有效减小了像素尺寸缩小的压力, 另外也可以更方便采用 X-Y 交叉引址, 与 CMOS 工艺兼容, 这些都比 CCD 优越。尤其是小像素尺寸:

由于采用一个器件完成一个像素所有的功能,而且采用三端结构,可以空出更多的面积用于缩小尺寸,另外,三端的结构可以很好避免短沟道效应,可以使本发明探测元件随着 CMOS 工艺尺寸不断缩小,这些都可以在很大程度上可以减小像素尺寸。

[0014] 三端复合介质栅光敏探测器探测方法具有如下特点,高动态范围:可以通过调节控制栅的读取电压来调节读取信号大小,扩大器件的动态范围,另外器件支持多次读取,便于操作和数据处理;低压低电流操作:所述曝光条件下光电子收集过程采用热电子注入方式,可以有效降低操作电压,如栅压 V_g 可以用 5V 左右,远远低于隧穿要求的十几伏高压。在曝光编程和读取复位过程中电流较小。

附图说明:

[0015] 图 1 为三端复合介质栅光敏探测器基本结构,

[0016] 图 2 为探测器工作在曝光模式下工作状态,

[0017] 图 3 为探测器曝光过程中衬底到栅极方向的能带图和电子转移过程,

[0018] 图 4a 为探测器工作在读取模式下工作状态,

[0019] 图 4b 为不同阈值电压下读取电流曲线示例,

[0020] 图 5 为探测器工作在复位模式下工作状态。

[0021] 具体实施方法

[0022] 下面将参阅附图说明本发明探测器结构及其具体的探测方法。

[0023] 本发明探测器基本结构采用复合介质栅结构,如图 1 所示本发明探测器基本结构,该结构类似于复合介质栅光敏探测器结构(参考 W02010/094233,介质材料的厚度可以参考),不同的是本发明结构去掉了源极,采用更简单的三端结构,包含 P 型半导体衬底 (1), N 型漏区 (2),在衬底表面正上方从上到下依次为控制栅 (3),顶层介质 (4),电荷存储层 (5),底层介质 (6)。

[0024] 本发明所述探测器曝光编程方式采用热电子注入方式,如图 2 所示曝光编程过程示例,在衬底 (1) 加一负偏压脉冲 V_{Bp} (如 -6V),漏端 (2) 加一正偏压脉冲 V_{Dp} (如 1V),同时控制栅 (3) 要加正向偏压脉冲 V_{Gp} (如 5V)。衬底表面和漏区边缘会产生耗尽层。光子进入耗尽层后如果光子能量 $h\nu > \text{半导体 } E_g \text{ (或 } E_g + \Delta E_c \text{)}$,会激发产生电子空穴对,图 3 说明了光电子产生和运动过程,其中一部分电子在栅极 (3) 和漏极 (2) 电场的驱动下向着栅极方向加速移动 (a 过程),当电子能量超过介质层势垒高度时就会穿过底层介质 (6) 注入电荷存储层 (5) (b 过程);还有一部分光电子在漏区结电场的驱动下向着漏端移动从漏端 (2) 流走。空穴则从衬底 (1) 流走。电荷存储层 5 电荷量的变化导致器件阈值电压的变化,这个变化可以通过读取过程得到,进而可以知道光电子存储层中光电子数目。

[0025] 本发明探测器读取方式采用测量栅极诱导漏端漏电流 (GIDL) 大小来表征光信号大小,图 4 为探测器读取过程示意图,在漏端 (2) 加一正偏压 V_{Dread} (如 3v),同时控制栅 (3) 要加负偏压 V_{Gread} (如 -6v),衬底 (1) 为 V_{bread} 接地,测试漏端 (2) 的电流。N 型漏端电流强烈依赖漏端 (2) 与电荷存储层 (5) 之间的电场(指数关系),其中电流 (GIDL 电流) 电场关系式为

[0026] $I_d = A * E_s * \exp(-B/E_s)$

[0027] 其中 A 和 B 都是常数, E_s 为漏端 (2) 与电荷存储层 (5) 之间的电场,更具体的表达

式为

$$[0028] \quad E_s = \frac{V_d - V_{fg} - 1.12}{3T_{ox}}$$

[0029] 其中 V_d 为漏端 (2) 的电压, V_{fg} 为电荷存储层 (5) 的电压, 因此该电流对电荷存储层 (5) 存储的电荷比较敏感, 电荷存储层 (5) 存储的电子数越多, GIDL 电流会越大, 这样读到的电流大小可以侧面表征收集到的光电子量, 可以认为是光强的信号强度。实际操作过程中为了更准确读取收集到的光电子数目, 采用两次读取方法, 具体操作为在无光下编程后读取一次得到电流 I_{d0} , 曝光编程后读取一次得到读取电流为 I_{d1} , 两次读取电流做差 ($\Delta I_d = I_{d1} - I_{d0}$) 最终的信号大小。图 4b 为探测器在不同的阈值电压下得到的漏端电流 (GIDL 电流) 情况, 漏端读取电压为 V_{Dread} 是 3V, 阈值电压通过不同的曝光时间得到。可见在不同的阈值电压下通过该读取方法可以读取阈值电压的变化量, 进而得到信号大小。

[0030] 探测器的复位操作采用隧穿模式, 图 5 为器件擦除复位示意图, 在栅极 (3) 加一个负高压 V_{Greset} (如 -10V), 漏端 (2) 和衬底 (1) 都同时施加一个正电压脉冲 V_{base} (如 6V), 在底层绝缘介质两边电场达到 $10\text{MW}/\text{cm}$ 时, 电子会从电荷存储层 (5) 通过隧穿穿过底层介质 (6) 进入衬底 (1) 或漏区 (2) 实现复位擦除功能。其中可以通过调节栅极电压和漏端以及衬底电压和时间控制擦除复位过程。

[0031]

模式	栅压 V_g	漏端电压 V_d	衬底电压 V_b
曝光编程	0 ~ 8v	0 ~ 6v	< $V_d - 4v$
读取	-8 ~ -5v	> $V_g + 7v$	0v
复位	-15 ~ -10v	> 0v	= V_d

[0032] 表 1

[0033] 表 1 列出了探测器工作在不同模式下具体操作电压示例范围, 随着器件工艺的调整和不同曝光条件的要求, 具体工作电压条件会稍微变化。

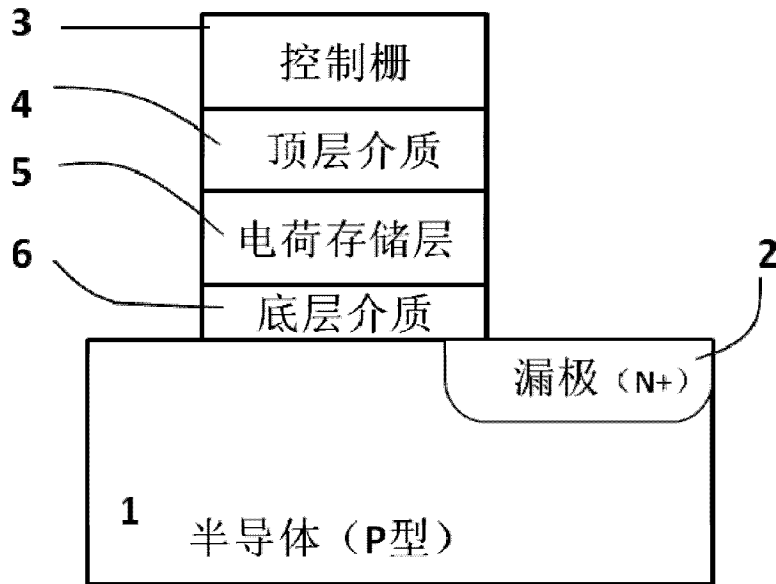


图 1

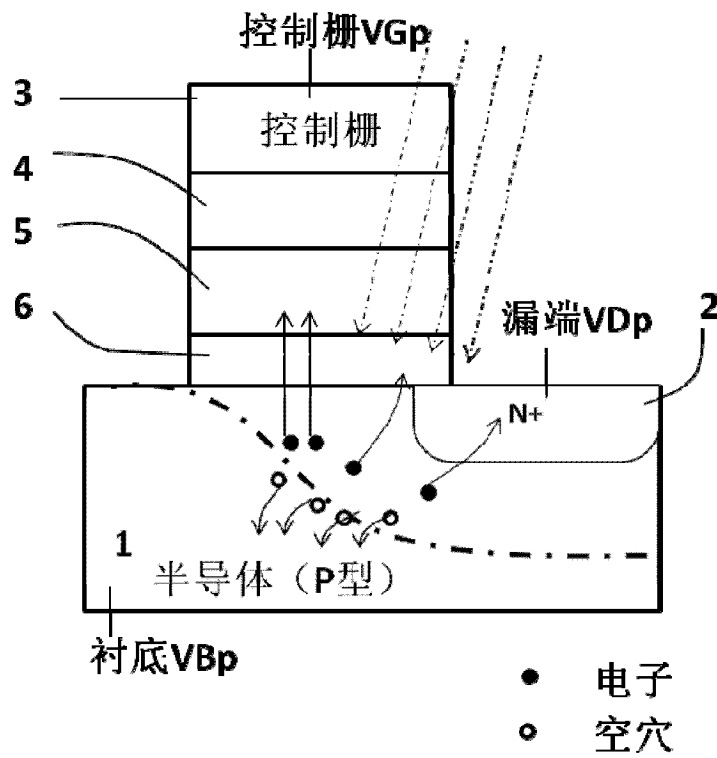


图 2

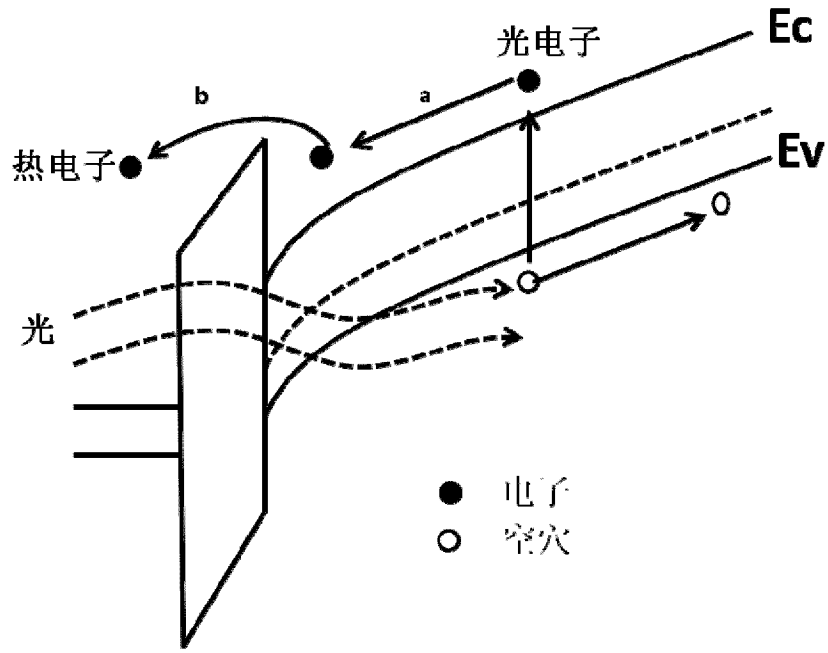


图 3

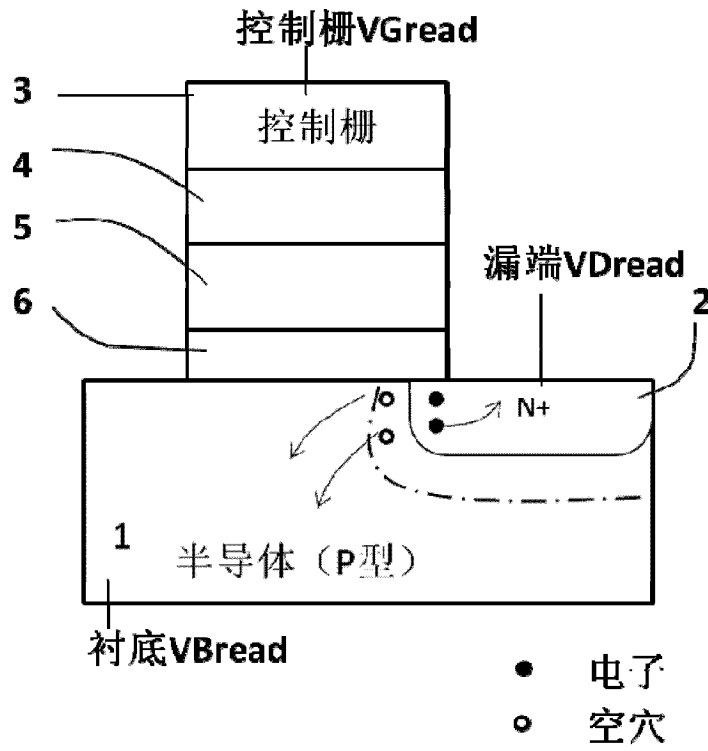


图 4a

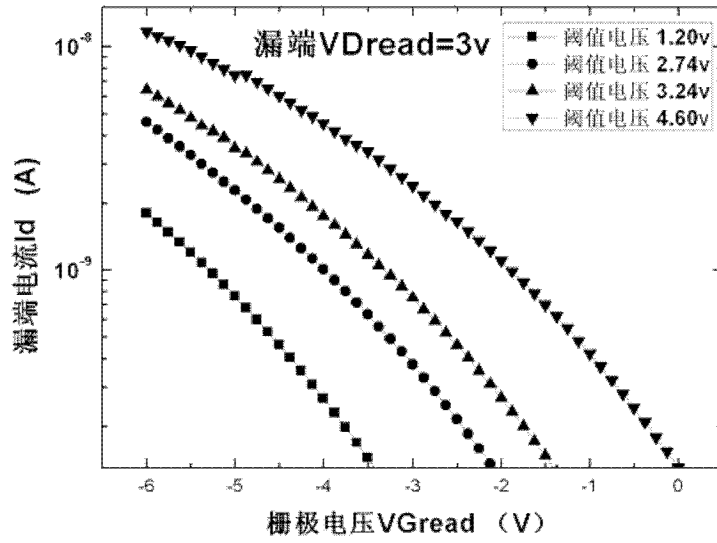


图 4b

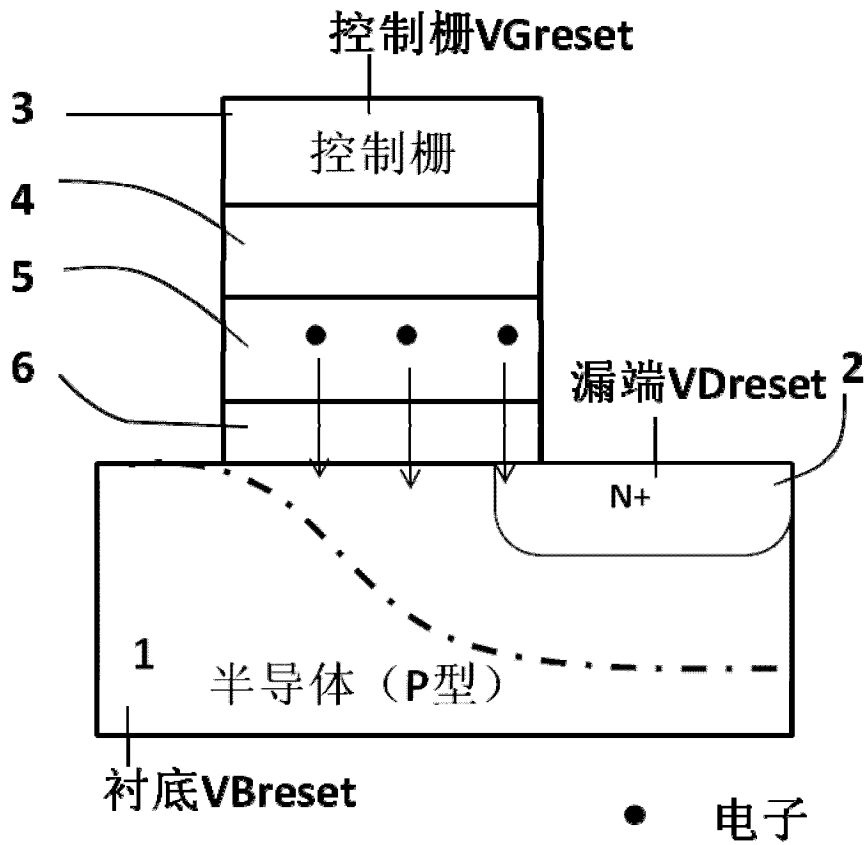


图 5