

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128750
(P2004-128750A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl.⁷
H03F 3/217

F I
H03F 3/217

テーマコード(参考)
5J091
5J500

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願2002-288028 (P2002-288028)
(22) 出願日 平成14年9月30日(2002.9.30)

(71) 出願人 000004075
ヤマハ株式会社
静岡県浜松市中沢町10番1号
(74) 代理人 100064908
弁理士 志賀 正武
(74) 代理人 100089037
弁理士 渡邊 隆
(72) 発明者 前島 利夫
静岡県浜松市中沢町10番1号 ヤマハ株式会社内

Fターム(参考) 5J091 AA02 AA41 CA87 CA92 FA20
HA10 HA17 HA25 HA29 HA33
KA00 KA01 KA04 KA17 KA31
KA42 KA53 KA62 MA11 SA05
TA01 TA06 UW01

最終頁に続く

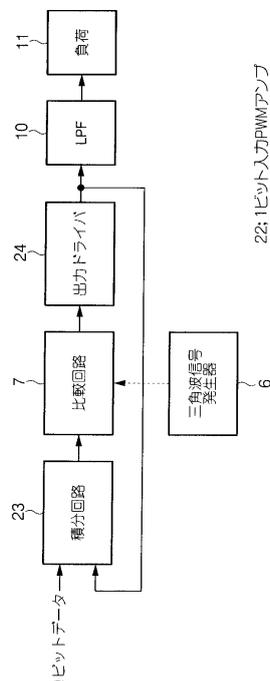
(54) 【発明の名称】 PWM増幅器

(57) 【要約】

【課題】簡易な回路構成で低価格のPWM増幅器を提供することを目的とする。

【解決手段】デジタルオーディオデータをPWM信号に変調するPWM変調回路と前記PWM信号を電力増幅するドライブ回路とを備えるPWM増幅器であって、前記PWM変調回路は、1ビットデジタルオーディオデータを直接入力する積分回路と、前記積分回路の出力信号と基準三角波信号とを比較して前記PWM信号を出力する比較回路とを備えることにより、回路を削減して低価格のPWM増幅器を提供する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

デジタルオーディオデータを P W M 信号に変調する P W M 変調回路と前記 P W M 信号を電力増幅するドライブ回路とを備える P W M 増幅器であって、前記 P W M 変調回路は、1ビットデジタルオーディオデータを直接入力する積分回路と、前記積分回路の出力信号と基準三角波信号とを比較して前記 P W M 信号を出力する比較回路とを備える P W M 増幅器。

【請求項 2】

前記ドライブ回路の出力と前記積分回路の入力との間に、帰還回路を有する請求項 1 に記載された P W M 増幅器。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、デジタルオーディオデータを電力増幅する P W M 増幅器に関する。

【0002】

【従来の技術】

従来、マルチビットデータで構成されたデジタルオーディオデータからスピーカを駆動するための P W M 出力を得るためには、図 9 に示すような回路構成をとっていた。すなわち、マルチビットデータであるデジタルオーディオデータは、変調回路 1 において 1 ビットデータに変換される。そして、変換された 1 ビットデータは、1 ビット D / A コンバータ 2 においてデジタル信号からさらにアナログ信号に変換される。変換されたアナログ信号は、アナログ L P F 3 (L P F : L o w P a s s F i l t e r) を通過して、P W M アンプ 4 に入力される。

20

【0003】

P W M アンプ 4 は図 10 に示すように、入力端子 5 と、三角波信号発生器 6 と、コンパレータ 7 と、ドライブアンプ 8 と、パルス増幅器 9 と、L P F 10 とから構成されている。アナログ L P F 3 を通過したアナログ信号は、入力端子 5 から P W M アンプ 4 に入力される。入力されたアナログ信号は、三角波信号発生器 6 から出力される三角波信号とコンパレータ 7 で比較され、その比較結果、すなわち、アナログ信号と、基準三角波信号の差分値が、P W M 信号としてコンパレータ 7 の出力端子に出力される。P W M 信号はドライブアンプ 8 により増幅され、さらにパルス増幅器 9 により電力増幅される。電力増幅された P W M 信号はコイル及びコンデンサよりなるローパスフィルタ (L P F) 10 で不必要な成分が除去され、負荷 11 であるスピーカを駆動する (特許文献 1 ~ 3 参照) 。

30

【0004】

【特許文献 1】

特開平 6 - 2 1 7 3 1 号公報

【特許文献 2】

特開平 7 - 1 5 2 4 8 号公報

【特許文献 3】

特開平 7 - 2 2 8 6 1 号公報

【0005】

40

【発明が解決しようとする課題】

しかし、従来の P W M 増幅器では、デジタルオーディオデータの入力から負荷を駆動する出力までの回路が多いため、回路の占める面積も多く、価格的にも不利であった。そこで、本発明は、上述した問題点を鑑みてなされたものであって、簡易な回路構成で低価格の P W M 増幅器を提供することを目的とする。

【0006】

【課題を解決するための手段】

前記課題を解決するため、本発明は、以下の手段を提案している。

請求項 1 に係る発明は、デジタルオーディオデータを P W M 信号に変調する P W M 変調回路と前記 P W M 信号を電力増幅するドライブ回路とを備える P W M 増幅器であって、前記

50

P W M 変調回路は、1ビットデジタルオーディオデータを直接入力する積分回路と、前記積分回路の出力信号と基準三角波信号とを比較して前記P W M信号を出力する比較回路とを備えるP W M増幅器を提案している。

【0007】

この発明によれば、P W M増幅器を構成する積分回路に1ビットデジタルデータを直接入力することから、従来用いられていた1ビットデジタルデータ用D/AコンバータやアナログLPF回路を削除でき、回路構成を簡易化して低価格のP W M増幅器を構成することができる。また、積分回路に入力された1ビットデジタルデータが略三角波状に変換され、比較回路により基準の三角波信号と積分回路の出力が比較されることによりP W M出力を得ることができる。

10

【0008】

請求項2に係る発明は、請求項1に係るP W M増幅器について、前記ドライブ回路の出力と前記積分回路の入力との間に、帰還回路を有するP W M増幅器を提案している。

【0009】

この発明によれば、ドライブ回路の出力を積分回路の入力に帰還する帰還回路を備えているため、オーディオ出力の歪率を改善することができる。

【0010】

【発明の実施の形態】

以下、本発明の実施形態に係るP W M増幅器について図1から図8を参照して詳細に説明する。

20

本発明の実施形態に係るP W M増幅器は図1および図2に示すように、変調回路1と、マルチプレクサ21と、1ビット入力P W Mアンプ22とを備えている。

【0011】

変調回路1は、例えば、16ビットで構成されたデジタルオーディオデータ(P C Mオーディオデータ、P C M : P u l s e C o d e M o d u l a t i o n)をパルスの粗密でレベルを表現する1ビットデータストリームに変換する回路である。マルチプレクサ21は、複数の信号のうち、1つだけを選択して出力する機能を有する素子であって、本発明の実施形態においては、後述する外部から直接入力される1ビットデータ、例えば、D S Dデータ(D S D : D i r e c t S t r e a m D i g i t a l)と変調回路1より出力される1ビットデータストリームとを次段の1ビット入力P W Mアンプ22の入力に対して切り換える役割を有する。

30

【0012】

1ビット入力P W Mアンプ22は、1ビットデータを入力してP W M出力を負荷に対して供給する増幅器であって、図2に示すように、積分回路23と、三角波信号発生器6と、比較回路7と、出力ドライバ24と、LPF10と、負荷11とから構成されている。積分回路23は、オペアンプと抵抗およびコンデンサから構成される回路であって、入力された1ビットデータを積分して略三角波状の波形を出力する。また、積分回路23は、抵抗とコンデンサの組み合わせにより、オーディオ帯域外の不要な高周波成分を除去する役割も有する。三角波信号発生器6は、積分回路23から出力される出力波形との比較を行うための基準となる三角波信号を生成するものであり、その構成は図示しない基準信号発生器と変調回路とからなる。

40

【0013】

比較回路7は、積分回路23からの出力と三角波信号発生器6からの三角波信号とを比較し、その結果をパルス幅変調されたP W M信号として出力するものである。出力ドライバ24は、入力されたP W M信号を電力増幅する回路である。LPF10は、オーディオ帯域外の不要な高周波成分を除去する役割を有する。負荷11は、出力ドライバ24の出力により駆動されるスピーカである。

【0014】

次に、具体的な回路(図3)を用いて、本発明の第1の実施形態について説明する。

図3は、いわゆる、他励式のP W M増幅回路を示している。本実施形態にかかるP W M増

50

幅器は、変調回路1とマルチプレクサ21と、DSD用I/F回路25(I/F:Interface)と、抵抗器R1、R2、R3(符号101、102、103)と、コンデンサC1、C2、C3(符号111、112、113)と、インダクタL1(符号131)と、ドライバ141と、CMOSインバータ142と、オペアンプ121と、三角波信号発生器6と、コンパレータ122と、スピーカ11とから構成されている。

【0015】

変調回路1には、入力としてPCMオーディオデータ(LRCK:Lチャンネル、Rチャンネルクロック、BCK:ビットクロック、DATA:マルチビットデータ)が接続され、1ビットデータストリームに変換された出力はマルチプレクサ21の切換端子の一つに接続されている。一方、マルチプレクサ21のもう一方の切換端子には、1ビットデータストリームのフォーマットで構成されたDSDデータがDSD用I/F回路25を介して接続されている。

10

【0016】

マルチプレクサ21の出力端子は、抵抗器R1(符号101)の一端に接続され、抵抗器R1のもう一端は、コンデンサC1(符号111)に接続されている。

コンデンサC1のもう一端は回路の基準電圧に接続されていて、抵抗器R1との組み合わせで、ローパスフィルタを形成している。ここで、基準電圧は、回路に供給される電源電圧の1/2の電圧値である。このローパスフィルタは、マルチプレクサ21の出力、すなわち、1ビットデータに含まれているオーディオ帯域外の高周波ノイズを減衰させる役割を有している。

20

【0017】

コンデンサC1と抵抗器R1には、オペアンプ121の入力抵抗である抵抗器R2(符号102)が接続されており、その一端は、オペアンプ121の反転入力端子に接続されている。また、オペアンプ121の反転入力端子と出力端子との間には、コンデンサC2(符号112)が接続され、オペアンプ121の非反転入力端子は回路の基準電圧に接続されている。これにより、抵抗器R2とコンデンサC2およびオペアンプ121とで積分回路が形成されている。

【0018】

オペアンプ121の出力端子は、コンパレータ122の非反転入力端子に接続されている。また、コンパレータ122の反転入力端子には、三角波信号発生器6が接続されており、比較結果がPWM信号として出力される。出力されたPWM信号は、駆動回路であるドライバ141で増幅される。増幅された信号は、CMOSインバータ142をスイッチング駆動し、CMOSインバータ142の出力はインダクタンスL1(符号131)およびコンデンサC3(符号113)からなるローパスフィルタを介して負荷であるスピーカ11に供給される。

30

【0019】

なお、CMOSインバータ142は、図4に示すように、PMOSトランジスタ152のドレインとNMOSトランジスタ153のドレインとが接続されて出力端子154を構成するとともに、PMOSトランジスタ152のゲートとNMOSトランジスタ153のゲートとが接続されて入力端子151を構成する構造となっており、PMOSトランジスタ152のソースは、電源電圧+Vccの電源に、NMOSトランジスタ153のソースは、GNDにそれぞれ接続されている。

40

【0020】

また、CMOSインバータ142の出力端子154は、抵抗器3(符号103)を介して、オペアンプ121の反転入力端子に接続されている。これにより、CMOSインバータ142の出力がフィードバックされることによって、オーディオ出力の歪率が改善される。なお、上記の回路は、オーディオの1チャンネル分に相当するPWM増幅器であるため、オーディオチャンネルが多チャンネルである場合には、同様の回路がチャンネル数分必要となる。

【0021】

50

次に、図6の回路各部の波形図を用いて、本発明の実施形態にかかるPWM増幅器の動作について説明する。

図6(a)は、PWM増幅器に入力される1ビットデータストリームを示している(図3中のIN信号)。本実施形態においては、サンプリング周波数44.1kHz、16ビットのPCMオーディオデータが1ビットデータストリームに変調されており、この1ビットデータストリームは、Hiレベルが「1」に、Lowレベルが「0」に相当する。

【0022】

入力されたIN信号は、抵抗器R1とコンデンサC1とで構成される一次のローパスフィルタを通り帯域制限を受けた後、抵抗器R2を介して、オペアンプ121の反転入力端子に入力される。一方、CMOSインバータ142の出力電圧も抵抗R3を介してオペアンプ121の反転入力端子に入力される。これによって、IN信号とCMOSインバータ142の出力電圧は抵抗器によって加算されて積分回路に入力されることになる。

10

【0023】

オペアンプ121の反転入力端子に入力されたこれらの信号は、抵抗器2とコンデンサC2およびオペアンプ121で構成される積分回路で積分されて、図6(b)のような波形に変換される(図中のINT信号)。積分回路から出力されたINT信号はコンパレータ122の非反転入力端子に入力され、三角波信号発生器6からコンパレータ122の反転端子に入力されている図6(c)に示すような基準三角波信号(図中のTRI信号)と比較される。

【0024】

コンパレータ122では、基準三角波信号(TRI信号)に対して積分回路から出力されたINT信号の電圧値が大きい部分は、Hiレベルの信号が出力され、逆に基準三角波信号(TRI信号)に対して積分回路から出力されたINT信号の電圧値が小さい部分は、Lowレベルの信号が出力されて、積分回路から出力されたINT信号が、パルス幅変調されたPWM信号に変換される(図6(d)参照)。

20

【0025】

積分回路であるオペアンプ121に入力信号がない場合、CMOSインバータ142の出力電圧は、HiレベルとLowレベルとがデューティ50%で出力される。一方、積分回路であるオペアンプ121にHiレベルの入力信号がある場合、入力信号はオペアンプ121の反転入力端子に接続されているため、オペアンプ121の出力は反転して負の方向

30

【0026】

この出力と基準三角波信号(TRI信号)を比較するコンパレータ122の出力は、オペアンプ出力波形と基準三角波信号(TRI信号)とが交わる点を境にLowレベルとなる(もしくは、Hiレベルとなる)。この信号は、ドライバ141で反転されてCMOSインバータ142の入力端子151に供給される。供給された信号はNMOSトランジスタ153をON状態としてLowレベル信号を出力する。

【0027】

出力された信号は、インダクタL1(符号131)とコンデンサC3(符号113)からなるローパスフィルタを通過して不要な高周波成分が除去された後、負荷11であるスピーカに供給される。また、出力された信号は歪率を改善するために、抵抗器R3(符号103)を介してオペアンプ121の反転入力端子に帰還される。

40

【0028】

次に、本発明の第2の実施形態について、図5を用いて説明する。

図5は、いわゆる、自励式のPWM変調回路を示している。本実施形態にかかるPWM増幅器は、変調回路1とマルチプレクサ21と、DSD用I/F回路25(I/F:Interface)と、抵抗器R1、R2、R3、R4、R5(符号101、102、103、104、105)と、コンデンサC1、C2、C3(符号111、112、113)と、インダクタL1(符号131)、オペアンプ121と、コンパレータ122と、ドライバ141、CMOSインバータ142と、スピーカ11とから構成されている。なお

50

、第1の実施形態と同一の符号を付した部分については同一の要素を示すものであるため、詳細な説明は省略する。

【0029】

本発明の第2の実施形態にかかるPWM増幅器は、抵抗器R2およびR3の比であるR3/R2のゲインを有する反転増幅器として動作する。すなわち、入力信号とPWM増幅器の出力信号の差分を積分回路で積分し、これをコンパレータ122で2値のPWM信号に変換して得られる出力信号を積分回路にフィードバックすることにより自励するPWM増幅器である。

【0030】

次に、自励式変調について説明する。積分回路を構成するオペアンプ121に変調回路1からの入力がない場合、CMOSインバータ142は、Hiレベル(+Vcc)とLowレベル(0V)をデューティ50%で出力する。この波形を図8の一点鎖線で示す。

【0031】

このとき、オペアンプ121の出力電圧V1は、非反転入力端子が基準電圧(=Vcc/2)に固定されているため、CMOSインバータ142の出力電圧V3を積分したものとなる。すなわち、出力電圧V3がHiレベルであるときは反転されて時間の経過とともに負の方向に増加し、出力電圧V3がLowレベルに達すると正方向に増加する。この結果、図8の破線で示すような三角波状の電圧波形となる。

【0032】

積分回路の出力電圧V1が負の方向に増加するのに伴い、コンパレータ122の非反転入力端子における入力電圧V2も負の方向に増加する。コンパレータ122の入力電圧V2が基準電圧に達した時点でローレベルに変化したCMOSインバータ142の出力電圧V3が抵抗器R5を介して正帰還されるため、この時点における積分回路の出力電圧V1と、CMOSインバータ142の出力電圧V3と、抵抗器4および抵抗器5の比で決まる電圧レベルまで、コンパレータ122の入力電圧V2は負方向に急激に引き込まれる。

【0033】

一方、コンパレータ122の入力電圧V2は、積分回路の出力電圧V1が正方向に増加するにつれて増加し、入力電圧V2が基準電圧に達した時点でHiレベルに変化したCMOSインバータ142の出力電圧V3が抵抗器R5を介して正帰還されるため、この時点における積分回路の出力電圧V1と、CMOSインバータ142の出力電圧V3と、抵抗器4および抵抗器5の比で決まる電圧レベルまで、コンパレータ122の入力電圧V2は正方向に急激に上昇する。このようにして、コンパレータ122の入力電圧V2は、図8において実線で示すように変化する。

【0034】

次に、積分回路に変調回路1から信号が入力された場合の各部の様子について説明する。積分回路に変調回路1から図7(a)に示すような信号(IN信号)が入力された場合には、入力されたIN信号と、CMOSインバータ142の出力電圧とが、抵抗器R2、R3によって加算されて積分される。このときの波形を図7(b)に示す(INT2信号)。

【0035】

INT2信号は、抵抗器R5により正帰還されたCMOSインバータ142の出力電圧と結合され、図7(c)のような電圧波形となる(HIS信号)。HIS信号は、コンパレータ123において基準電圧(本実施形態においては、1.5V)と比較され、2値のPWM信号に変換される。出力されたPWM信号は、ドライバ141およびCMOSインバータ142の出力電圧を介して電力増幅された後、ローパスフィルタ10を通り、負荷であるスピーカ11に供給されて、スピーカを駆動する。

【0036】

したがって、本実施形態によれば、データフォーマットが1ビットデータであるものに関して、従来、用いられていた1ビットD/Aコンバータやアナログローパスフィルタを削除した構成で、電力消費効率に優れたPWM増幅器を安価に構成できる。

10

20

30

40

50

【0037】

以上、図面を参照して本発明の実施の形態について詳述してきたが、具体的な構成はこれらの実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。例えば、本発明の実施形態においては、1ビットデジタルデータを積分回路に供給する前に、オーディオ帯域外のノイズを除去するために一次のローパスフィルタを設けたが、これに限らず、高次のローパスフィルタを設けてもよい。

【0038】

また、本発明の実施形態においては、直接入力可能な1ビットデータとしてDSDを例示したが、これに限らず、1ビット形式のデータフォーマットを有するデータであればよい。また、本発明の実施形態においては、回路の電源を片電源(VCC-GND)として説明したが、回路の電源が両電源(±VCC-GND)であっても適用できることは言うまでもない。

10

【0039】

【発明の効果】

以上のように、この発明によれば、1ビットデータをそのまま入力してPWM出力を得ることができる形式としたことから、簡易な回路構成で低価格のデジタルオーディオ用PWM増幅器を提供することができるという効果がある。また、ドライブ回路の出力と積分回路の入力との間に、帰還回路を設けたことから、オーディオ出力の歪率を改善することができるという効果がある。

20

【図面の簡単な説明】

【図1】本発明の概略を示す概念図である。

【図2】本発明に係るPWM増幅器の構成を示す図である。

【図3】他励式PWM変調回路を用いた本発明に係るPWM増幅器の回路構成図である。

【図4】CMOSインバータの回路構成を示す図である。

【図5】自励式PWM変調回路を用いた本発明に係るPWM増幅器の回路構成図である。

【図6】他励式PWM変調回路を用いた本発明に係るPWM増幅器における回路各部の電圧波形を示す図である。

【図7】自励式PWM変調回路を用いた本発明に係るPWM増幅器における回路各部の電圧波形を示す図である。

【図8】自励式PWM変調回路を用いた本発明に係るPWM増幅器において積分回路に入力がない場合の回路各部の電圧波形を示す図である。

30

【図9】従来例に関する構成図である。

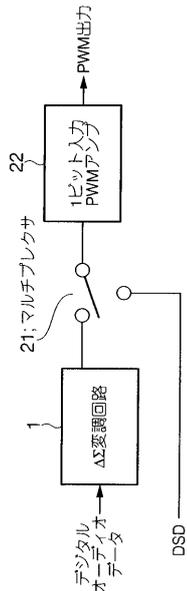
【図10】従来例に関するPWMアンプの構成図である。

【符号の説明】

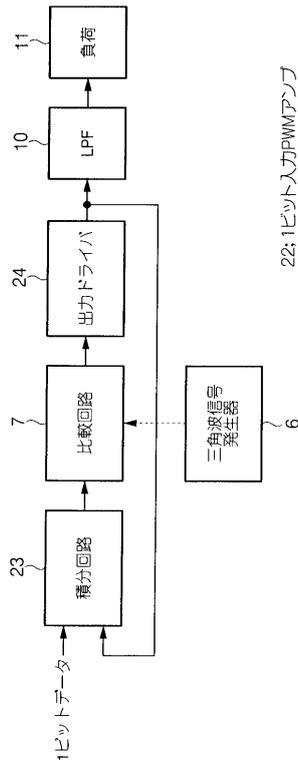
1・・・変調回路、2・・・1ビットD/A、3・・・アナログLPF、4・・・PWMアンプ、5・・・入力端子、6・・・三角波信号発生器、7・・・コンパレータ、8・・・ドライブアンプ、9・・・パルス増幅器、10・・・LPF、11・・・負荷、21・・・マルチプレクサ、22・・・1ビット入力PWMアンプ、23・・・積分回路、24・・・出力ドライバ、25・・・DSD用I/F回路、101、102、103、104、105・・・抵抗器、111、112、113・・・コンデンサ、121・・・オペアンプ、122・・・コンパレータ、131・・・インダクタ、141・・・ドライバ、142・・・CMOSインバータ、151・・・入力端子、152・・・PMOSトランジスタ、153・・・NMOSトランジスタ、154・・・出力端子、

40

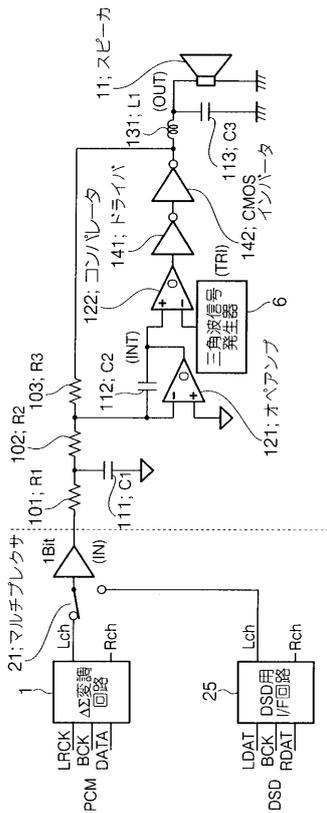
【 図 1 】



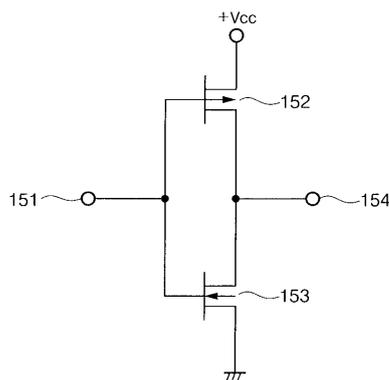
【 図 2 】



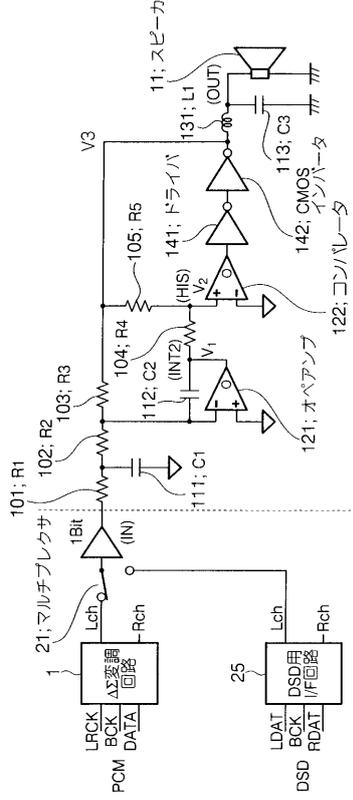
【 図 3 】



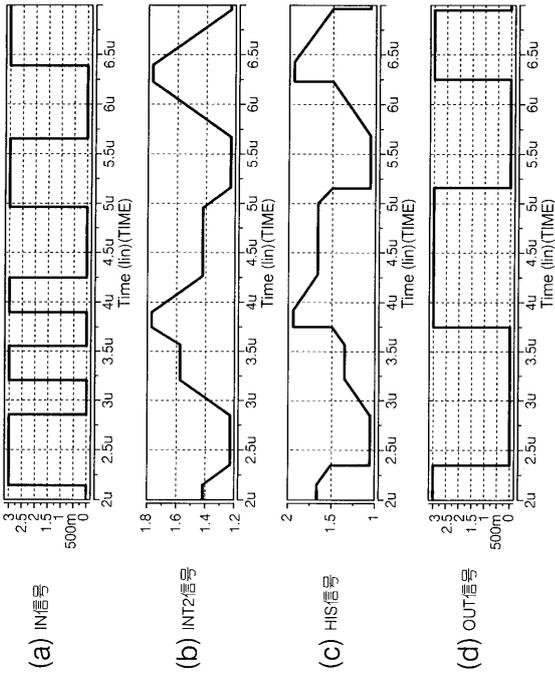
【 図 4 】



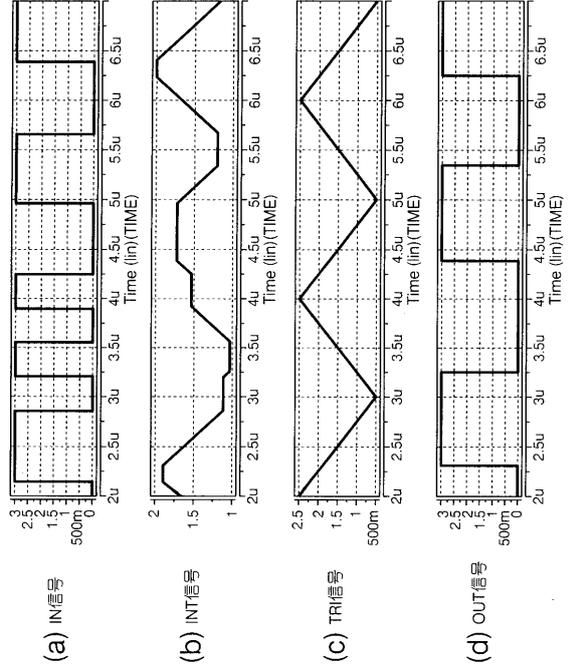
【図 5】



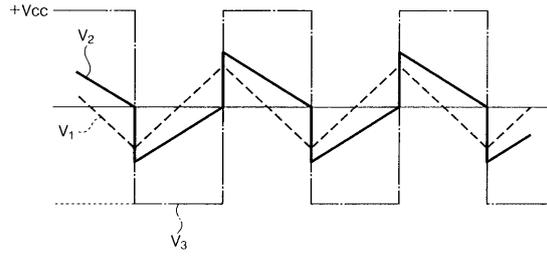
【図 7】



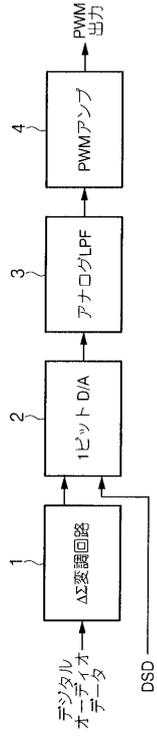
【図 6】



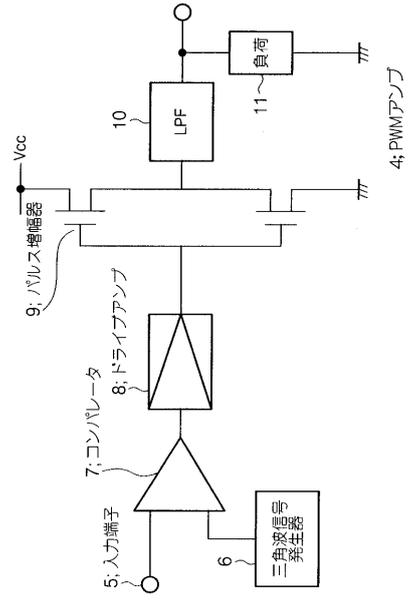
【図 8】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 5J500 AA02 AA41 AC87 AC92 AF20 AH10 AH17 AH25 AH29 AH33
AK00 AK01 AK04 AK17 AK31 AK42 AK53 AK62 AM11 AS05
AT01 AT06 WU01