



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월10일
 (11) 등록번호 10-1000276
 (24) 등록일자 2010년12월06일

(51) Int. Cl.
H01L 33/36 (2010.01) *H01L 33/38* (2010.01)
 (21) 출원번호 10-2008-0122470
 (22) 출원일자 2008년12월04일
 심사청구일자 2008년12월04일
 (65) 공개번호 10-2010-0064052
 (43) 공개일자 2010년06월14일
 (56) 선행기술조사문헌
 KR100225612 B1*
 KR1020070041847 A*
 KR1020080087251 A
 JP2004274042 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 에피밸리
 경북 구미시 공단2동 321
 (72) 발명자
 김창태
 경기도 성남시 분당구 수내동 양지마을금호1단지
 아파트 114동 1501호
 남기연
 경상북도 구미시 옥계동 부영아파트 204동-1010호
 (74) 대리인
 안상정

전체 청구항 수 : 총 3 항

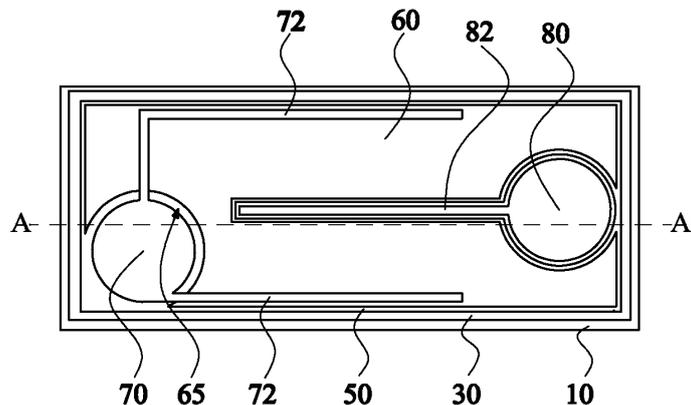
심사관 : 진수영

(54) 반도체 발광소자

(57) 요약

본 개시는 반도체 발광소자에 관한 것으로, 보다 상세하게는 제1 전도성을 지니는 제1 반도체층, 제1 전도성과 다른 제2 전도성을 지니는 제2 반도체층, 그리고 제1 반도체층과 제2 반도체층 사이에 위치하며, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 구비하는 복수개의 반도체층; 복수개의 반도체층과 전기적으로 연결되는 본딩 패드; 복수개의 반도체층에 펼쳐지는 제1 전극; 그리고, 본딩 패드로부터 제1 전극으로 연장되며, 본딩 패드와 제1 전극을 전기적으로 접속시키는 제2 전극;을 포함하는 것을 특징으로 하는 반도체 발광소자에 관한 것이다.

대표도 - 도3



특허청구의 범위

청구항 1

제1 전도성을 지니는 제1 반도체층, 제1 전도성과 다른 제2 전도성을 지니는 제2 반도체층, 그리고 제1 반도체층과 제2 반도체층 사이에 위치하며, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 구비하는 복수개의 반도체층;

복수개의 반도체층과 전기적으로 연결되는 본딩 패드;

복수개의 반도체층에 펼쳐지는 제1 전극; 그리고,

본딩 패드로부터 제1 전극으로 연장되며, 본딩 패드와 제1 전극을 전기적으로 접속시키는 제2 전극;을 포함하며,

제1 전극은 본딩 패드와 이격되는 것을 특징으로 하는 반도체 발광소자.

청구항 2

삭제

청구항 3

삭제

청구항 4

청구항 1에서,

본딩 패드는 제2 반도체층 위에 형성되고,

제1 전극은 본딩 패드와 이격되어 제2 반도체층 위에 형성되는 것을 특징으로 하는 반도체 발광소자.

청구항 5

청구항 1에서,

발광소자는 3족 질화물 반도체 발광소자인 것을 특징으로 하는 반도체 발광소자.

명세서

발명의 상세한 설명

기술분야

[0001] 본 개시(Disclosure)는 전체적으로 반도체 발광소자에 관한 것으로, 특히 와이어 본딩이 되는 패드가 떨어져 나가는 것을 개선하기 위한 반도체 발광소자에 관한 것이다.

[0002] 여기서, 반도체 발광소자는 전자와 정공의 재결합을 통해 빛을 생성하는 반도체 발광소자를 의미하며, 3족 질화물 반도체 발광소자를 예로 들 수 있다. 3족 질화물 반도체는 $Al(x)Ga(y)In(1-x-y)N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)로 된 화합물로 이루어진다. 이외에도 적색 발광에 사용되는 GaAs계 반도체 발광소자 등을 예로 들 수 있다.

배경기술

[0003] 여기서는, 본 개시에 관한 배경기술이 제공되며, 이들이 반드시 공지기술을 의미하는 것은 아니다(This section provides background information related to the present disclosure which is not necessarily prior art).

[0004] 도 1은 종래의 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면으로서, 3족 질화물 반도체 발광소자는 기판(100), 기판(100) 위에 성장되는 버퍼층(200), 버퍼층(200) 위에 성장되는 n형 3족 질화물 반도체층(300), n형 3족 질화물 반도체층(300) 위에 성장되는 활성층(400), 활성층(400) 위에 성장되는 p형 3족 질화물 반도체층(500), p형 3족 질화물 반도체층(500) 위에 형성되는 p측 전극(600), p측 전극(600) 위에 형성되는 p측 본딩 패드(700), p형 3족 질화물 반도체층(500)과 활성층(400)이 메사 식각되어 노출된 n형 3족 질화물 반도체층(300)

위에 형성되는 n층 전극(800), 그리고 보호막(900)을 포함한다.

- [0005] 기판(100)은 동종기판으로 GaN계 기판이 이용되며, 이종기판으로 사파이어 기판, SiC 기판 또는 Si 기판 등이 이용되지만, 3족 질화물 반도체층이 성장될 수 있는 기판이라면 어떠한 형태이어도 좋다. SiC 기판이 사용될 경우에 n층 전극(800)은 SiC 기판 측에 형성될 수 있다.
- [0006] 기판(100) 위에 성장되는 3족 질화물 반도체층들은 주로 MOCVD(유기금속기상성장법)에 의해 성장된다.
- [0007] 버퍼층(200)은 이종기판(100)과 3족 질화물 반도체 사이의 격자상수 및 열팽창계수의 차이를 극복하기 위한 것이며, 미국특허 제5,122,845호에는 사파이어 기판 위에 380℃에서 800℃의 온도에서 100Å에서 500Å의 두께를 가지는 AlN 버퍼층을 성장시키는 기술이 기재되어 있으며, 미국특허 제5,290,393호에는 사파이어 기판 위에 200℃에서 900℃의 온도에서 10Å에서 5000Å의 두께를 가지는 Al(x)Ga(1-x)N (0≤x<1) 버퍼층을 성장시키는 기술이 기재되어 있고, 미국공개특허공보 제2006/154454호에는 600℃에서 990℃의 온도에서 SiC 버퍼층(싸앗층)을 성장시킨 다음 그 위에 In(x)Ga(1-x)N (0<x≤1) 층을 성장시키는 기술이 기재되어 있다. 바람직하게는 n형 3족 질화물 반도체층(300)의 성장에 앞서 도핑되지 않는 GaN층이 성장되며, 이는 버퍼층(200)의 일부로 보아도 좋고, n형 3족 질화물 반도체층(300)의 일부로 보아도 좋다.
- [0008] n형 3족 질화물 반도체층(300)은 적어도 n층 전극(800)이 형성된 영역(n형 컨택층)이 불순물로 도핑되며, n형 컨택층은 바람직하게는 GaN로 이루어지고, Si으로 도핑된다. 미국특허 제5,733,796호에는 Si과 다른 소스 물질의 혼합비를 조절함으로써 원하는 도핑농도로 n형 컨택층을 도핑하는 기술이 기재되어 있다.
- [0009] 활성층(400)은 전자와 정공의 재결합을 통해 광자(빛)를 생성하는 층으로서, 주로 In(x)Ga(1-x)N (0<x≤1)로 이루어지고, 하나의 양자우물층(single quantum well)이나 복수개의 양자우물층들(multi quantum wells)로 구성된다.
- [0010] p형 3족 질화물 반도체층(500)은 Mg과 같은 적절한 불순물을 이용해 도핑되며, 활성화(activation) 공정을 거쳐 p형 전도성을 가진다. 미국특허 제5,247,533호에는 전자빔 조사에 의해 p형 3족 질화물 반도체층을 활성화시키는 기술이 기재되어 있으며, 미국특허 제5,306,662호에는 400℃ 이상의 온도에서 열처리(annealing)함으로써 p형 3족 질화물 반도체층을 활성화시키는 기술이 기재되어 있고, 미국공개특허공보 제2006/157714호에는 p형 3족 질화물 반도체층 성장의 질소전구체로서 암모니아와 하이드라진계 소스 물질을 함께 사용함으로써 활성화 공정 없이 p형 3족 질화물 반도체층이 p형 전도성을 가지게 하는 기술이 기재되어 있다.
- [0011] p층 전극(600)은 p형 3족 질화물 반도체층(500) 전체로 전류가 잘 공급되도록 하기 위해 구비되는 것이며, 미국특허 제5,563,422호에는 p형 3족 질화물 반도체층의 거의 전면에 걸쳐서 형성되며 p형 3족 질화물 반도체층(500)과 오믹접촉하고 Ni과 Au로 이루어진 투광성 전극(light-transmitting electrode)에 관한 기술이 기재되어 있으며, 미국특허 제6,515,306호에는 p형 3족 질화물 반도체층 위에 n형 초격자층을 형성한 다음 그 위에 ITO(Indium Tin Oxide)로 이루어진 투광성 전극을 형성한 기술이 기재되어 있다.
- [0012] 한편, p층 전극(600)이 빛을 투과시키지 못하도록, 즉 빛을 기판 측으로 반사하도록 두꺼운 두께를 가지게 형성할 수 있는데, 이러한 기술을 플립칩(flip chip) 기술이라 한다. 미국특허 제6,194,743호에는 20nm 이상의 두께를 가지는 Ag 층, Ag 층을 덮는 확산 방지층, 그리고 확산 방지층을 덮는 Au와 Al으로 이루어진 본딩 층을 포함하는 전극 구조에 관한 기술이 기재되어 있다.
- [0013] p층 본딩 패드(700)와 n층 전극(800)은 전류의 공급과 외부로의 와이어 본딩을 위한 것이며, 미국특허 제5,563,422호에는 n층 전극을 Ti과 Al으로 구성한 기술이 기재되어 있다.
- [0014] 보호막(900)은 이산화규소와 같은 물질로 형성되며, 생략될 수도 있다.
- [0015] 한편, n형 3족 질화물 반도체층(300)이나 p형 3족 질화물 반도체층(500)은 단일의 층이나 복수개의 층으로 구성될 수 있으며, 최근에는 레이저 또는 습식 식각을 통해 기판(100)을 3족 질화물 반도체층들로부터 분리하여 수직형 발광소자를 제조하는 기술이 도입되고 있다.
- [0016] 그러나, 이러한 발광소자는 p층 본딩 패드(700)에 와이어 본딩을 할 때, p층 본딩 패드(700)가 발광소자로부터 떨어져 나가는(peeling off) 문제가 발생할 수 있다.
- [0017] 도 2는 미국특허 5,563,422호에 기재된 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면으로서, 발광소자는 기판(110), 기판(110) 위에 형성되는 n형 3족 질화물 반도체층(210), n형 3족 질화물 반도체층(210) 위에 형성되는 p형 3족 질화물 반도체층(310), p형 3족 질화물 반도체층(310) 위에 형성되며, 절결부(412; cut-out

portion)를 구비하는 p층 전극(410), 식각되어 노출된 n형 3족 질화물 반도체층(210) 위에 형성되는 n층 전극(610) 그리고 p층 전극(410) 위에 형성되며, 절결부(412)를 통해 p형 3족 질화물 반도체층(310)과 접촉하는 p층 본딩 패드(510)를 구비하여, p층 본딩 패드(510)가 p형 3족 질화물 반도체층(310)에 직접 접촉되어 p층 본딩 패드(510)에 와이어 본딩을 할 때, p층 본딩 패드(510)가 발광소자로부터 떨어져 나가는 문제를 개선하고자 하는 발광소자에 관한 기술이 기재되어 있다.

[0018] 그러나, 이러한 발광소자 또한 p층 본딩 패드(510; 예를 들어, Cr, Au 등의 금속)와 p층 전극(410; 예를 들어, ITO 등의 전도성 산화막) 간의 접착력이 좋지 않아, p층 본딩 패드(510)에 와이어 본딩을 할 때, p층 본딩 패드(510)가 발광소자로부터 떨어져 나가는 문제가 발생할 수 있다.

[0019] 또한, p층 본딩 패드(510)와 p층 전극(410)의 전기적 접촉을 확실하게 하기 위해, p층 본딩 패드(510)와 p층 전극(410)이 겹치는 부분이 일정 이상 존재해야 하며, 이는 발광소자의 발광효율 손실로 이어진다.

발명의 내용

해결 하고자하는 과제

[0020] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

과제 해결수단

[0021] 여기서는, 본 개시의 전체적인 요약(Summary)이 제공되며, 이것이 본 개시의 외연을 제한하는 것으로 이해되어서는 아니된다(This section provides a general summary of the disclosure and is not a comprehensive disclosure of its full scope or all of its features).

[0022] 본 개시에 따른 일 태양에 의하면(According to one aspect of the present disclosure), 제1 전도성을 지니는 제1 반도체층, 제1 전도성과 다른 제2 전도성을 지니는 제2 반도체층, 그리고 제1 반도체층과 제2 반도체층 사이에 위치하며, 전자와 정공의 재결합을 통해 빛을 생성하는 활성층을 구비하는 복수개의 반도체층; 복수개의 반도체층과 전기적으로 연결되는 본딩 패드; 복수개의 반도체층에 펼쳐지는 제1 전극; 그리고, 본딩 패드로부터 제1 전극으로 연장되며, 본딩 패드와 제1 전극을 전기적으로 접속시키는 제2 전극;을 포함하는 것을 특징으로 하는 반도체 발광소자가 제공된다.

효과

[0023] 이에 대하여 '발명의 실시를 위한 구체적인 내용'의 후단에 기술한다.

발명의 실시를 위한 구체적인 내용

[0024] 이하, 본 개시를 첨부된 도면을 참고로 하여 자세하게 설명한다(The present disclosure will now be described in detail with reference to the accompanying drawing(s)).

[0025] 도 3 및 4는 본 개시에 따른 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면으로서, 도 4는 도 3의 A-A' 라인을 따른 단면도이다. 발광소자는 기판(10), 기판(10) 위에 성장되는 버퍼층(20), 버퍼층(20) 위에 성장되는 n형 3족 질화물 반도체층(30), n형 3족 질화물 반도체층(30) 위에 성장되는 활성층(40), 활성층(40) 위에 성장되는 p형 3족 질화물 반도체층(50), 적어도 p형 3족 질화물 반도체층(50) 및 활성층(40)이 식각되어 노출되는 n형 3족 질화물 반도체층(30) 위에 형성되는 n층 전극(80), p층 본딩 패드(70), p층 전극(60), 그리고 가지전극들(72,82)을 포함한다.

[0026] p층 본딩 패드(70)는 p형 3족 질화물 반도체층(50) 위에 형성되고, 발광소자에 전기를 공급하기 위한 와이어가 본딩 된다. p층 본딩 패드(70)는 와이어 본딩을 할 때, 또는 와이어 본딩이 이루어진 후, 와이어에 의해 당겨지더라도 p형 3족 질화물 반도체층(50)과 접촉을 유지하기 위해서 p형 3족 질화물 반도체층(50)과 접착력이 높은 재질로 이루어지는데, 예를 들어 1.5 μ m 정도의 두께로 Cr/Ni/Au 이 적층되어 형성될 수 있다.

[0027] p층 전극(60)은 p형 3족 질화물 반도체층(50) 전체로 전류의 원활한 공급을 위한 것으로, p형 3족 질화물 반도체층(50) 위에 형성된다. p층 전극(60)은 전도성 산화막으로 이루어질 수 있다. 이때, p층 전극(60)은, p층 본딩 패드(70)와 낮은 접착력으로 인하여, 외력에 의해 p층 본딩 패드(70)가 p형 3족 질화물 반도체층(50)으로부터 떨어져 나가는 것을 방지하기 위한 절결부(65)가 형성되어 p층 전극(60)과 이격된다. 예를 들어, p층 전극

(60)은 ITO(Indium Tin Oxide)로 이루어질 수 있으며, 1750Å 정도의 두께로 형성될 수 있다.

- [0028] 가지 전극(72)은 p층 본딩 패드(70)와 접촉하며, p층 전극(60)과 접촉한다. 이는, p층 본딩 패드(70)로 공급되는 전류가 p층 전극(60)으로 가지 전극(72)을 통하여 공급됨으로써, p층 본딩 패드(70)와 p형 3족 질화물 반도체층(50)간에 강한 접착을 유지하면서, p형 3족 질화물 반도체층(50) 전체에 걸쳐 원활한 전류를 공급하기 위함이다. 이를 위해, 가지 전극(72)은 p층 본딩 패드(70)로부터 연장되어 p층 전극(60) 위를 뚫어나가며 형성되어 있다. 예를 들어, 가지 전극(72)은 1.5 μ m 정도의 두께로 Cr/Ni/Au 이 적층되어 형성될 수 있다.
- [0029] 이하에서, 본 개시에 따른 3족 질화물 반도체 발광소자의 제조방법의 일 예를 설명한다.
- [0030] 도 5는 본 개시에 따른 3족 질화물 반도체 발광소자의 제조방법의 일 예를 나타내는 도면이다.
- [0031] 먼저, 기판(10) 위에 버퍼층(20), n형 3족 질화물 반도체층(30), 활성층(40), 그리고 p형 3족 질화물 반도체층(50)을 성장시킨다(도 5의 (a)참조).
- [0032] 다음으로, n층 전극(80) 형성을 위한 n형 3족 질화물 반도체층(30)을 노출시키기 위해서 p형 3족 질화물 반도체층(50) 및 활성층(40)을 식각한다(도 5의 (b)참조).
- [0033] 다음으로, 절결부(65)를 구비하는 p층 전극(60)의 형성은 포토리소그래피에 의해 이루어질 수 있는데, p층 전극(60)이 형성될 부분을 제외한 p형 3족 질화물 반도체층(50) 위에 포토 레지스트(90)를 형성하고(도 5의 (b)참조), p층 전극(60)을 p형 3족 질화물 반도체층(50) 위에 증착시킨후(도 5의 (c)참조), 포토 레지스트(90)를 제거함으로써 이루어질 수 있다(도 5의 (d)참조). p층 전극(60)은 n형 3족 질화물 반도체층(30)을 노출시키기 위한 식각 전에 형성될 수도 있다.
- [0034] 한편, 절결부(65)를 구비하는 p층 전극(60)을 형성하기 위해, p층 전극(60)을 p형 3족 질화물 반도체층(50)위에 형성하고, 절결부(65)가 형성되어야 하는 위치가 노출되도록 p층 전극(60) 위에 식각 마스크(미도시)를 형성하고, 습식식각을 통해 식각 마스크(미도시)에 의해 노출되는 p층 전극(60)을 제거하여 절결부(65)를 형성할 수도 있다. 예를 들어 습식식각은, p층 전극(60)이 ITO로 이루어지는 경우, HCl을 포함하는 용액에 45 $^{\circ}$ C 정도에서, 30초 정도 담가둠으로써 이루어질 수 있다.
- [0035] 다음으로, 절결부(65)에 의해 노출된 p형 3족 질화물 반도체층(50) 위에 p층 본딩 패드(70)를 형성한다(도 5의 (e)참조). 이때, 가지 전극(72)도 동시에 형성되는데, 별도의 공정을 통해 형성될 수도 있다. 예를 들어, p층 본딩 패드(70)는 전자빔증착법을 이용하여 Cr, Ni, Au층들이 순차적으로 적층되어 1.5 μ m 정도의 두께로 형성될 수 있다. n층 전극(80) 및 가지 전극(82)도 동일하게 형성될 수 있다.
- [0036] 도 6은 본 개시에 따른 3족 질화물 반도체 발광소자가 전류변화에 따라 빛을 내는 사진으로서, 가지 전극(72; 도 3 참조)이 p층 본딩 패드(70; 도 3 참조) 및 p층 전극(60; 도 3 참조)과 연결되는 구성에서 p층 전극(60; 도 3 참조)으로 전류가 원활하게 확산되어, 발광소자 전체에서 고르게 빛이 나오는 것을 볼 수 있다.
- [0037] 이하 본 개시의 다양한 실시 형태에 대하여 설명한다.
- [0038] (1) p층 본딩 패드와 p층 전극이 이격되도록 p층 전극에 절결부를 구비하는 반도체 발광소자. 이에 의해, p층 본딩 패드가, p층 전극과의 낮은 접착력으로 인해 와이어 본딩시 외력에 의해, 발광소자로부터 떨어져 나가는 것을 개선할 수 있다. 여기서, p층 본딩 패드로부터 가지 전극이 형성되는 부분에서 p층 본딩 패드와 p층 전극이 일부 겹치는 것을 배제하는 것은 아니다.
- [0039] (2) p층 본딩 패드로부터 연장되어, p층 전극에 접촉하는 가지 전극을 구비하는 반도체 발광소자. 이에 의해, p층 본딩 패드에서 p층 전극으로 전류를 공급할 수 있다.
- [0040] 본 개시에 따른 하나의 반도체 발광소자에 의하면, 본딩 패드가 와이어 본딩 시 발광소자로부터 떨어져 나가는 것을 개선할 수 있다.
- [0041] 본 개시에 따른 다른 반도체 발광소자에 의하면, 본딩 패드의 견고한 접착이 가능하며, 발광소자에 전류가 원활하게 공급될 수 있다.

도면의 간단한 설명

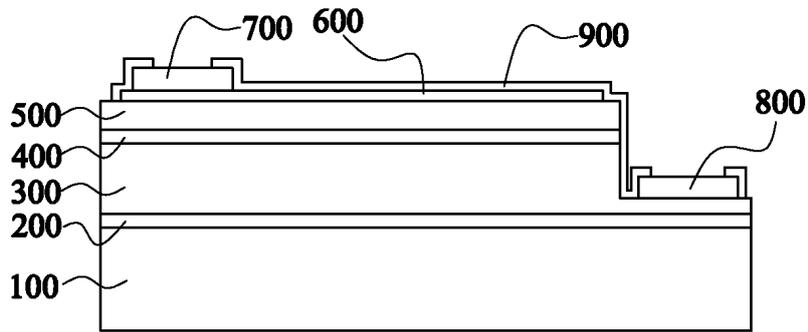
- [0042] 도 1은 종래의 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면,
- [0043] 도 2는 미국특허 5,563,422호에 기재된 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면,

- [0044] 도 3은 본 개시에 따른 3족 질화물 반도체 발광소자의 일 예를 나타내는 도면,
- [0045] 도 4는 본 개시에 따른 3족 질화물 반도체 발광소자 단면의 일 예를 나타내는 도면,
- [0046] 도 5는 본 개시에 따른 3족 질화물 반도체 발광소자의 제조방법의 일 예를 나타내는 도면,
- [0047] 도 6은 본 개시에 따른 3족 질화물 반도체 발광소자가 전류변화에 따라 빛을 내는 사진.

도면

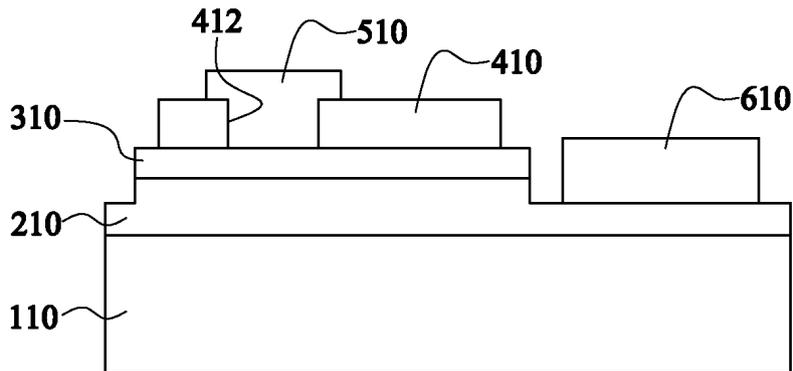
도면1

Prior Art

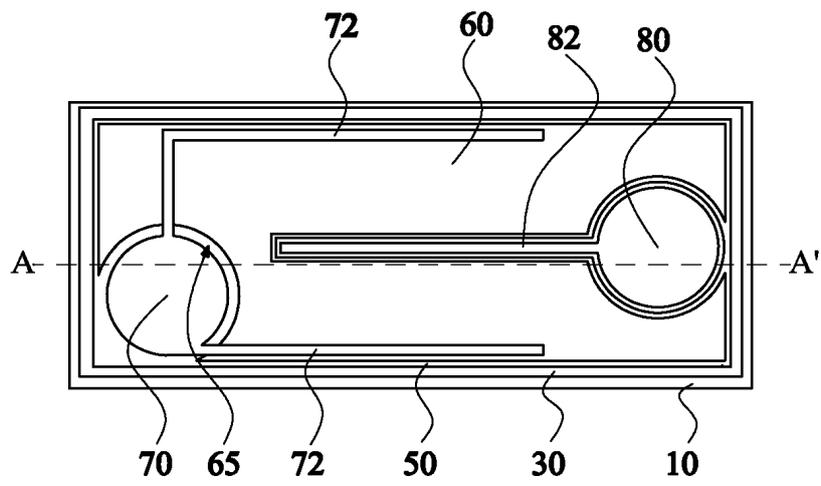


도면2

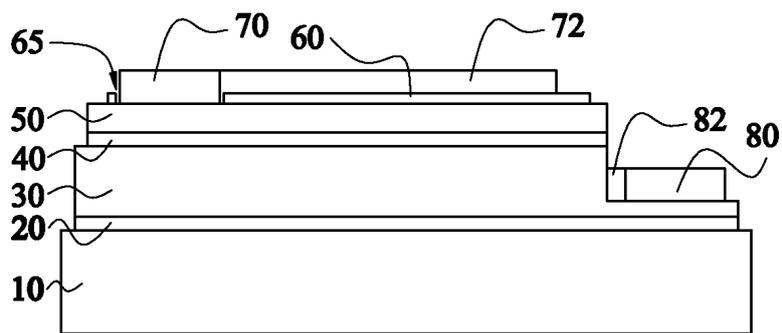
Prior Art



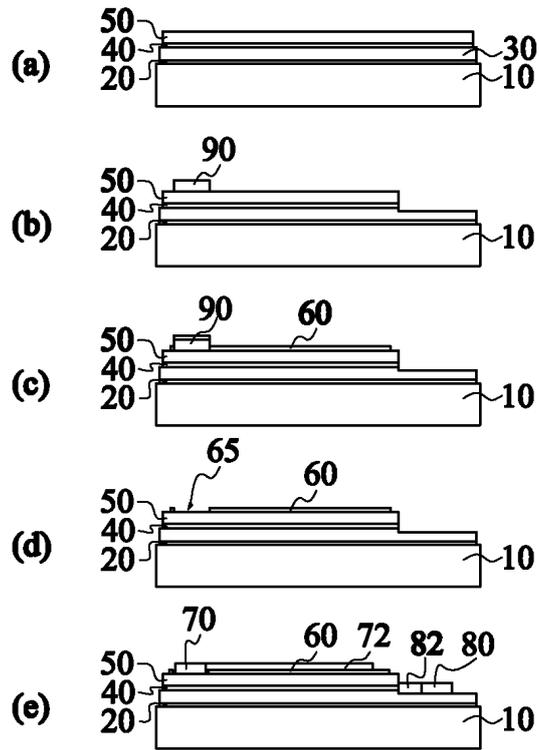
도면3



도면4



도면5



도면6

