

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5793058号
(P5793058)

(45) 発行日 平成27年10月14日 (2015. 10. 14)

(24) 登録日 平成27年8月14日 (2015. 8. 14)

(51) Int. Cl.	F I					
G09F	9/30	(2006.01)	G09F	9/30	3 3 8	
H01L	27/32	(2006.01)	G09F	9/30	3 6 5	
G09G	3/20	(2006.01)	G09G	3/20	6 2 4 B	
G09G	3/30	(2006.01)	G09G	3/30	J	
H01L	51/50	(2006.01)	G09G	3/20	6 1 1 A	
請求項の数 7 (全 17 頁) 最終頁に続く						

(21) 出願番号 特願2011-237487 (P2011-237487)
 (22) 出願日 平成23年10月28日 (2011. 10. 28)
 (65) 公開番号 特開2013-97050 (P2013-97050A)
 (43) 公開日 平成25年5月20日 (2013. 5. 20)
 審査請求日 平成26年9月16日 (2014. 9. 16)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 三浦 究
 東京都港区港南1 丁目7 番1 号 ソニー株
 式会社内
 審査官 村川 雄一

最終頁に続く

(54) 【発明の名称】 表示パネル、表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

行方向に延在する複数の第 1 配線と、列方向に延在する複数の第 2 配線と、各第 1 配線と各第 2 配線との交差点に対応して 1 つずつ配置された複数の画素とを備え、

前記複数の第 1 配線のうち 2 つの配線、または前記複数の第 2 配線のうち 2 つの配線は、ともに、互いに隣接する 2 つの画素に挟まれた共通の領域に配置されており、かつ、これら 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている表示パネル。

【請求項 2】

前記 2 つの配線は、当該表示パネルの表示領域において、互いに異なるレイヤーに配置されている

10

請求項 1 に記載の表示パネル。

【請求項 3】

前記 2 つの配線は、映像信号に応じた信号が印加される信号線である

請求項 1 または請求項 2 に記載の表示パネル。

【請求項 4】

前記 2 つの配線の配線長は、互いに等しくなっている

請求項 1 ないし請求項 3 のいずれか一項に記載の表示パネル。

【請求項 5】

前記 2 つの配線を間に挟み込む 2 つの画素において、一方の画素のレイアウトが、他方

20

の画素のレイアウトを、前記 2 つの配線を対称軸として反転させたレイアウトとなっている

請求項 3 に記載の表示パネル。

【請求項 6】

行方向に延在する複数の第 1 配線と、列方向に延在する複数の第 2 配線と、各第 1 配線と各第 2 配線との交差点に対応して 1 つずつ配置された複数の画素とを有する表示パネルと、

前記複数の第 1 配線および前記第 2 配線を介して各画素を駆動する駆動回路とを備え、

前記表示パネルは、前記複数の第 1 配線のうち 2 つの配線、または前記複数の第 2 配線のうち 2 つの配線は、ともに、互いに隣接する 2 つの画素に挟まれた共通の領域に配置されており、かつ、これら 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている

表示装置。

【請求項 7】

表示装置を備え、

前記表示装置は、

行方向に延在する複数の第 1 配線と、列方向に延在する複数の第 2 配線と、各第 1 配線と各第 2 配線との交差点に対応して 1 つずつ配置された複数の画素とを有する表示パネルと、

前記複数の第 1 配線および前記第 2 配線を介して各画素を駆動する駆動回路とを有し、

前記表示パネルは、前記複数の第 1 配線のうち 2 つの配線、または前記複数の第 2 配線のうち 2 つの配線は、ともに、互いに隣接する 2 つの画素に挟まれた共通の領域に配置されており、かつ、これら 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、高精細な解像度が求められる用途に好適な表示パネルおよびそれを備えた表示装置に関する。また、本技術は、上記の表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、映像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 EL (electro luminescence) 素子を用いた表示装置が開発され、商品化が進められている。有機 EL 素子は、液晶素子などと異なり自発光素子である。そのため、有機 EL 素子を用いた表示装置（有機 EL 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて、薄型化、高輝度化することができる。特に、駆動方式としてアクティブマトリクス方式を用いた場合には、各画素をホールド点灯させることができ、低消費電力化することもできる。そのため、有機 EL 表示装置は、次世代のフラットパネルディスプレイの主流になると期待されている。

【0003】

アクティブマトリクス型の表示装置においては、画素ごとに配した有機 EL 素子に流れる電流が、有機 EL 素子ごとに設けた画素回路内に設けた薄膜トランジスタ（TFT; Thin Film Transistor）によって制御される（特許文献 1 参照）。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 8 - 3 3 0 9 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところで、歩留まり向上の観点から、画素回路をミラー反転することがある（特許文献 1 参照）。しかしながら、高精細な表示パネルでは、画素間隔が狭くなり、隣接する配線間の寄生容量が無視できない場合がある。その場合、隣接する配線間の寄生容量が原因で、表示品質の低下や、消費電力の増大を招いてしまうという問題があった。

【 0 0 0 6 】

本技術はかかる問題点に鑑みてなされたものであり、その目的は、隣接する配線間の寄生容量を低減することの可能な表示パネル、表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【 0 0 0 7 】

本技術による表示パネルは、行方向に延在する複数の第 1 配線と、列方向に延在する複数の第 2 配線と、各第 1 配線と各第 2 配線との交差点に対応して 1 つずつ配置された複数の画素とを備えている。複数の第 1 配線のうち 2 つの配線、または複数の第 2 配線のうち 2 つの配線は、ともに、互いに隣接する 2 つの画素に挟まれた共通の領域に配置されている。さらに、これら 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている。

【 0 0 0 8 】

本技術による表示装置は、上記の表示パネルと、複数の第 1 配線および第 2 配線を介して各画素を駆動する駆動回路とを備えている。本技術による電子機器は、上記の表示装置を備えている。

【 0 0 0 9 】

本技術による表示パネル、表示装置および電子機器では、互いに隣接する 2 つの画素に挟まれた 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている。これにより、例えば、互いに隣接する 2 つの画素に挟まれた 2 つの配線が、同一レイヤーに配置されている場合よりも、少なくとも一部において、配線間距離が広がる。

【発明の効果】

【 0 0 1 0 】

本技術による表示パネル、表示装置および電子機器によれば、互いに隣接する 2 つの画素に挟まれた 2 つの配線の厚さ方向のレイアウトを、少なくとも一部において互いに異ならせたので、隣接する配線間の寄生容量を低減することができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本技術による一実施の形態に係る表示装置の構成の一例を表す図である。

【図 2】画素の構成の一例を表す図である。

【図 3】表示領域のレイアウトの一例を表す図である。

【図 4】表示領域のレイアウトの他の例を表す図である。

【図 5】互いに隣接する 2 つの配線の位置関係の一例を表す図である。

【図 6】互いに隣接する 2 つの配線の位置関係の他の例を表す図である。

【図 7】互いに隣接する 2 つの配線の位置関係のその他の例を表す図である。

【図 8】表示パネルに印加する各種電圧の経時変化の一例と、駆動トランジスタのゲート電圧およびソース電圧の経時変化の一例とを表す図である。

【図 9】比較例に係る表示パネルに印加する各種電圧の経時変化の一例と、駆動トランジスタのゲート電圧およびソース電圧の経時変化の一例とを表す図である。

【図 10】表示パネルに印加する各種電圧の経時変化の他の例と、駆動トランジスタのゲート電圧およびソース電圧の経時変化の他の例とを表す図である。

10

20

30

40

50

【図 1 1】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図 1 2】上記実施の形態の表示装置の適用例 1 の外観を表す斜視図である。

【図 1 3】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 1 4】適用例 3 の外観を表す斜視図である。

【図 1 5】適用例 4 の外観を表す斜視図である。

【図 1 6】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【発明を実施するための形態】

10

【 0 0 1 2 】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態 (表示装置)

2 つの信号線が互いに隣接している例

2. 適用例 (電子機器)

上記実施の形態の表示装置が電子機器に適用される例

【 0 0 1 3 】

< 1. 実施の形態 >

20

[構成]

図 1 は、本技術による一実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 1 0 と、表示パネル 1 0 を駆動する駆動回路 2 0 とを備えている。駆動回路 2 0 は、例えば、タイミング生成回路 2 1、映像信号処理回路 2 2、信号線駆動回路 2 3、書込線駆動回路 2 4、および電源線駆動回路 2 5 を有している。

【 0 0 1 4 】

(表示パネル 1 0)

表示パネル 1 0 は、複数の画素 1 1 が表示パネル 1 0 の表示領域 1 0 A 全面に渡って 2 次元配置されたものである。画素 1 1 は、表示パネル 1 0 上の画面を構成する最小単位の点に対応するものである。表示パネル 1 0 がカラー表示パネルである場合には、画素 1 1 は、例えば赤、緑または青などの単色の光を発する副画素に相当し、表示パネル 1 0 がモノクロ表示パネルである場合には、画素 1 1 は、白色光を発する画素に相当する。

30

【 0 0 1 5 】

表示パネル 1 0 は、駆動回路 2 0 によって各画素 1 1 がアクティブマトリクス駆動されることにより、外部から入力された映像信号 2 0 A に基づく画像を表示するものである。図 2 は、画素 1 1 の回路構成の一例を表したものである。画素 1 1 は、例えば、図 2 に示したように、画素回路 1 2 と、有機 E L 素子 1 3 とを有している。有機 E L 素子 1 3 は、例えば、アノード電極、有機層およびカソード電極が順に積層された構成を有している。

【 0 0 1 6 】

画素回路 1 2 は、例えば、図 2 に示したように、駆動トランジスタ $T r 1$ 、書き込みトランジスタ $T r 2$ および保持容量 $C s$ によって構成されたものであり、 $2 T r 1 C$ の回路構成となっている。書き込みトランジスタ $T r 2$ は、後述の信号線 D T L の電圧をサンプリングするとともに駆動トランジスタ $T r 1$ のゲートに書き込むものである。駆動トランジスタ $T r 1$ は、書き込みトランジスタ $T r 2$ によって書き込まれた電圧の大きさに応じて有機 E L 素子 1 3 に流れる電流を制御するものである。保持容量 $C s$ は、駆動トランジスタ $T r 1$ のゲート - ソース間に所定の電圧を保持するものである。なお、画素回路 1 2 は、上述の $2 T r 1 C$ の回路構成とは異なる回路構成となってもよい。

40

【 0 0 1 7 】

駆動トランジスタ $T r 1$ および書き込みトランジスタ $T r 2$ は、例えば、n チャンネル M O S 型の薄膜トランジスタ (T F T (Thin Film Transistor)) により形成されている。

50

なお、TFTの種類は特に限定されるものではなく、例えば、逆スタガー構造（ボトムゲート型）であってもよいし、スタガー構造（トップゲート型）であってもよい。また、駆動トランジスタTr1または書き込みトランジスタTr2は、pチャネルMOS型のTFTであってもよい。

【0018】

表示パネル10は、図2に示したように、行方向に延在する複数の書込線WSLと、列方向に延在する複数の信号線DTLと、行方向に延在する複数の電源線DSLとを有している。各信号線DTLと各書込線WSLとの交差点近傍には、画素11が設けられている。各信号線DTLは、後述の信号線駆動回路23の出力端（図示せず）と、書き込みトランジスタTr2のソースまたはドレインとに接続されている。各書込線WSLは、後述の書込線駆動回路24の出力端（図示せず）と、書き込みトランジスタTr2のゲートに接続されている。各電源線DSLは、固定の電圧を出力する電源の出力端（図示せず）と、駆動トランジスタTr1のソースまたはドレインに接続されている。

10

【0019】

書き込みトランジスタTr2のゲートは、書込線WSLに接続されている。書き込みトランジスタTr2のソースまたはドレインが信号線DTLに接続され、書き込みトランジスタTr2のソースおよびドレインのうち信号線DTLに未接続の端子が駆動トランジスタTr1のゲートに接続されている。駆動トランジスタTr1のソースまたはドレインが電源線DSLに接続され、駆動トランジスタTr1のソースおよびドレインのうち電源線DSLに未接続の端子が有機EL素子13のアノードに接続されている。保持容量Csの一端が駆動トランジスタTr1のゲートに接続され、保持容量Csの他端が駆動トランジスタTr1のソース（図2では有機EL素子13側の端子）に接続されている。つまり、保持容量Csは、駆動トランジスタTr1のゲート-ソース間に挿入されている。有機EL素子13のカソードは、グラウンド線GNDに接続されている。グラウンド線GNDは、基準電位（例えばグラウンド電位）となっている外部回路（図示せず）と電氣的に接続されるものである。

20

【0020】

（表示パネル10内のレイアウト）

次に、図3、図4を参照しつつ、表示パネル10内の平面レイアウトについて説明する。図3は、表示領域10Aの平面レイアウトの一例を表したものである。図4は、カラー表示における画素配列の一例を表したものである。

30

【0021】

複数の画素11は、例えば、図3に示したように、表示パネル10において、行方向および列方向に配置されている。行方向に並んで配置された各画素11は、共通の書込線WSLに接続されるとともに、共通の電源線DSLに接続されている。列方向に並んで配置された各画素11は、共通の信号線DTLに接続されている。行方向に延在する複数の書込線WSLは、列方向に等間隔で配置されている。同様に、行方向に延在する複数の電源線DSLも、列方向に等間隔で配置されている。

【0022】

一方、列方向に延在する複数の信号線DTLでは、ある特定の画素列に対応する信号線DTL（例えば図中の信号線DTL2）が、その信号線DTLの隣に位置する他の信号線DTL（例えば図中の信号線DTL1）に沿って配置されている。つまり、信号線DTL1および信号線DTL2は、ともに、互いに隣接する2つの画素11に挟まれた共通の領域に配置されている。例えば、図4に示したように、表示パネル10がRGB3原色によってカラー表示を行うパネルとなっており、かつRに対応する画素11（11R）、Gに対応する画素11（11G）およびBに対応する画素11（11B）がストライプ配列となっている場合には、画素11Rに接続された信号線DTLと、画素11Gに接続された信号線DTLとが、画素11Rと画素11Gとの間に挟まれた共通の領域に配置されている。

40

【0023】

50

2つの信号線DTL1, DTL2を間に挟み込む2つの画素11において、一方の画素11の平面レイアウトが、他方の画素11の平面レイアウトと異なっている。信号線DTL2に接続された各画素11の平面レイアウトが、信号線DTL2の位置に応じたレイアウトとなっており、信号線DTL1に接続された画素11の平面レイアウトと異なったレイアウトとなっている。さらに、信号線DTL2に接続された各画素11の平面レイアウトが、当該各画素11の両隣に配置された各画素11の平面レイアウトと異なっている。

【0024】

例えば、2つの信号線DTL1, DTL2を間に挟み込む2つの画素11において、一方の画素11の平面レイアウトが、他方の画素11の平面レイアウトを、帯状の領域を対称軸として反転させたレイアウトとなっている。例えば、図3に示したように、信号線DTL2に接続された各画素11の平面レイアウトは、信号線DTL1に接続された画素11の平面レイアウトを、帯状の領域を対称軸として反転させたレイアウトとなっている。さらに、信号線DTL2に接続された各画素11の平面レイアウトが、当該各画素11の両隣に配置された各画素11の平面レイアウトを、帯状の領域を対称軸として反転させたレイアウトとなっている。

【0025】

信号線DTL1および信号線DTL2を表示領域10Aの法線方向から眺めたときの、信号線DTL1と信号線DTL2との間の距離D1は、例えば、信号線DTL2の幅と同程度の幅となっており、例えば、サブミクロンオーダーとなっている。なお、距離D1は、信号線DTL1および信号線DTL2の相対的な位置関係によって、信号線DTL2の幅よりも狭くなっているてもよい。また、距離D1が負になっているてもよい。ここで、「距離D1が負」とは、信号線DTL1および信号線DTL2を表示領域10Aの法線方向から眺めたときに、信号線DTL1および信号線DTL2の全体または一部が互いに重なり合っていることを意味している。

【0026】

次に、図5～図7を参照しつつ、表示パネル10内の断面レイアウトについて説明する。図5～図7は、表示パネル10のうち信号線DTLを含む部分の断面レイアウトの一例を表したものである。具体的には、図5、図6は、列方向の断面レイアウトの一例を表したものであり、図7は、行方向の断面レイアウトの一例を表したものである。

【0027】

例えば、図5に示したように、信号線DTL1は、絶縁層14と同層に形成されており、信号線DTL2は、絶縁層15と同層に形成されている。信号線DTL1は、絶縁層15との関係で相対的に下方のレイヤーに相当する絶縁層14と同層に形成されており、信号線DTL2は、絶縁層14との関係で相対的に上方のレイヤーに相当する絶縁層15と同層に形成されている。つまり2つの信号線DTL1, DTL2は、表示領域10Aにおいて、互いに異なるレイヤーに配置されている。従って、信号線DTL2を含む列方向の断面レイアウトは、信号線DTL1を含む列方向の断面レイアウトとは異なっている。ここで、信号線DTL1が、表示領域10A全体において絶縁層14と同層に形成されるとともに、信号線DTL2が、表示領域10A全体において絶縁層15と同層に形成されていてもよい。

【0028】

なお、表示領域10Aにおいて、信号線DTL2の一部が、絶縁層15よりも上方の絶縁層(図示せず)に形成されていてもよい。また、例えば、図6に示したように、信号線DTL2が、一部の区間で絶縁層14と同層に形成されるとともに別の区間で絶縁層15と同層に形成されていてもよい。

【0029】

2つの信号線DTL1, DTL2の、表示領域10Aにおける配線長は、互いに等しくなっていることが好ましい。信号線DTL1が絶縁層14と同層に形成され、信号線DTL2が絶縁層15と同層に形成されている場合には、2つの信号線DTL1, DTL2の、表示領域10Aにおける配線長は、通常は、互いに等しくなる。一方、上述したように

10

20

30

40

50

、信号線 D T L 2 の少なくとも一部が、絶縁層 1 4 よりも上方の絶縁層（例えば絶縁層 1 5）に形成されている場合には、例えば、信号線 D T L 1 の、列方向の断面レイアウトが、信号線 D T L 2 の、列方向の断面レイアウトを上下反転させたレイアウトとなっていることが好ましい。

【 0 0 3 0 】

いずれにしても、本実施の形態では、2つの信号線 D T L 1 , D T L 2 が同一レイヤーに配置されている場合よりも、少なくとも一部において、2つの信号線 D T L 1 , D T L 2 における配線間距離が広がっている。そのため、信号線 D T L 2 のうち、絶縁層 1 4 よりも上方の絶縁層（例えば絶縁層 1 5）に形成されている部分と、信号線 D T L 1 との実際の距離 D 2 は、例えば、図 7 (A) に示したように、上述の距離 D 1 よりも大きくなっている。図 7 (A) 中の信号線 D T L ' は、信号線 D T L 2 を絶縁層 1 4 と同一の層にまで真っ直ぐ降ろしたときの位置を表している。

10

【 0 0 3 1 】

なお、例えば、図 7 (A) に示したように、信号線 D T L 1 と、信号線 D T L 2 のうち信号線 D T L 1 よりも上層に形成されている部分とを、表示領域 1 0 A の法線方向から眺めたときに、信号線 D T L 1 および信号線 D T L 2 の全体または一部が互いに重なり合っているようによい。

【 0 0 3 2 】

(駆動回路 2 0)

次に、駆動回路 2 0 内の各回路について、図 1 を参照して説明する。タイミング生成回路 2 1 は、信号線駆動回路 2 3、書込線駆動回路 2 4 および電源線駆動回路 2 5 が連動して動作するように制御するものである。タイミング生成回路 2 1 は、例えば、外部から入力された同期信号 2 0 B に応じて（同期して）、上述した各回路に対して制御信号 2 1 A を出力するようになっている。タイミング生成回路 2 1 は、例えば、映像信号処理回路 2 2、信号線駆動回路 2 3、書込線駆動回路 2 4 および電源線駆動回路 2 5 などと共に、例えば、表示パネル 1 0 とは別体の制御回路基板（図示せず）上に形成されている。

20

【 0 0 3 3 】

映像信号処理回路 2 2 は、例えば、外部から入力されたデジタルの映像信号 2 0 A に対して所定の補正を行うようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。映像信号処理回路 2 2 は、さらに、外部から入力された同期信号 2 0 B に応じて（同期して）、例えば上記の補正をした後の映像信号 2 0 A をアナログに変換して、アナログの表示信号 2 2 A として信号線駆動回路 2 3 に出力するようになっている。つまり、表示信号 2 2 A は、映像信号 2 0 A に応じた信号となっている。

30

【 0 0 3 4 】

信号線駆動回路 2 3 は、映像信号処理回路 2 2 から入力された表示信号 2 2 A を、制御信号 2 1 A の入力に応じて（同期して）各信号線 D T L に出力し、これにより、選択対象の各画素 1 1 への書き込みを行うものである。なお、書き込みとは、駆動トランジスタ T r 1 のゲートに所定の電圧を印加することを指している。信号線駆動回路 2 3 は、例えば、表示信号 2 2 A に対応する信号電圧 V s i g と、表示信号 2 2 A とは無関係な一定の電圧 V o f s とを出力することが可能となっている。ここで、電圧 V o f s は、有機 E L 素子 1 3 の閾値電圧よりも低い電圧値（一定値）である。

40

【 0 0 3 5 】

書込線駆動回路 2 4 は、制御信号 2 1 A の入力に応じて（同期して）、複数の書込線 W S L の中から 1 または複数の書込線 W S L に選択パルスを順次印加し、これにより、1 または複数の画素行を順次選択するものである。書込線駆動回路 2 4 は、例えば、書き込みトランジスタ T r 2 をオンさせるときに印加する電圧 V o n と、書き込みトランジスタ T r 2 をオフさせるときに印加する電圧 V o f f とを出力することが可能となっている。

【 0 0 3 6 】

電源線駆動回路 2 5 は、制御信号 2 1 A の入力に応じて（同期して）、複数の電源線 D

50

S Lの中から1または複数の電源線DSLに選択パルスを順次印加し、これにより、1または複数の画素行の発光および消光を制御するものである。電源線駆動回路25は、例えば、後述のV_{th}補正や、 μ 補正、発光の際に印加する電圧V_{ccH}と、消光の際に印加する電圧V_{ccL}とを出力することが可能となっている。

【0037】

[動作]

次に、表示装置1の動作の一例について説明する。図8は、表示装置1を駆動させたときの各種波形の一例を表したものである。図8(A)には、信号線DTLに電圧V_{sig}、電圧V_{ofs}が周期的に印加されている様子が示されている。また、図8(B)、(C)には、書込線WSLに電圧V_{on}、電圧V_{off}が所定のタイミングで印加され、電源線DSLに電圧V_{ccH}、電圧V_{ccL}が所定のタイミングで印加されている様子がそれぞれ示されている。なお、図8(B)には、駆動トランジスタTr1がnチャネル型である場合の波形が例示されている。図8(D)、(E)には、信号線DTL、書込線WSLおよび電源線DSLへの電圧印加に応じて、駆動トランジスタTr1のゲート電圧V_gおよびソース電圧V_sが時々刻々変化している様子が示されている。

10

【0038】

---V_{th}補正準備期間---

まず、V_{th}補正(閾値補正)の準備を行う。具体的には、書込線WSLの電圧がV_{off}となっており、電源線DSLの電圧がV_{ccH}となっている時(つまり有機EL素子13が発光している時)に、電源線駆動回路25が制御信号21Aに応じて電源線DSLの電圧をV_{ccH}からV_{ccL}に下げる(T1)。すると、ソース電圧V_sがV_{ccL}となり、有機EL素子13が消光する。次に、信号線駆動回路23が制御信号21Aに応じて信号線DTLの電圧をV_{sig}からV_{ofs}に切り替えたのち、電源線DSLの電圧がV_{ccL}となっている間に、書込線駆動回路24が制御信号21Aに応じて書込線WSLの電圧をV_{off}からV_{on}に上げる。すると、ゲート電圧V_gがV_{ofs}になる。このとき、ゲート電圧V_gとソース電圧V_sとの電位差V_{gs}(=V_{ofs}-V_{ccL})が駆動トランジスタTr1の閾値電圧V_{th}よりも大きくなるように、電源線駆動回路25および信号線駆動回路23では、電源線DSLおよび信号線DTLへの印加電圧(V_{ccL}、V_{ofs})が設定されている。

20

【0039】

---最初のV_{th}補正期間---

次に、V_{th}補正を行う。具体的には、信号線DTLの電圧がV_{ofs}となっている間に、電源線駆動回路25が制御信号21Aに応じて電源線DSLの電圧をV_{ccL}からV_{ccH}に上げる(T2)。すると、駆動トランジスタTr1のドレイン-ソース間に電流が流れ、ソース電圧V_sが上昇する。その後、信号線駆動回路23が制御信号21Aに応じて信号線DTLの電圧をV_{ofs}からV_{sig}に切り替える前に、書込線駆動回路24が制御信号21Aに応じて書込線WSLの電圧をV_{on}からV_{off}に下げる(T3)。すると、駆動トランジスタTr1のゲートがフローティングとなり、V_{th}補正が一旦抑制する。

30

【0040】

---最初のV_{th}補正休止期間---

V_{th}補正が休止している期間中(すなわち、書込線WSLの電圧がV_{off}となっており、かつ電源線DSLの電圧がV_{ccH}となっている間)は、先のV_{th}補正を行った行(画素)とは異なる他の行(画素)において、信号線DTLの電圧のサンプリングが行われる。なお、V_{th}補正が不十分である場合、すなわち、駆動トランジスタTr1のゲート-ソース間の電位差V_{gs}が駆動トランジスタTr1の閾値電圧V_{th}よりも大きい場合には、以下のようなになる。すなわち、V_{th}補正休止期間中にも、先のV_{th}補正を行った行(画素)において、駆動トランジスタTr1のドレイン-ソース間に電流が流れ、ソース電圧V_sが上昇し、保持容量C_sを介したカップリングによりゲート電圧V_gも上昇する。

40

50

【 0 0 4 1 】

--- 2 回目の V t h 補正期間---

V t h 補正休止期間が終了した後、V t h の補正を再び行う。具体的には、電源線 D S L の電圧が V c c H となっており、かつ信号線 D T L の電圧が V o f s となっており、V t h 補正が可能となっている時に、書込線駆動回路 2 4 が制御信号 2 1 A に応じて書込線 W S L の電圧を V o f f から V o n に上げ (T 4)、駆動トランジスタ T r 1 のゲートを信号線 D T L に接続する。このとき、ソース電圧 V s が V o f s - V t h よりも低い場合 (V t h 補正がまだ完了していない場合) には、駆動トランジスタ T r 1 がカットオフするまで (電位差 V g s が V t h になるまで)、駆動トランジスタ T r 1 のドレイン - ソース間に電流が流れる。これにより、ゲート電圧 V g が V o f s となり、ソース電圧 V s が上昇し、その結果、保持容量 C s が V t h に充電され、電位差 V g s が V t h となる。その後、信号線駆動回路 2 3 が信号線 D T L の電圧を V o f s から V s i g に切り替える前に、書込線駆動回路 2 4 が書込線 W S L の電圧を V o n から V o f f に下げる (T 5)。すると、駆動トランジスタ T r 1 のゲートがフローティングとなるので、電位差 V g s を信号線 D T L の電圧の大きさに拘わらず V t h のままで維持することができる。このように、電位差 V g s を V t h に設定することにより、駆動トランジスタ T r 1 の閾値電圧 V t h が画素回路 1 2 ごとにばらついた場合であっても、有機 E L 素子 1 3 の発光輝度がばらつくのをなくすることができる。

10

【 0 0 4 2 】

--- 2 回目の V t h 補正休止期間---

その後、V t h 補正の休止期間中 (すなわち、書込線 W S L の電圧が V o f f となっており、かつ電源線 D S L の電圧が V c c H となっている間) に、信号線駆動回路 2 3 が制御信号 2 1 A に応じて信号線 D T L の電圧を V o f s から V s i g に切り替える。

20

【 0 0 4 3 】

--- 書き込み・ μ 補正期間---

2 回目の V t h 補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 D T L の電圧が V s i g となっている間に、書込線駆動回路 2 4 が制御信号 2 1 A に応じて書込線 W S L の電圧を V o f f から V o n に上げ (T 6)、駆動トランジスタ T r 1 のゲートを信号線 D T L に接続する。すると、駆動トランジスタ T r 1 のゲートの電圧が信号線 D T L の電圧 V s i g となる。このとき、有機 E L 素子 1 3 のアノードの電圧はこの段階ではまだ有機 E L 素子 1 3 の閾値電圧よりも小さく、有機 E L 素子 1 3 はカットオフしている。そのため、電流は有機 E L 素子 1 3 の素子容量 (図示せず) に流れ、素子容量が充電されるので、ソース電圧 V s が V だけ上昇し、やがて電位差 V g s が V s i g + V t h - V となる。このようにして、書き込みと同時に μ 補正が行われる。ここで、駆動トランジスタ T r 1 の移動度 μ が大きい程、V も大きくなるので、電位差 V g s を発光前に V だけ小さくすることにより、画素ごとの移動度 μ のばらつきを取り除くことができる。

30

【 0 0 4 4 】

--- 発光期間---

次に、書込線駆動回路 2 4 が制御信号 2 1 A に応じて書込線 W S L の電圧を V o n から V o f f に下げる (T 7)。すると、駆動トランジスタ T r 1 のゲートがフローティングとなり、駆動トランジスタ T r 1 のドレイン - ソース間に電流が流れ、ソース電圧 V s が上昇する。その結果、有機 E L 素子 1 3 に閾値電圧以上の電圧が印加され、有機 E L 素子 1 3 が所望の輝度で発光する。

40

【 0 0 4 5 】

[効果]

次に、本実施の形態の表示装置 1 の効果について説明する。

【 0 0 4 6 】

図 9 は、ある画素 1 1 に接続された信号線 D T L 3 が、その画素 1 1 の隣の画素 1 1 に接続された信号線 D T L 4 に沿って配置された表示パネル (比較例に係る表示パネル) を

50

駆動させたときの各種波形の一例を表したものである。この比較例に係る表示パネルを駆動している際に、ある画素行が、書き込み・ μ 補正期間の直前の期間に相当するVth補正休止期間(T5~T6の間)となったとする。このときに、例えば、図9に示したように、信号線DTL3の電圧が信号線DTL4の電圧よりも大幅に大きくなったとする。その場合、信号線DTL3と信号線DTL4との間の寄生容量によるカップリングで、信号線DTL4の電圧が信号線DTL3の電圧に引きずられ、図9に示したように所望の値(図中の破線)からずれてしまう。その結果、図9の破線で丸く囲んだような波形となり、 μ 補正を正しく行うことができない場合があった。

【0047】

一方、本実施の形態では、信号線DTL1および信号線DTL2の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている。そのため、図10に示したように、信号線DTL1の電圧が信号線DTL2の電圧よりも大幅に大きくなった場合であっても、信号線DTL1と信号線DTL2との間の寄生容量は小さく、寄生容量によるカップリングが抑制されている。その結果、信号線DTL2の電圧が信号線DTL1の電圧に引きずられるのが抑制されるので、図10の破線で丸く囲んだように、 μ 補正を正しく行うことができる。従って、クロストーク(混色)を抑制することが出来る。また、信号線DTL自体の寄生容量を小さくすることができるので、充放電電力の増加も抑えることが可能となる。

【0048】

<2.適用例>

以下、上記実施の形態で説明した表示装置1の適用例について説明する。上述の表示装置1は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、映像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0049】

(モジュール)

上述の表示装置1は、例えば、図11に示したようなモジュールとして、後述する適用例1~5などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板31の一辺に、封止用基板32から露出した領域210を設け、この露出した領域210に、駆動回路20の配線を延長して外部接続端子(図示せず)を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板(FPC;Flexible Printed Circuit)220が設けられていてもよい。

【0050】

(適用例1)

図12は、上述の表示装置1が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上述の表示装置1により構成されている。

【0051】

(適用例2)

図13は、上述の表示装置1が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、その表示部420は、上述の表示装置1により構成されている。

【0052】

(適用例3)

図14は、上述の表示装置1が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および映像を表示する表示部530を有しており、

10

20

30

40

50

その表示部 530 は、上述の表示装置 1 により構成されている。

【0053】

(適用例 4)

図 15 は、上述の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 610、この本体部 610 の前方側面に設けられた被写体撮影用のレンズ 620、撮影時のスタート/ストップスイッチ 630 および表示部 640 を有しており、その表示部 640 は、上述の表示装置 1 により構成されている。

【0054】

(適用例 5)

図 16 は、上述の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 710 と下側筐体 720 とを連結部（ヒンジ部）730 で連結したものであり、ディスプレイ 740、サブディスプレイ 750、ピクチャーライト 760 およびカメラ 770 を有している。そのディスプレイ 740 またはサブディスプレイ 750 は、上述の表示装置 1 により構成されている。

10

【0055】

以上、実施の形態および適用例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0056】

例えば、上記実施の形態等では、信号線 DTL 同士が互いに近接する場合は例示されていたが、書込線 WSL 同士が互いに近接する場合は、電源線 DSL 同士が互いに近接する

20

場合にも、本技術をもちろん適用可能である。

【0057】

また、例えば、上記実施の形態等では、上述の表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 12 の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路 12 に追加してもよい。その場合、画素回路 12 の変更に応じて、上述した信号線駆動回路 23、書込線駆動回路 24、電源線駆動回路 25 のほかに、必要な駆動回路を追加してもよい。

【0058】

また、例えば、上記実施の形態等では、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、電源線駆動回路 25 の駆動をタイミング生成回路 21 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、電源線駆動回路 25 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

30

【0059】

また、例えば、本技術は以下のような構成を取ることができる。

(1)

行方向に延在する複数の第 1 配線と、列方向に延在する複数の第 2 配線と、各第 1 配線と各第 2 配線との交差点に対応して 1 つずつ配置された複数の画素とを備え、

40

前記複数の第 1 配線のうち 2 つの配線、または前記複数の第 2 配線のうち 2 つの配線は、ともに、互いに隣接する 2 つの画素に挟まれた共通の領域に配置されており、かつ、これら 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている表示パネル。

(2)

前記 2 つの配線は、当該表示パネルの表示領域において、互いに異なるレイヤーに配置されている

(1) に記載の表示パネル。

(3)

前記 2 つの配線は、映像信号に応じた信号が印加される信号線である

50

(1) または (2) に記載の表示パネル。

(4)

前記 2 つの配線の配線長は、互いに等しくなっている

(1) ないし (3) のいずれか 1 つに記載の表示パネル。

(5)

前記 2 つの配線を間に挟み込む 2 つの画素において、一方の画素のレイアウトが、他方の画素のレイアウトを反転させたレイアウトとなっている

(1) ないし (4) のいずれか 1 つに記載の表示パネル。

(6)

行方向に延在する複数の第 1 配線と、列方向に延在する複数の第 2 配線と、各第 1 配線と各第 2 配線との交差点に対応して 1 つずつ配置された複数の画素とを有する表示パネルと、

前記複数の第 1 配線および前記第 2 配線を介して各画素を駆動する駆動回路とを備え、

前記表示パネルは、前記複数の第 1 配線のうち 2 つの配線、または前記複数の第 2 配線のうち 2 つの配線は、ともに、互いに隣接する 2 つの画素に挟まれた共通の領域に配置されており、かつ、これら 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている

表示装置。

(7)

表示装置を備え、

前記表示装置は、

行方向に延在する複数の第 1 配線と、列方向に延在する複数の第 2 配線と、各第 1 配線と各第 2 配線との交差点に対応して 1 つずつ配置された複数の画素とを有する表示パネルと、

前記複数の第 1 配線および前記第 2 配線を介して各画素を駆動する駆動回路とを有し、

前記表示パネルは、前記複数の第 1 配線のうち 2 つの配線、または前記複数の第 2 配線のうち 2 つの配線は、ともに、互いに隣接する 2 つの画素に挟まれた共通の領域に配置されており、かつ、これら 2 つの配線の厚さ方向のレイアウトが、少なくとも一部において互いに異なっている

電子機器。

【符号の説明】

【 0 0 6 0 】

1 ... 表示装置、1 0 ... 表示パネル、1 0 A ... 表示領域、1 1 , 1 1 R , 1 1 G , 1 1 B ... 画素、1 2 ... 画素回路、1 3 ... 有機 E L 素子、1 4 , 1 5 ... 絶縁層、2 0 ... 駆動回路、2 0 A ... 映像信号、2 0 B ... 同期信号、2 1 ... タイミング生成回路、2 1 A ... 制御信号、2 2 ... 映像信号処理回路、2 3 ... 信号線駆動回路、2 4 ... 書込線駆動回路、2 5 ... 電源線駆動回路、3 1 ... 基板、3 2 ... 封止用基板、2 1 0 ... 領域、2 2 0 ... F P C、3 0 0 ... 映像表示画面部、3 1 0 ... フロントパネル、3 2 0 ... フィルターガラス、4 1 0 ... 発光部、4 2 0 , 5 3 0 , 6 4 0 ... 表示部、4 3 0 ... メニュースイッチ、4 4 0 ... シャッターボタン、5 1 0 ... 本体、5 2 0 ... キーボード、6 1 0 ... 本体部、6 2 0 ... レンズ、6 3 0 ... スタート/ストップスイッチ、7 1 0 ... 上側筐体、7 2 0 ... 下側筐体、7 3 0 ... 連結部、7 4 0 ... ディスプレイ、7 5 0 ... サブディスプレイ、7 6 0 ... ピクチャーライト、7 7 0 ... カメラ、C s ... 保持容量、D T L , D T L 1 ~ D T L 4 ... 信号線、G N D ... グラウンド線、D S L ... 電源線、T r 1 ... 駆動トランジスタ、T r 2 ... 書き込みトランジスタ、V g ... ゲート電圧、V s ... ソース電圧、V g s ... ゲート - ソース間電圧、W S L ... 書込線、... 領域。

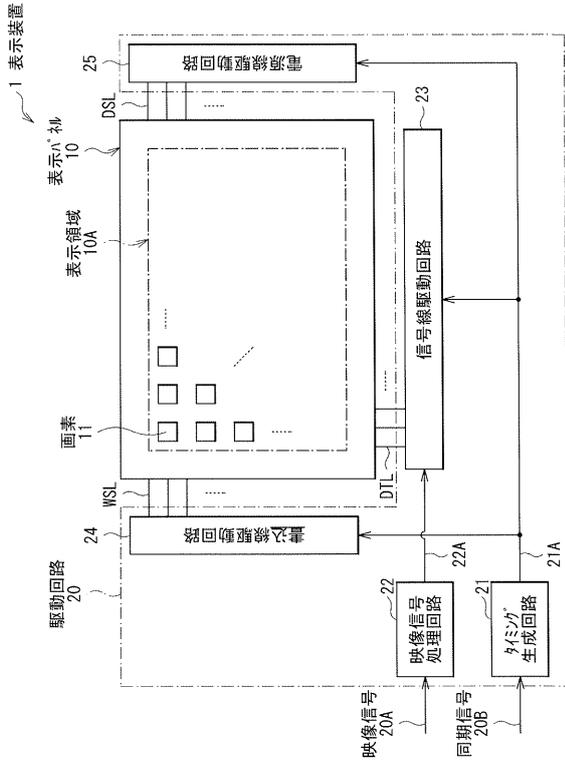
10

20

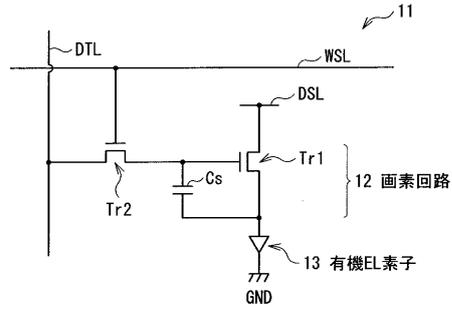
30

40

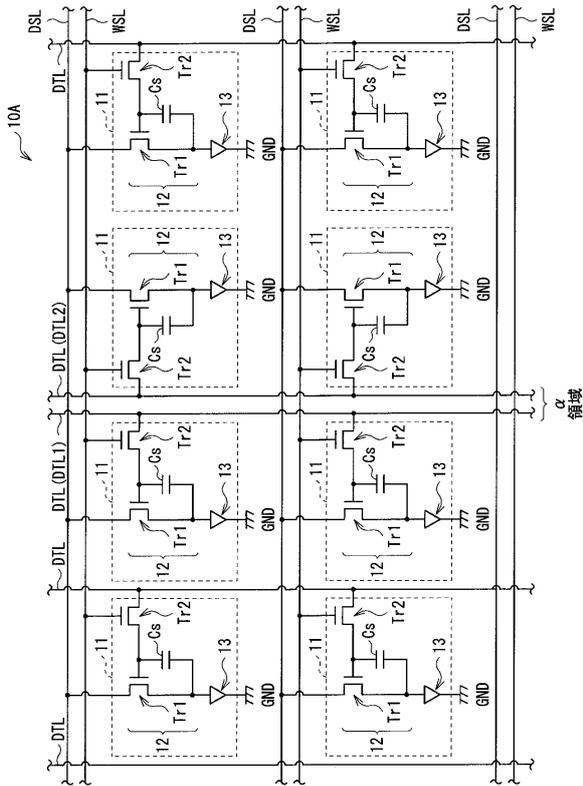
【 図 1 】



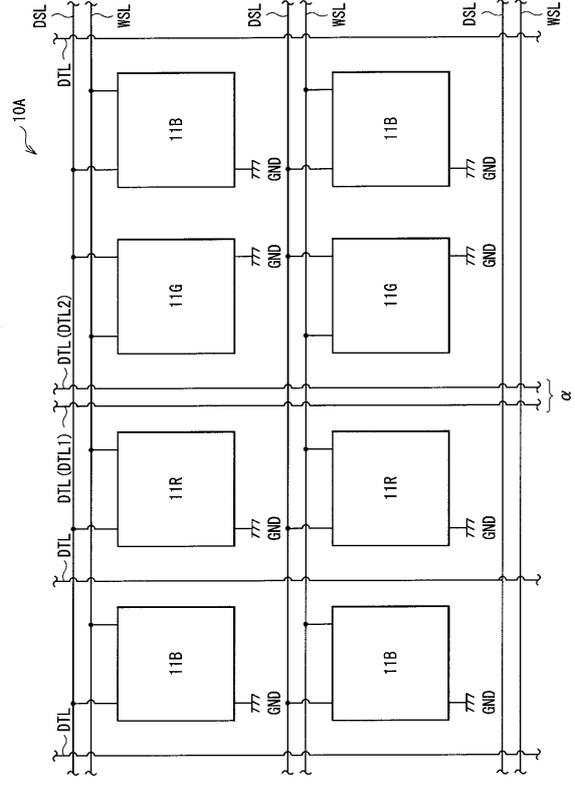
【 図 2 】



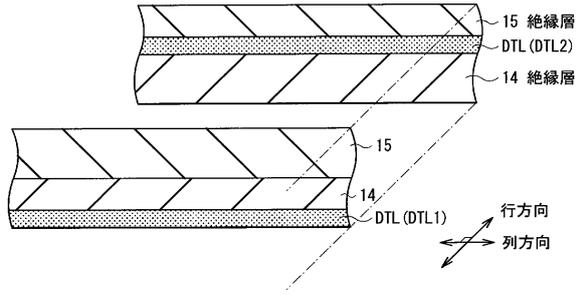
【 図 3 】



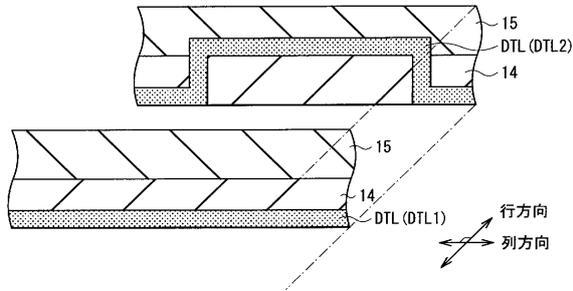
【 図 4 】



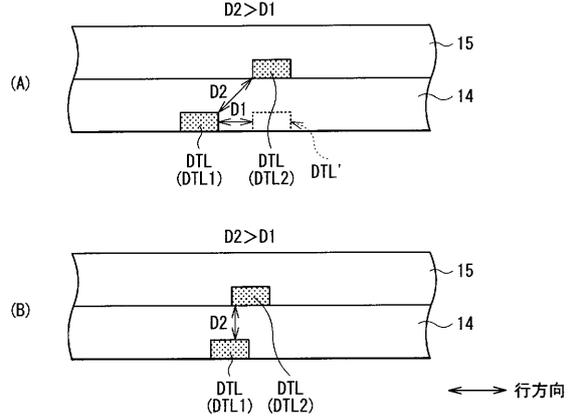
【図5】



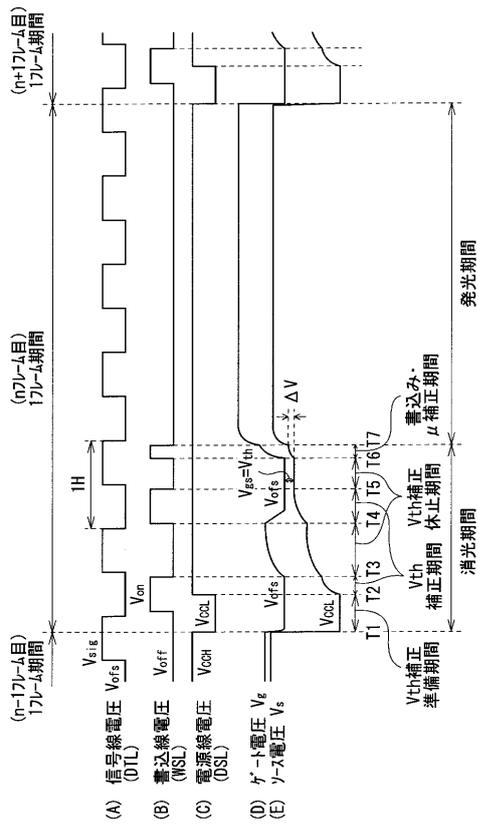
【図6】



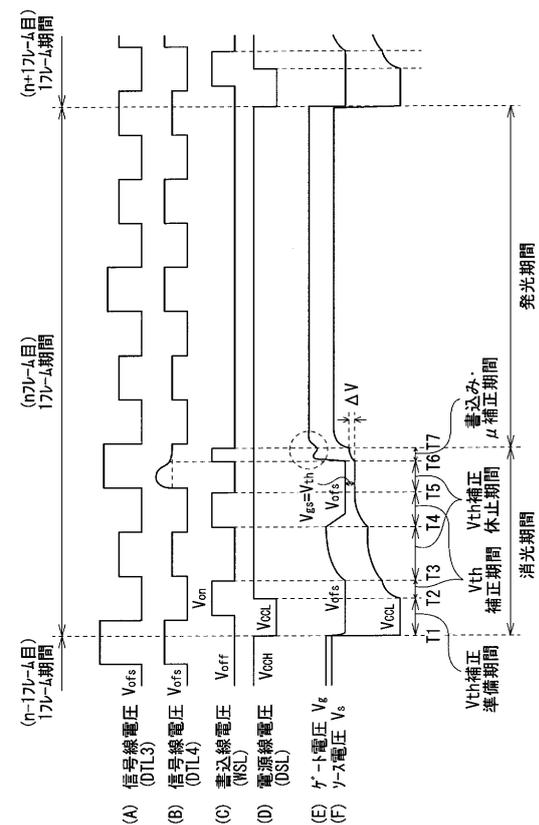
【図7】



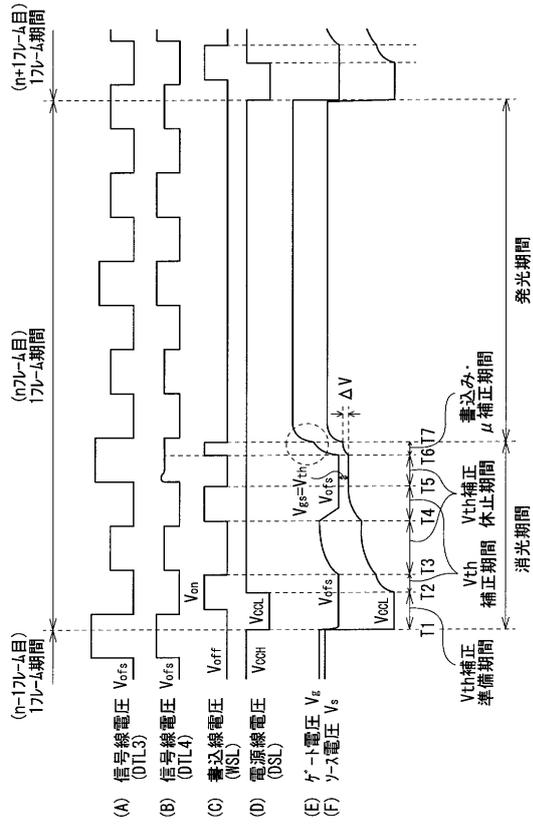
【図8】



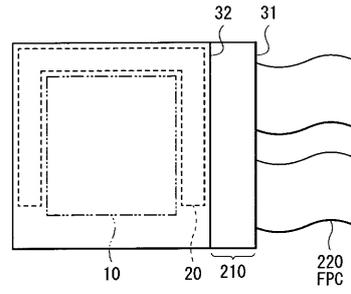
【図9】



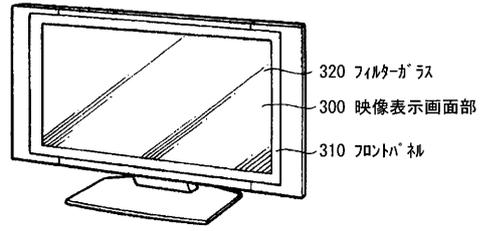
【図10】



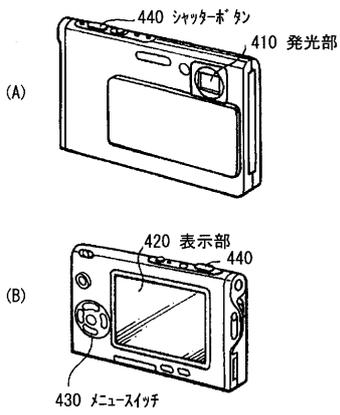
【図11】



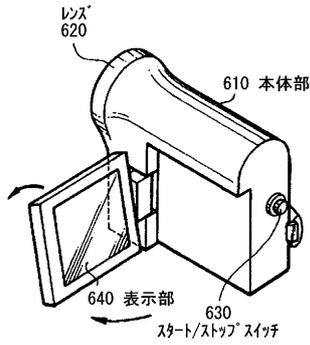
【図12】



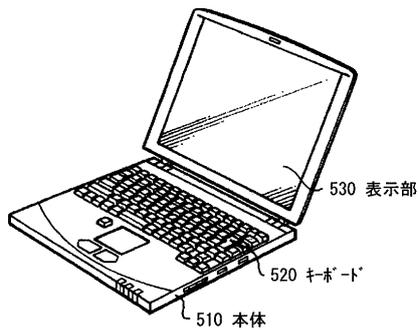
【図13】



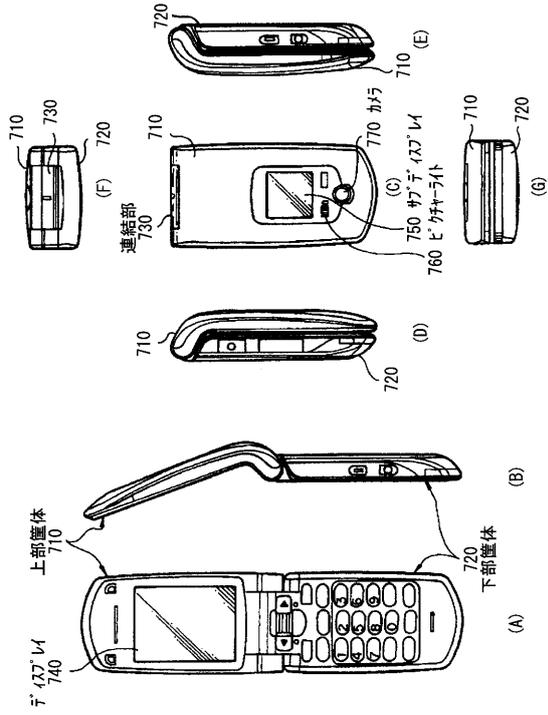
【図15】



【図14】



【図16】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 8 0 G
	G 0 9 G	3/20	6 8 0 F
	G 0 9 G	3/20	6 1 1 D
	G 0 9 G	3/20	6 7 0 E
	H 0 5 B	33/14	A

- (56)参考文献 特開平 1 1 - 0 2 4 6 0 6 (J P , A)
 米国特許出願公開第 2 0 1 1 / 0 0 7 3 8 6 8 (U S , A 1)
 特開平 0 5 - 0 5 3 1 3 7 (J P , A)
 特開 2 0 0 7 - 2 1 9 4 9 6 (J P , A)
 特開平 1 0 - 2 1 3 8 1 4 (J P , A)
 米国特許出願公開第 2 0 0 8 / 0 0 2 9 7 6 8 (U S , A 1)
 特開 2 0 0 8 - 0 3 3 0 9 1 (J P , A)
 特開 2 0 0 6 - 2 1 5 4 2 5 (J P , A)
 米国特許出願公開第 2 0 0 3 / 0 1 4 6 6 9 3 (U S , A 1)
 特開 2 0 1 2 - 0 8 3 5 6 1 (J P , A)
 特開 2 0 1 0 - 2 1 7 4 8 4 (J P , A)
 特開 2 0 0 8 - 1 4 5 6 2 4 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

G 0 9 F	9 / 3 0
H 0 1 L	2 7 / 3 2
H 0 1 L	5 1 / 5 0
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 0