



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년05월14일
(11) 등록번호 10-1520024
(24) 등록일자 2015년05월07일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
- (21) 출원번호 10-2013-7018917(분할)
- (22) 출원일자(국제) 2010년11월08일
심사청구일자 2013년07월18일
- (85) 번역문제출일자 2013년07월18일
- (65) 공개번호 10-2013-0086264
- (43) 공개일자 2013년07월31일
- (62) 원출원 특허 10-2012-7016416
원출원일자(국제) 2010년11월08일
- (86) 국제출원번호 PCT/JP2010/070249
- (87) 국제공개번호 WO 2011/065244
국제공개일자 2011년06월03일
- (30) 우선권주장
JP-P-2009-270854 2009년11월28일 일본(JP)
- (56) 선행기술조사문헌
JP2008533693 A*
JP2008130606 A
KR1020080069607 A
WO2007058231 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시카기이사 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시카기이사 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

진체 청구항 수 : 총 10 항

심사관 : 설관식

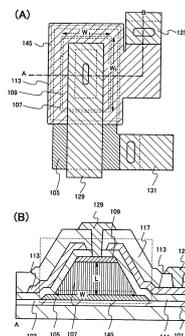
(54) 발명의 명칭 반도체 장치 및 그 제작 방법

(57) 요약

본 발명은, 생산성이 높은 새로운 반도체 재료를 이용한 대전력용의 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 새로운 반도체 재료를 이용한 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막이 적층된 산화물 반도체 적층체를 가지는 종형 트랜지스터 및 종형 다이오드이다. 이 산화물 반도체 적층체는 결정 성장의 공정에 있어서, 산화물 반도체 적층체에 포함되는 전자 공여체(도너)가 되는 불순물이 제거되기 때문에, 산화물 반도체 적층체는 고순도화되고, 캐리어 밀도가 낮고, 진성 또는 실질적으로 진성인 반도체로서, 실리콘 반도체보다 밴드갭이 크다.

대표도 - 도1



명세서

청구범위

청구항 1

비정질 절연 표면 상의 산화물 반도체막으로서,
 상기 산화물 반도체막은 인듐, 아연, 인듐 및 아연 외의 금속 원소, 및 산소를 포함하고,
 상기 산화물 반도체막은 고순도화되고,
 상기 산화물 반도체막은 진성 또는 실질적으로 진성이고,
 상기 산화물 반도체막은 c축들이 상기 산화물 반도체막의 표면에 실질적으로 수직인 복수의 결정성 영역을 포함하고,
 상기 복수의 결정성 영역의 각각은 평판 형상을 가지는, 산화물 반도체막.

청구항 2

비정질 절연 표면 상의 산화물 반도체막으로서,
 상기 산화물 반도체막은 인듐, 아연, 인듐 및 아연 외의 금속 원소, 및 산소를 포함하고,
 상기 산화물 반도체막은 c축들이 상기 산화물 반도체막의 표면에 실질적으로 수직인 복수의 결정성 영역을 포함하고,
 상기 산화물 반도체막에서의 철의 농도는 1.0×10^{15} 원자/cm³ 이하이고,
 상기 복수의 결정성 영역의 각각은 평판 형상을 가지는, 산화물 반도체막.

청구항 3

비정질 절연 표면 상의 산화물 반도체막으로서,
 상기 산화물 반도체막은 인듐, 아연, 인듐 및 아연 외의 금속 원소, 및 산소를 포함하고,
 상기 산화물 반도체막은 c축들이 상기 산화물 반도체막의 표면에 실질적으로 수직인 복수의 결정성 영역을 포함하고,
 상기 산화물 반도체막에서의 니켈의 농도는 1.0×10^{15} 원자/cm³ 이하이고,
 상기 복수의 결정성 영역의 각각은 평판 형상을 가지는, 산화물 반도체막.

청구항 4

비정질 절연 표면 상의 산화물 반도체막으로서,
 상기 산화물 반도체막은 인듐, 아연, 인듐 및 아연 외의 금속 원소, 및 산소를 포함하고,
 상기 산화물 반도체막은 c축들이 상기 산화물 반도체막의 표면에 실질적으로 수직인 복수의 결정성 영역을 포함하고,
 상기 산화물 반도체막에서의 수소의 농도는 1.0×10^{18} /cm³ 이하이고,
 상기 복수의 결정성 영역의 각각은 평판 형상을 가지는, 산화물 반도체막.

청구항 5

비정질 절연 표면 상의 산화물 반도체막으로서,

상기 산화물 반도체막은 인듐, 아연, 인듐 및 아연 외의 금속 원소, 및 산소를 포함하고,
 상기 산화물 반도체막은 c축들이 상기 산화물 반도체막의 표면에 실질적으로 수직인 복수의 결정성 영역을 포함하고,
 상기 산화물 반도체막에 n형의 도전형을 부여하는 불순물의 농도가 감소되어, 상기 산화물 반도체막이 진성 또는 실질적으로 진성이고,
 상기 복수의 결정성 영역의 각각은 평판 형상을 가지는, 산화물 반도체막.

청구항 6

비정질 절연 표면 상의 산화물 반도체막으로서,
 상기 산화물 반도체막은 인듐, 아연, 인듐 및 아연 외의 금속 원소, 및 산소를 포함하고,
 상기 산화물 반도체막은 고순도화되고,
 상기 산화물 반도체막은 c축들이 상기 산화물 반도체막의 표면에 실질적으로 수직인 복수의 결정성 영역을 포함하고,
 상기 산화물 반도체막에서의 산소 결핍에 의해 생긴 상태 밀도가 감소되어, 상기 산화물 반도체막이 진성 또는 실질적으로 진성이고,
 상기 복수의 결정성 영역의 각각은 평판 형상을 가지는, 산화물 반도체막.

청구항 7

비정질 절연 표면 상의 산화물 반도체막으로서,
 상기 산화물 반도체막은 인듐, 아연, 인듐 및 아연 외의 금속 원소, 및 산소를 포함하고,
 상기 산화물 반도체막은 제 1 영역과 상기 제 1 영역 위의 제 2 영역을 포함하고,
 상기 제 1 영역은 비정질 부분과 복수의 결정을 포함하고,
 상기 제 2 영역은 c축들이 상기 산화물 반도체막의 표면에 실질적으로 수직인 복수의 결정성 영역을 포함하고,
 상기 복수의 결정성 영역의 각각은 평판 형상을 가지는, 산화물 반도체막.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,
 상기 금속 원소는 갈륨인, 산화물 반도체막.

청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,
 상기 산화물 반도체막은 산화질화 실리콘 상에 제공되고,
 상기 산화질화 실리콘은 상기 비정질 절연 표면을 포함하는, 산화물 반도체막.

청구항 10

삭제

청구항 11

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,
 상기 복수의 결정성 영역에서 인듐의 전자운들이 서로 중첩하는, 산화물 반도체막.

발명의 설명

기술분야

[0001] 본 발명은, 산화물 반도체를 이용한 반도체 소자를 가지는 반도체 장치 및 그 제작 방법에 관한 것이다.

배경기술

[0002] 절연 표면을 가지는 기판 위에 비교적 저온에서 형성된 반도체 박막을 이용하여 박막 트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막 트랜지스터는 액정 TV로 대표되는 표시 장치에 이용되고 있다. 박막 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 공지되어 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0003] 산화물 반도체의 재료로서는, 산화아연 또는 산화아연을 성분으로 하는 것이 알려져 있다. 그리고, 전자 캐리어 밀도가 10^{18} cm^{-3} 미만인 비정질 산화물(산화물 반도체)로 이루어지는 것으로 형성된 박막 트랜지스터가 개시되어 있다(특허문헌 1 내지 3).

선행기술문헌

특허문헌

- [0004] (특허문헌 0001) 일본국 특개 2006-165527호 공보
- (특허문헌 0002) 일본국 특개 2006-165528호 공보
- (특허문헌 0003) 일본국 특개 2006-165529호 공보

발명의 내용

해결하려는 과제

[0005] 그런데, 대전력 용도의 반도체 장치에 이용하는 트랜지스터는 고내압, 고변환 효율, 고속 스위칭 등의 특성이 필요하게 된다. 이들 반도체 장치의 반도체 재료로서는 실리콘이 채용되고 있지만, 상술한 관점에서, 더욱 특성을 향상시킬 수 있는 새로운 반도체 재료가 요구되고 있다.

[0006] 상술한 모든 특성을 향상시킬 수 있는 반도체 재료로서는, 예를 들면, 탄화실리콘을 들 수 있다. 탄화실리콘은 Si-C 결합의 원자간 거리가 약 0.18 nm로 짧고, 결합 에너지가 높고, 실리콘과 비교하여 약 3배로 큰 밴드갭을 가지기 때문에, 반도체 장치의 내압 향상, 전력 손실의 저감 등에 유리하다는 것이 알려져 있다.

[0007] 그런데, 탄화실리콘은 그 성질상 용융시키는 것이 곤란하기 때문에, 실리콘 웨이퍼를 제조할 때에 이용되는 초크랄스키법(Czochralski method: CZ법) 등의 생산성이 높은 방법을 이용하여 제조할 수 없다는 문제가 있다. 또한, 탄화실리콘에는 마이크로 파이프라고 불리는 결함의 문제가 존재한다. 이들 문제로부터, 탄화실리콘을 이용한 반도체 장치의 실용화는 늦어지고 있다.

[0008] 상기 문제를 감안하여, 개시하는 발명의 일 양태에서는, 생산성이 높은 새로운 반도체 재료를 이용한 대전력용의 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또는, 새로운 반도체 재료를 이용한 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0009] 본 발명의 일 양태는, 기판 위에 형성된 제 1 전극 위에, 제 1 산화물 반도체막을 형성하고, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 가열 처리를 행하여 표면으로부터 내부를 향하여 결정 성장하고, 제 1 전극에 접하는 결정성을 가지는 제 1 산화물 반도체막을 형성하고, 결정성을 가지는 제 1 산화물 반도체막 위에 결정성을 가지는 제 2 산화물 반도체막을 적층하는 것을 특징으로 한다. 또한, 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막은 그 표면에 균일한 결정 방위를 가지는 평판형상의 다결정 영역을 가진다. 평판형상의 다결정 영역은 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막의 표면에 대하여 수직 방향으로 c축 배향을 하고 있다. 또한, a-b면에서 서로 인접하고 있는 평면의 원소는 동일물이다. 또한, 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막은 그 표면에 균일한 결정 방위를 가지는 평판형상의 다결정 영역을 가진다. 평판형상의 다결정 영역은 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막의 표면에 대하여 수직 방향으로 c축 배향을 하고 있다. 또한, a-b면에서 서로 인접하고 있는 평면의 원소는 동일물이다. 또한, 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막은 그 표면에 균일한 결정 방위를 가지는 평판형상의 다결정 영역을 가진다. 평판형상의 다결정 영역은 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막의 표면에 대하여 수직 방향으로 c축 배향을 하고 있다. 또한, a-b면에서 서로 인접하고 있는 평면의 원소는 동일물이다. 또한, 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막은 그 표면에 균일한 결정 방위를 가지는 평판형상의 다결정 영역을 가진다. 평판형상의 다결정 영역은 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막의 표면에 대하여 수직 방향으로 c축 배향을 하고 있다. 또한, a-b면에서 서로 인접하고 있는 평면의 원소는 동일물이다.

물 반도체막의 c축 방향은 표면에 대하여 수직 방향에 일치한다.

- [0010] 결정성을 가지는 제 2 산화물 반도체막은 결정성을 가지는 제 1 산화물 반도체막 위에 제 2 산화물 반도체막을 형성한 후, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 가열 처리를 행하고, 결정성을 가지는 제 1 산화물 반도체막의 표면보다 상방의 제 2 산화물 반도체막의 표면을 향하여 결정 성장을 시켜 형성할 수 있다. 즉, 결정성을 가지는 제 1 산화물 반도체막은 제 2 산화물 반도체막에서는 종결정에 상당한다.
- [0011] 또한, 결정성을 가지는 제 2 산화물 반도체막은 결정성을 가지는 제 1 산화물 반도체막 위에, 200℃ 이상 550℃ 이하로 가열하면서 퇴적한다. 대표적으로는 스퍼터링법을 이용하여 퇴적함으로써, 결정성을 가지는 제 1 산화물 반도체막의 표면으로부터 에피택셜 성장(epitaxial growth) 또는 액시얼 성장(axial growth)시켜, 결정성을 가지는 제 2 산화물 반도체막을 형성할 수 있다. 즉, 결정성을 가지는 제 1 산화물 반도체막은 제 2 산화물 반도체막에서는 종결정에 상당한다.
- [0012] 결정성을 가지는 제 2 산화물 반도체막은 결정성을 가지는 제 1 산화물 반도체막을 종결정으로서 결정 성장하고 있기 때문에, 결정성을 가지는 제 1 산화물 반도체막과 실질적으로 같은 결정 방위를 가진다.
- [0013] 이 후, 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 에칭하여 섬 형상으로 하고, 제 2 산화물 반도체막 위에 제 2 전극을 형성하고, 게이트 절연막, 및 게이트 전극으로서 기능하는 제 3 전극을 형성함으로써, 반도체 소자로서, 종형의 트랜지스터, 종형의 다이오드 등을 제작할 수 있다. 또한, 제 1 전극은 소스 전극 및 드레인 전극의 한쪽으로서 기능하고, 제 2 전극은 소스 전극 및 드레인 전극의 다른 한쪽으로서 기능한다.
- [0014] 결정성을 가지는 제 1 산화물 반도체막을 형성하기 위한 가열 처리(제 1 가열 처리), 및 결정성을 가지는 제 2 산화물 반도체막을 형성하기 위한 가열 처리(제 2 가열 처리)는 수소 및 수분을 거의 포함하지 않는 분위기(질소 분위기, 산소 분위기, 건조 공기 분위기 등)에서 행하는 것이 바람직하다. 이 제 1 가열 처리 및 제 2 가열 처리에 의해, 제 1 산화물 반도체막 중으로부터 H, OH, H₂O 등을 이탈시키는 탈수화 또는 탈수소화가 행해지고, 결정성을 가지는 제 1 산화물 반도체막, 및 결정성을 가지는 제 2 산화물 반도체막을 고순도화할 수 있다. 또한, 이 가열 처리는 불활성 분위기에서 승온하고, 도중에 전환하여 산소를 포함하는 분위기로 하는 가열 처리를 행하는 것도 가능하고, 산소 분위기에서 가열 처리를 행하는 경우에는, 산화물 반도체막을 산화하므로, 산소 결합을 수복할 수 있다. 이 가열 처리를 행한 결정성을 가지는 제 1 산화물 반도체막은 TDS(Thermal Desorption Spectroscopy)에서 450℃까지 측정을 행하여도 물의 두개의 피크 중, 적어도 300℃ 부근에 나타나는 하나의 피크는 검출되지 않는다.
- [0015] 또한, 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막이 In을 포함하는 경우, 평판 형상의 다결정 영역에서는 In의 전자운(electron cloud)이 서로 중첩하여 연결됨으로써, 이동도가 상승한다. 따라서, 다결정 영역을 가지는 산화물 반도체막을 채널에 가지는 트랜지스터는 높은 전계 효과 이동도를 실현할 수 있다.
- [0016] 또한, 결정성을 가지는 제 1 산화물 반도체막과, 결정성을 가지는 제 2 산화물 반도체막의 재료는 표면에 대하여 수직 방향으로 c축 배향하고 있는 다결정 영역이 얻어지는 것이라면, 특별히 한정되지 않고, 다른 재료를 이용해도 좋고, 동일 성분의 재료를 이용해도 좋다. 또한, 다른 재료를 이용하는 경우는 헤테로 에피택셜 성장이 행해지는 헤테로 에피택셜 구조이다.
- [0017] 또한, 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막을 동일 주성분의 산화물 반도체 재료로 형성하는 경우, 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막의 경계는 불명료하게 되고, 실질적으로 단층 구조가 되는 경우가 있다. 또한, 동일 성분의 재료를 이용하는 경우는 호모 에피택셜 성장이 행해지는 호모 에피택셜 구조이다.
- [0018] 또한, 성막 직후에 비정질의 산화물 반도체막의 경우, 결정성을 가지는 제 1 산화물 반도체막의 표면에 형성되는 결정 방위가 정렬된 다결정 영역은 표면으로부터 깊이 방향으로 결정 성장하기 때문에, 결정성을 가지는 제 1 산화물 반도체막의 베이스 부재의 영향을 받지 않고 형성할 수 있다.
- [0019] 본 발명의 일 형태인 종형 트랜지스터 및 종형 다이오드는 결정성을 가지는 제 1 산화물 반도체막 및 결정성을 가지는 제 2 산화물 반도체막이 적층된 산화물 반도체 적층체를 가진다. 결정 성장의 공정에 있어서, 이 산화물 반도체 적층체에 포함되는 전자 공여체(도너)가 되는 불순물이 제거되기 때문에, 산화물 반도체 적층체는 고순도화되고, 캐리어 밀도가 낮고, 진성 또는 실질적으로 진성인 반도체이다. 또한, 실리콘 반도체보다 밴드갭이 크다.

[0020] 고순도화된 산화물 반도체 적층체에 포함되는 수소 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하, $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 또한, 실질적으로는 0으로 하고, 캐리어 밀도는 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 더욱 바람직하게는 측정 하한 미만인 $1.45 \times 10^{10} \text{ cm}^{-3}$ 미만이고, 밴드 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다.

[0021] 이와 같이 고순도화된 산화물 반도체 적층체를, 트랜지스터의 채널 형성 영역에 이용함으로써, 게이트 절연막과 접하는 산화물 반도체 적층체의 표면뿐만 아니라, 산화물 반도체 적층체의 내부(산화물 반도체 적층체 전체)에서도 채널을 형성하는 것이 가능하고, 온 상태일 때 대전류를 흘릴 수 있다. 또한, 오프 상태에서는 공핍층이 산화물 반도체 적층체의 내부의 보다 깊은 영역까지 넓어지기 때문에, 오프 상태에 흐르는 오프 전류를 저감할 수 있다. 더욱이, 내압이 높아짐과 동시에, 핫캐리어 열화가 발생하기 어렵게 되고, 고전압이 인가되는 대전력용의 반도체 장치를 제작할 수 있다.

[0022] 또한, 이와 같이 고순도화된 산화물 반도체 적층체를 다이오드에 이용함으로써, 정류성이 높은 다이오드가 된다.

[0023] 또한, 본 발명의 일 형태의 트랜지스터는 절연 게이트 전계 효과 트랜지스터(Insulated-Gate Field-Effect Transistor(IGFET))와, 파워 MOSFET를 포함한다.

발명의 효과

[0024] 본 발명의 일 형태에 따르면, 수소 농도가 저감되어 고순도화되고, 또한, 다결정 영역을 가지는 산화물 반도체 막을 이용함으로써, 트랜지스터 및 다이오드의 동작을 양호한 것으로 할 수 있다. 특히, 트랜지스터에 있어서는, 내압성을 높이고, 쇼트 채널 효과를 저감하고, 온 오프비를 높일 수 있다. 따라서, 이 트랜지스터를 이용함으로써, 대전력용의 반도체 장치를 제작할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 트랜지스터를 설명하는 상면도 및 단면도이다.
- 도 2는 산화물 반도체를 이용한 종형의 트랜지스터의 종단면도이다.
- 도 3은 도 2에 나타난 A-A' 단면에서의 에너지 밴드도(모식도)이다.
- 도 4는 진공 준위와 금속의 일함수(ϕ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸 도면이다.
- 도 5는 도 2의 B-B' 단면에서의 에너지 밴드도(모식도)이다.
- 도 6(A)은 게이트(GE1)에 정(正)의 전위(+VG)가 인가된 상태를 나타내고, 도 6(B)은 게이트(GE1)에 부(負)의 전위(-VG)가 인가된 상태를 나타낸 도면이다.
- 도 7은 트랜지스터를 설명하는 상면도 및 단면도이다.
- 도 8은 다이오드를 설명하는 단면도이다.
- 도 9는 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 10은 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 11은 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 12는 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 13은 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 14는 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 15는 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 16은 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 17은 트랜지스터의 제작 방법을 설명하는 단면도이다.
- 도 18은 태양광 발전(photovoltaic) 시스템의 일례를 설명하는 도면이다.

도 19는 산화물 반도체막의 단면 TEM 사진과 산화물 반도체막의 단면의 모식도이다.

도 20은 산화물 반도체막의 단면 TEM 사진과 산화물 반도체막의 단면의 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면 간에서 공통으로 이용하고, 그 반복 설명은 생략한다.
- [0027] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 층의 두께, 또는 영역은 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시형태는 반드시 그 스케일에 한정되지 않는다.
- [0028] 또한, 본 명세서에서 이용하는 제 1, 제 2, 제 3 등의 용어는 구성 요소의 혼동을 피하기 위해 붙인 것이고, 수적으로 한정하는 것은 아니다. 따라서, 예를 들면, 「제 1」을 「제 2」 또는 「제 3」 등과 적절히 치환하여 설명할 수 있다.
- [0029] 또한, 전압이란 2점 간에서의 전위차를 말하고, 전위란 어느 한점에서의 정전장 중에 있는 단위 전하가 가지는 정전 에너지(전기적인 위치 에너지)를 말한다. 단, 일반적으로, 어느 일점에서의 전위와 기준이 되는 전위(예를 들면, 접지 전위)와의 전위차를 단순히 전위 혹은 전압이라고 부르고, 전위와 전압이 동의어로서 이용되는 경우가 많다. 따라서, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압이라고 바꿔 읽어도 좋고, 전압을 전위라고 바꿔 읽어도 좋은 것으로 한다.
- [0030] (실시형태 1)
- [0031] 본 실시형태에서는, 반도체 소자의 일 형태인 트랜지스터의 구조에 대하여, 도 1을 이용하여 설명한다.
- [0032] 도 1(A)은 트랜지스터(145)의 상면도이고, 도 1(B)은 도 1(A)의 일점쇄선 A-B의 단면도에 상당한다.
- [0033] 도 1(B)에 나타난 바와 같이, 기판(101) 위에 형성된 절연막(103) 위에, 제 1 전극(105), 다결정 영역을 가지는 산화물 반도체막(107), 및 제 2 전극(109)이 적층된다. 또한, 산화물 반도체막(107)의 상면 전체에 접하여 제 2 전극(109)이 적층된다. 또한, 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)을 덮도록, 게이트 절연막(111)이 형성되어 있다. 게이트 절연막(111) 위에는, 적어도 산화물 반도체막의 측면과 대향하는 제 3 전극(113)이 형성되어 있다. 게이트 절연막(111) 및 제 3 전극(113) 위에는 층간 절연막으로서 기능하는 절연막(117)이 형성되어 있다. 절연막(117) 위에는, 개구부가 형성되어 있고, 개구부에 있어서 제 1 전극(105)과 접촉하는 배선(131)(도 1(A) 참조), 제 2 전극(109)과 접촉하는 배선(129), 제 3 전극(113)과 접촉하는 배선(125)이 형성된다. 또한, 본 명세서에서는, 막의 상면이란 기판(101)과 평행한 한쌍의 면에 있어서, 기판(101)과 반대측에 형성되는 면을 말한다.
- [0034] 제 1 전극(105)은 트랜지스터(145)의 소스 전극 및 드레인 전극의 한쪽으로서 기능한다. 제 2 전극(109)은 트랜지스터(145)의 소스 전극 및 드레인 전극의 다른 한쪽으로서 기능한다. 제 3 전극(113)은 트랜지스터(145)의 게이트 전극으로서 기능한다.
- [0035] 본 실시형태에서는, 산화물 반도체막(107)은 결정성을 가지고, 표면에 결정 방위가 정렬된 평판 형상의 다결정 영역을 가진다. 즉, 산화물 반도체막(107)의 다결정 영역은 표면에 대하여 수직 방향으로 c축 배향을 하고 있다. 즉, 산화물 반도체막(107)의 c축 방향은 표면에 대하여 수직 방향에 일치한다. 또한, a-b면에서의 서로 인접하는 평면의 원소는 동일물이다. 또한, 평판 형상의 다결정 영역은 표면에 대하여 수직 방향으로 c축을 가지는 단결정 영역을 복수 가지는 영역이다.
- [0036] 다결정 영역은 In의 전자운이 서로 중첩하여 연결됨으로써, 전기 전도율(σ)이 상승한다. 따라서, 다결정 영역을 가지는 산화물 반도체막을 가지는 트랜지스터는 높은 전계 효과 이동을 실현할 수 있다.
- [0037] 산화물 반도체막(107)은 금속 산화물이고, 사원계 금속 산화물인 In-Sn-Ga-Zn-O막이나, 삼원계 금속 산화물인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, Sn-Al-Zn-O막이나, 이원계 금속 산화물인 In-Zn-O막, Sn-Zn-O막, Al-Zn-O막, Zn-Mg-O막, Sn-Mg-O막, In-Mg-O막이나, In-O막, Sn-O막, Zn-O막 등의 금속 산화물막을 이용할 수 있다.

- [0038] 산화물 반도체막(107)은 $InMO_3(ZnO)_m(m>0)$ 으로 표기되는 재료를 이용할 수 있다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0039] 또한, 산화물 반도체막(107)은 $In-A-B-O$ 로 표현되는 산화물 반도체 재료를 이용해도 좋다. 여기서, A는 갈륨(Ga)이나 알루미늄(Al) 등의 13족 원소, 실리콘(Si)이나 게르마늄(Ge)으로 대표되는 14족 원소 등으로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. 또한, B는 아연(Zn)으로 대표되는 12족 원소로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. 또한, In, A, B의 함유량은 임의이고, A의 함유량이 제로인 경우를 포함한다. 한편, In 및 B의 함유량은 제로가 아니다. 즉, 상술한 표기에는 $In-Ga-Zn-O$ 나 $In-Zn-O$ 등이 포함된다.
- [0040] 산화물 반도체막(107)이 $In_2Ga_2ZnO_7$ 의 결정 구조나 $InGaZnO_4$ 의 결정 구조인 경우, In, Ga, Zn 중 어느 것인가를 함유하고, a축(a-axis) 및 b축(b-axis)에 평행한 레이어(layer)의 적층 구조로서 취할 수 있다. $InGaZnO_4$ 의 결정이나 $In_2Ga_2ZnO_7$ 의 결정의 전기 전도는 주로 In에 의해 제어되기 때문에, In을 함유하는 레이어의, a축 및 b축에 평행한 방향에 관한 전기 특성은 양호하다. $InGaZnO_4$ 의 결정이나 $In_2Ga_2ZnO_7$ 의 결정은 In의 전자운이 서로 중첩하여 연결되고, 캐리어 패스(carrier path)가 형성된다.
- [0041] 즉, a-b면의 방향과 c축의 방향에서는 a-b면의 방향이 결정화하기 쉽다. 또한, 평판 형상의 다결정 영역에 있어서, 각각의 단결정 영역의 a-b면은 표면에 대하여 평행하게 된다. 또한, 산화물 반도체막(107)의 표면보다 위는 자유 공간이고, 여기서의 상방으로의 결정의 성장은 없다. 이들은, TDS의 측정 시에 450℃까지 측정을 행했을 때, 산화물 반도체막(107)이 $In-Ga-Zn-O$ 막인 경우, In이나 Ga는 검출되지 않지만, 아연은 진공 가열 조건 하, 특히 300℃ 부근에서 피크 검출되는 것을 확인할 수 있는 것으로부터 추찰된다. 또한, TDS의 측정은 진공 중에서 행해지고, 아연의 이탈은 200℃ 부근으로부터 검출되는 것을 확인할 수 있다.
- [0042] 종래의 산화물 반도체는 일반적으로 n형이고, 산화물 반도체를 이용한 트랜지스터는 게이트 전압이 0V일 때에도 소스 전극과 드레인 전극의 사이에 전류가 흐르는, 소위 노멀리 온이 되기 쉽다. 전계 효과 이동도가 높아도 트랜지스터가 노멀리 온인 경우, 회로로서 제어하는 것이 곤란하다. 또한, 산화물 반도체에 있어서 수소의 일부는 도너가 되고 n형화하는 하나의 요인인 것이 알려져 있다. 또한, 산소 결함의 일부도 도너가 되고 n형화하는 하나의 요인인 것이 알려져 있다.
- [0043] 따라서 산화물 반도체막을 i형으로 하기 위해, n형 불순물인 수소를 산화물 반도체막으로부터 제거하고, 산화물 반도체막의 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화하고, 또한, 산소 결함을 제거함으로써 진성(i형)으로 하거나, 또는 실질적으로 진성형으로 한다. 즉, 불순물을 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물이나 산소 결함을 극력 제거한 것에 의해, 고순도화된 i형(진성) 반도체 또는 그것에 가깝게 하는 것을 특징으로 한다. 산화물 반도체막을 고순도화함으로써, 트랜지스터의 스톱밴드 전압값을 플러스로 할 수 있고, 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다.
- [0044] 이때의 산화물 반도체막(107)의 수소 농도는, $1 \times 10^{18} \text{ cm}^{-3}$ 이하, $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 또한 실질적으로는 0이 바람직하다. 또한, 산화물 반도체막(107)의 캐리어 밀도가 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 더욱 바람직하게는 측정 하한 미만인 $1.45 \times 10^{10} \text{ cm}^{-3}$ 미만이다. 즉, 산화물 반도체막의 캐리어 밀도는 한없이 제로에 가깝다. 또한, 밴드갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다. 또한, 산화물 반도체막 중의 수소 농도 측정은 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 행할 수 있다. 캐리어 밀도는 홀 효과 측정에 의해 측정할 수 있다. 또한, 보다 낮은 캐리어 밀도의 측정은 CV 측정(Capacitance-Voltage-Measurement)의 측정 결과 및 수학적 식에 의해 구할 수 있다.
- [0045] [수학적 식 1]
- $$N_d = - \left(\frac{2}{e \epsilon_0 \epsilon} \right) \frac{d(1/C)^2}{dV}$$
- [0046]
- [0047] 산화물 반도체막(107)의 두께는 1 μm 이상, 바람직하게는 3 μm 이상, 보다 바람직하게는 10 μm 이상으로 함으로써, 대전력용의 반도체 장치를 제작할 수 있다.

- [0048] 또한, 본 실시형태에서는, 게이트 전극으로서 기능하는 제 3 전극(113)이 환상(環狀)이다. 게이트 전극으로서 기능하는 제 3 전극(113)을 환상으로 함으로써, 트랜지스터의 채널폭을 크게 할 수 있다. 본 실시형태의 트랜지스터에 있어서, 채널 길이(L)는 산화물 반도체막의 두께이고, 채널폭(W)은 제 1 전극 또는 제 2 전극에 접하는 산화물 반도체막의 단부의 길이이다. 또한, 여기에서는, 제 1 전극 또는 제 2 전극에 있어서, 면적이 넓은 쪽과 산화물 반도체막이 접하는 산화물 반도체막의 단부의 길이를 W로 한다. 본 실시형태에서는, 트랜지스터의 산화물 반도체막의 상면 형상은 W_1 과 W_2 를 변으로 하는 장방형이기 때문에, 채널폭(W)은 $2W_1$ 및 $2W_2$ 의 합이다. 또한, 트랜지스터의 산화물 반도체막의 상면 형상이 원형인 경우는, 원의 반경을 r로 했을 때, 채널폭(W)은 $2\pi r$ 이다.
- [0049] 또한, 본 실시형태의 트랜지스터는 산화물 반도체막이 다결정 영역을 가지기 때문에, 온 상태에서는 산화물 반도체막 전체가 채널로서 기능하고, 보다 많은 캐리어가 이동하기 때문에, 온 전류가 높다. 또한, 본 실시형태의 트랜지스터는 진성 캐리어 밀도가 매우 낮기 때문에, 최대 공핍층폭이 매우 넓어지고, 오프 상태에 있어서는 공핍층이 산화물 반도체막의 내부로 퍼져, 오프 전류가 저감된다. 즉, 온 오프비가 높은 트랜지스터이다.
- [0050] 또한, 트랜지스터는 게이트와, 드레인과, 소스를 포함하는 적어도 세 개의 단자를 가지는 소자이고, 드레인 영역과 소스 영역의 사이에 채널 형성 영역을 가지고, 드레인 영역과 채널 형성 영역과 소스 영역을 통하여 전류를 흘릴 수 있다. 여기서, 소스와 드레인은 트랜지스터의 구조나 동작 조건 등에 따라 변하기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역을 소스 또는 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는, 각각을 제 1 단자, 제 2 단자라고 표기하는 경우가 있다. 혹은, 각각을 제 1 전극, 제 2 전극이라고 표기하는 경우가 있다. 혹은, 제 1 영역, 제 2 영역이라고 표기하는 경우가 있다.
- [0051] 기판(101)은 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가지는 것이 필요하다. 기판(101)으로서, 바륨 붕규산 유리나 알루미늄 붕규산 유리 등의 유리 기판을 이용할 수 있다.
- [0052] 또한, 유리 기판으로서, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730°C 이상의 것을 이용하면 좋다. 또한, 유리 기판에는 예를 들면, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리 등의 유리 재료가 이용되고 있다. 또한, B_2O_3 보다 BaO를 많이 포함하는 유리 기판을 이용하는 것이 바람직하다.
- [0053] 또한, 상기의 유리 기판 대신에, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어지는 기판을 이용해도 좋다. 그 외에도, 결정화 유리 등을 이용할 수 있다.
- [0054] 절연막(103)은 산화실리콘막, 질화실리콘막 등의 산화물 절연막, 또는 질화실리콘막, 질화산화실리콘막, 질화알루미늄막, 또는 질화산화알루미늄막 등의 질화물 절연막으로 형성한다. 또한, 절연막(103)은 적층 구조이어도 좋고, 예를 들면, 기판(101)측으로부터 상기한 질화물 절연막의 어느 하나 이상과, 상기한 산화물 절연막의 어느 하나 이상과의 적층 구조로 할 수 있다. 절연막(103)의 두께는 100 nm 이상 $2\mu\text{m}$ 이하로 하는 것이 바람직하다.
- [0055] 제 1 전극(105) 및 제 2 전극(109)은 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐, 이트륨으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금, 상술한 금속 원소를 조합시킨 합금 등으로 형성한다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 톨륨의 어느 하나 또는 복수로부터 선택된 금속 원소를 이용할 수 있다. 또한, 제 1 전극(105)은 단층 구조, 또는 2층 이상의 적층 구조로 할 수 있다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 텅스텐막 위에 티탄막을 적층하는 2층 구조, 티탄막과, 그 티탄막 위에 중첩하여 알루미늄막을 적층하고, 또한 그 위에 티탄막을 형성하는 3층 구조 등을 들 수 있다. 또한, 알루미늄에, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소를 단수, 또는 복수 조합시킨 막, 합금막, 혹은 질화막을 이용해도 좋다.
- [0056] 또한, 제 1 전극(105) 및 제 2 전극(109)으로서, 인듐 주석 산화물, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 가지는 도전성 재료와, 상기 금속 원소의 적층 구조로 할 수도 있다.
- [0057] 게이트 절연막(111)은 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 또는 산화알루미늄막을 단층으로 또는 적층하여 형성할 수 있다. 게이트 절연막(111)은 산화물 반도체막(107)과 접하는 부분이 산소를 포함하는 것이 바람직하고, 특히 바람직하게는 산화실리콘막에 의해 형성한다. 산화실리콘막을 이용함으

로써, 산화물 반도체막(107)에 산소를 공급할 수 있고, 특성을 양호하게 할 수 있다.

[0058] 또한, 게이트 절연막(111)으로서, 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄 알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화하프늄, 산화이트륨 등의 high-k 재료를 이용함으로써 게이트 리크를 저감할 수 있다. 또한, high-k 재료와, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 또는 산화알루미늄막의 어느 하나 이상과의 적층 구조로 할 수 있다. 게이트 절연막(111)의 두께는 50 nm 이상 500 nm 이하로 하면 좋다. 게이트 절연막(111)의 두께를 두껍게 함으로써, 게이트 리크 전류를 저감할 수 있다.

[0059] 게이트 전극으로서 기능하는 제 3 전극(113)은 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합시킨 합금막 등을 이용하여 형성할 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨의 어느 하나 또는 복수로부터 선택된 금속 원소를 이용해도 좋다. 또한, 제 3 전극(113)은 단층 구조이어도, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 질화티탄막 위에 티탄막을 적층하는 2층 구조, 질화티탄막 위에 텅스텐막을 적층하는 2층 구조, 질화탄탈막 위에 텅스텐막을 적층하는 2층 구조, 티탄막과, 그 티탄막 위에 알루미늄막을 적층하고, 또한 그 위에 티탄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소의 막, 또는 복수 조합된 합금막, 혹은 질화막을 이용해도 좋다.

[0060] 또한, 게이트 전극으로서 기능하는 제 3 전극(113)은, 인듐 주석 산화물, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 가지는 도전성 재료와, 상기 금속 원소의 적층 구조로 할 수도 있다.

[0061] 다음에, 산화물 반도체막(107)을 가지는 트랜지스터의 동작에 대하여 에너지 밴드도를 이용하여 설명한다.

[0062] 도 2는, 산화물 반도체를 이용한 종형의 트랜지스터의 종단면도를 나타낸다. 드레인 전극(D) 위에 산화물 반도체막(OS)이 형성되고, 산화물 반도체막(OS) 위에 소스 전극(S)이 형성되고, 드레인 전극, 산화물 반도체막, 및 소스 전극 위에 게이트 절연막(GI)이 형성되고, 그 위에 게이트 전극(GE1)이 형성되어 있다.

[0063] 도 3은, 도 2에 나타낸 A-A' 단면에서의 에너지 밴드도(모식도)를 나타낸다. 도 3(A)는 소스와 드레인 사이의 전압을 등전위($V_D = 0V$)로 한 경우를 나타내고, 도 3(B)는 소스에 대하여 드레인에 정의 전위($V_D > 0$)를 더하고, 게이트 전극에 정의 전압($V_G > 0$)을 더한 경우를 나타낸다.

[0064] 도 5는 도 2의 B-B' 단면에서의 에너지 밴드도(모식도)를 나타내고, 게이트 전압이 0V인 경우의 상태를 나타낸다. 도 6(A)는 게이트(GE1)에 정의 전위($+V_G$)가 인가된 상태이고, 소스 및 드레인 사이에 캐리어(전자)가 흐르는 온 상태를 나타낸다. 또한, 도 6(B)는 게이트(GE1)에 부의 전위($-V_G$)가 인가된 상태이고, 오프 상태인 경우를 나타낸다.

[0065] 도 4는 진공 준위와 금속의 일함수(ϕ_M), 산화물 반도체의 전자 친화력(χ)의 관계를 나타낸다.

[0066] 금속은 축퇴하고 있기 때문에, 페르미 준위는 전도대 내에 위치한다. 한편, 종래의 산화물 반도체는 일반적으로 n형이고, 그 경우의 페르미 준위(E_F)는 밴드갭 중앙에 위치하는 진성 페르미 준위(E_i)로부터 떨어져, 전도대 근처에 위치하고 있다. 또한, 산화물 반도체에 있어서 수소의 일부는 도너가 되고 n형화하는 하나의 요인인 것이 알려져 있다.

[0067] 이것에 대하여 본 발명에 관한 산화물 반도체는 n형 불순물인 수소를 산화물 반도체로부터 제거하고, 산화물 반도체의 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화함으로써 진성(i형)으로 하거나, 또는 진성형에 가깝게 한 것이다. 즉, 불순물을 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물을 극력 제거함으로써, 고순도화된 i형 또는 그것에 가깝게 하는 것을 특징으로 하고 있다. 그렇게 함으로써, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 같은 레벨로까지 할 수 있다.

[0068] 산화물 반도체의 밴드갭(E_g)이 3.15 eV인 경우, 전자 친화력(χ)은 4.3 eV라고 알려져 있다. 소스 전극 및 드레인 전극을 구성하는 티탄(Ti)의 일함수는 산화물 반도체의 전자 친화력(χ)과 거의 같다. 이 경우, 금속-산

화물 반도체 계면에 있어서, 전자에 대하여 쇼트키형의 장벽은 형성되지 않는다.

[0069] 즉, 금속의 일함수(ϕ_M)와 산화물 반도체의 전자 친화력(χ)이 같은 경우, 양자가 접촉하면 도 3(A)에 나타낸 바와 같은 에너지 밴드도(모식도)가 얻어진다.

[0070] 도 3(B)에서 검은 동그라미(●)는 전자를 나타내고, 드레인에 정의 전위가 인가되면, 전자는 배리어(h)를 넘어 산화물 반도체에 주입되고, 드레인을 향하여 흐른다. 이 경우, 배리어(h)의 높이는 게이트 전압과 드레인 전압에 의존하여 변화하지만, 정의 드레인 전압이 인가된 경우에는, 전압이 인가되지 않은 도 3(A)의 배리어의 높이 즉 밴드갭(E_g)의 1/2보다 배리어의 높이(h)는 작은 값이 된다.

[0071] 산화물 반도체막의 두께는 $1\mu\text{m}$ 이상, 바람직하게는 $3\mu\text{m}$ 이상, 보다 바람직하게는 $10\mu\text{m}$ 이상이고, 또한 캐리어 밀도가 적다. 따라서, 게이트(GE1)에 정의 전위($+V_G$)가 인가된 상태에서는, 도 6(A)에 나타낸 바와 같이, 산화물 반도체막의 표면에 있어서의 밴드의 구부러짐이 적고, 전도대의 하단이 페르미 준위에 가까워져, 산화물 반도체막 전체에 있어서 에너지적으로 안정적이 된다. 따라서, 게이트 절연막의 근방뿐만 아니라, 산화물 반도체 전체에 있어서도 전자가 흐르기 쉬워지고, 산화물 반도체 전체에 채널이 형성되어, 보다 많은 전류를 흘릴 수 있다. 한편, 오프 전류, 즉, 게이트(GE1)에 부의 전위($-V_G$)가 인가된 상태에서 흐르는 전류는, 직접 재결합 또는 간접 재결합에 의한 정공과 전자의 생성-재결합에 의해 흐르지만, 산화물 반도체는 밴드갭이 넓고, 전자의 여기를 위해 큰 열에너지가 필요하기 때문에, 직접 재결합 및 간접 재결합이 발생하기 힘들다. 따라서, 게이트(GE1)에 부의 전위($-V_G$)가 인가된 상태에서는, 소수 캐리어인 홀은 실질적으로 제로이기 때문에, 직접 재결합 및 간접 재결합이 발생하기 어렵고, 전류는 한없이 낮고, 채널의 단위 면적당의 전류가 $100\text{ aA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{ aA}/\mu\text{m}$ 이하, 보다 바람직하게는 $1\text{ aA}/\mu\text{m}$ 이하로 제로에 가까운 값이 된다.

[0072] 여기서, 산화물 반도체의 진성 캐리어 밀도에 대하여 설명한다.

[0073] 반도체에 포함되는 진성 캐리어 밀도(n_i)는 페르미-디랙 통계에 의한 페르미-디랙 분포를 볼츠만 분포식으로 근사함으로써, 구해진다(수학식 2 참조).

[0074] [수학식 2]

$$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right)$$

[0075]

[0076] 근사식에 의해 구해지는 진성 캐리어 밀도(n_i)는 전도대에서의 실효 상태 밀도(N_C), 가전자대에서의 실효 상태 밀도(N_V), 및 밴드갭(E_g)의 관계식이고, 수학식 2로부터 실리콘의 진성 캐리어 밀도(n_i)는 $1.45 \times 10^{10}\text{ cm}^{-3}$, 산화물 반도체(여기에서는, In-Ga-Zn-O막)의 진성 캐리어 밀도(n_i)는 $1.2 \times 10^{-7}\text{ cm}^{-3}$ 가 되고, 전자는 후자보다 캐리어 밀도가 10^{17} 배 크다. 즉, 실리콘과 비교하여, 산화물 반도체의 진성 캐리어 밀도가 극단적으로 낮은 것을 알 수 있다.

[0077] 다음에, 게이트(GE1)에 부의 전위($-V_G$)를 인가한 경우의 공핍층폭 및 디바이(Debye) 길이에 대하여, 이하에 설명한다.

[0078] 도너 밀도(N_d)의 반도체와, 절연물과, 금속으로 구성되는 MOS 트랜지스터에 전압을 인가했을 때에, 반도체 중에 형성되는 최대 공핍층폭($T_{D\text{ MAX}}$)은 수학식 3으로 구해진다.

[0079] [수학식 3]

$$T_{D\text{ MAX}} = \sqrt{\frac{2\varepsilon_s \varepsilon_0 (2\phi_F)}{qN_d}}$$

[0080]

[0081] 최대 공핍층폭은 도너 밀도 및 페르미 포텐셜의 함수로 나타내어지고, 페르미 포텐셜(ϕ_F)은 수학식 4로 구해진다.

[0082] [수학식 4]

$$\phi_F = \frac{kT}{q} \ln \frac{N_d}{n_i}$$

[0083] 또한, MOS 트랜지스터의 디바이 길이(L_D)는 수학식 5로 구해진다.
[0084]

[0085] [수학식 5]

$$L_D = \sqrt{\frac{\epsilon_s \epsilon_0 kT}{q^2 N_d}}$$

[0086] 또한, ε_s는 산화물 반도체의 비유전율, ε₀는 진공의 유전율, N_d는 도너 밀도, q는 소전하, k는 볼츠만 정수, T는 온도를 나타낸다.
[0087]

[0088] 실리콘의 n_i(진성 캐리어 밀도)를 1.45×10¹⁰ cm⁻³, ε_s를 11.9로 하고, 산화물 반도체의 n_i를 1.2×10⁻⁷ cm⁻³, ε_s를 10으로 하여, 실리콘 및 산화물 반도체를 이용한 MOS 트랜지스터의 최대 공핍층폭, 디바이 길이를 계산했다. 여기서의 트랜지스터는 채널이 기판 표면에 대하여 평행하게 형성되는 횡형 MOS 트랜지스터의 구조를 이용하여 계산했다. 또한, 여기서의 최대 공핍층폭은 기판에 대하여 수직 방향으로 퍼지는 공핍층의 폭에 상당한다. 또한, 횡형 MOS 트랜지스터의 공핍층의 퍼짐은 중형 MOS 트랜지스터에 있어서도 마찬가지로의 경향이 보여진다.

[0089] 또한, 실리콘의 경우, 도너 밀도는 불순물(P)의 밀도에 의존한다. 산화물 반도체의 경우, 도너로서는 산소 결함이나 수소가 기여한다.

[0090] 수학식 4로부터 얻어지는 최대 공핍층폭 및 수학식 5로부터 얻어지는 디바이 길이는 도너 밀도가 낮을수록, 최대 공핍층이 퍼지고, 디바이 길이가 증대된다. 또한, 최대 공핍층폭(T_{D MAX})은 진성 캐리어 밀도(n_i)에 의존하고, n_i가 적은 산화물 반도체가 실리콘보다 공핍층이 퍼지는 것을 알 수 있다. 또한, 도너 밀도(N_d)가 저감할수록, 디바이 길이가 증대하고, 공핍층이 산화물 반도체 전체에 퍼진다. 대표적으로는, 도너 밀도가 1×10¹²~1×10¹⁸ cm⁻³의 사이에서는, 산화물 반도체 및 실리콘의 최대 공핍층폭이 서브 마이크론 오더로부터 수십 μm가 되고, 산화물 반도체 및 실리콘의 디바이 길이가 수 nm에서 수 μm가 된다. 또한, 도너 농도가 1×10⁻⁵~1×10¹ cm⁻³의 범위에서는, 산화물 반도체의 최대 공핍층폭이 수십 μm에서 수천 μm, 디바이 길이가 수 μm에서 수백 μm로 큰 폭으로 증대하고, 공핍층이 산화물 반도체 전체에 퍼지는 것을 알 수 있다.

[0091] 이상으로부터, 산화물 반도체는 밴드갭이 넓고, 진성 캐리어 밀도가 낮기 때문에, 최대 공핍층 및 디바이 길이가 증대되고, 오프 상태에서는 산화물 반도체 전체에 공핍층이 넓어지기 때문에, 오프 전류를 저감할 수 있고, 한없이 제로에 가까워진다.

[0092] 또한, 이와 같이 산화물 반도체의 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화함으로써 진성(i형)으로 하거나, 또는 실질적으로 진성으로 함으로써, 게이트 절연막과의 계면 특성이 나타난다. 따라서 게이트 절연막은 산화물 반도체와 양호한 계면을 형성할 수 있는 것이 바람직하다. 예를 들면, VHF대~마이크로파대의 전원 주파수로 생성되는 고밀도 플라즈마를 이용한 CVD법으로 제작되는 치밀한 절연막, 또는 스퍼터링법으로 제작되는 절연막을 이용하는 것이 바람직하다. 또한, 게이트 절연막과 게이트 전극과의 계면을 양호하게 하기 위해, 게이트 절연막의 표면에, VHF대~마이크로파대의 전원 주파수로 생성되는 고밀도 플라즈마를 이용한 CVD법으로 제작되는 치밀한 절연막을 형성해도 좋다.

[0093] 이와 같이, 산화물 반도체의 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화함으로써, 온 전류가 높고, 오프 전류가 낮고, 온 오프비가 높은, 양호한 동작 특성을 가지는 트랜지스터가 된다. 또한, 온도 변화에 따른 온 전류, 전계 효과 이동도, 스레숄드 전압의 변동이 매우 낮다.

[0094] 여기서, 산화물 반도체를 이용한 트랜지스터의 드레인 내성에 대하여 설명한다.

[0095] 반도체 중의 전계가 어느 스레숄드값에 달하면, 충돌 이온화가 생기고, 공핍층 내에서 고전계에 의해 가속된 캐

리어가 결정 격자에 충돌하고, 전자와 정공의 쌍을 생성한다. 전계가 더욱 높아지면, 충돌 이온화에 의해 발생한 전자와 정공의 쌍도 전계에 의해 더욱 가속되고, 충돌 이온화를 반복하여, 전류가 지수 함수적으로 증가하는 에벌란시 항복(avalanche breakdown)이 생긴다. 충돌 이온화는 캐리어(전자, 정공)가 반도체의 밴드갭 이상의 운동 에너지를 가지는 것에 의해 발생한다. 충돌 이온화가 일어나기 쉬운 정도를 나타내는 충돌 이온화 계수와 밴드갭에는 상관이 있고, 밴드갭이 클수록, 충돌 이온화 계수가 작아지는 경향이 알려져 있다.

[0096] 산화물 반도체의 밴드갭은 3.15 eV이고, 실리콘의 밴드갭의 1.12 eV와 비교하면 크기 때문에, 에벌란시 항복이 일어나기 어렵다고 기대된다. 따라서, 산화물 반도체를 이용한 트랜지스터는 드레인 내압이 높아지고, 고전계가 인가되어도 온 전류의 지수 함수적 급상승이 생기기 어렵다고 기대된다.

[0097] 다음에, 산화물 반도체를 이용한 트랜지스터의 핫캐리어 열화에 대하여 설명한다.

[0098] 핫캐리어 열화란, 고속으로 가속된 전자에 의해 채널 중의 드레인 근방에서 게이트 산화막 중에 고정 전하가 생기는 것이나, 게이트 절연막 계면에 트랩 준위를 형성함으로써, 스레숄드 전압의 변동이나 게이트 리크 등의 트랜지스터 특성의 열화가 생기는 것으로서, 핫캐리어 열화의 요인으로서, 채널 핫 일렉트론 주입(CHE 주입)과 드레인 에벌란시 핫캐리어 주입(DAHC 주입)이 있다.

[0099] 실리콘은 밴드갭이 좁기 때문에, 에벌란시 항복에 의해 눈사태처럼 전자가 발생하기 쉽고, 게이트 절연막으로의 장벽을 넘을 수 있을 정도로 고속으로 가속되는 전자수가 증가한다. 그러나, 본 실시형태에 나타내는 산화물 반도체는, 밴드갭이 넓기 때문에, 에벌란시 항복이 발생하기 어렵고, 실리콘과 비교하여 핫캐리어 열화의 내성이 높다. 또한, 고내압 재료의 하나인 실리콘 카바이드의 밴드갭과 산화물 반도체의 밴드갭은 동등하지만, 산화물 반도체 쪽이 이동도가 2자릿수 정도 작기 때문에, 전자가 가속되기 어렵고, 또한, 게이트 절연막인 산화막과의 장벽이, 실리콘 카바이드, 질화갈륨, 실리콘보다 크기 때문에, 산화막에 주입되는 전자가 매우 적으므로, 실리콘 카바이드, 질화갈륨, 실리콘보다 핫캐리어 열화가 생기기 어렵고, 드레인 내압이 높다고 할 수 있다. 따라서, 채널로서 기능하는 산화물 반도체와, 소스 전극 및 드레인 전극과의 사이에 저농도 불순물 영역을 형성할 필요가 없고, 트랜지스터 구조가 매우 간단하게 되고, 제조 공정수를 저감할 수 있다.

[0100] 이상으로부터, 산화물 반도체를 이용한 트랜지스터는 드레인 내압이 높고, 구체적으로는 100 V 이상, 바람직하게는 500 V 이상, 보다 바람직하게는 1 kV 이상의 드레인 내압을 가지는 것이 가능하다.

[0101] 여기서, 트랜지스터의 대표예인 실리콘 카바이드와 산화물 반도체의 비교에 대하여 이하에 나타낸다. 여기에서는, 실리콘 카바이드로서, 4H-SiC를 이용한다.

[0102] 산화물 반도체와 4H-SiC는 몇가지 공통점을 가지고 있다. 진성 캐리어 밀도는 그 일례이다. 상온에서의 페르미-디랙 분포를 이용하는 산화물 반도체의 진성 캐리어 밀도는 10^{-7} cm^{-3} 정도라고 추측되지만, 이것은 4H-SiC에서의 $6.7 \times 10^{-11} \text{ cm}^{-3}$ 와 마찬가지로 매우 낮은 값이다.

[0103] 또한, 산화물 반도체의 에너지 밴드갭은 3.0~3.5 eV이고, 4H-SiC의 에너지 밴드갭은 3.26 eV이기 때문에, 와이드갭 반도체라는 점에서도 산화물 반도체와 실리콘 카바이드는 공통된다.

[0104] 그러나, 산화물 반도체 및 실리콘 카바이드에 있어서, 제조 온도가 크게 다르다. 실리콘 카바이드는 예를 들면, 1500°C~2000°C의 활성화 열처리를 필요로 한다. 한편, 산화물 반도체는 450°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 열처리로 결정성을 가지는 산화물 반도체를 제작하는 것이 가능하고, 대면적 기판 위에 트랜지스터를 제작할 수 있다. 또한, 스루풋을 높일 수 있다.

[0105] SiC-MOSFET의 제작 공정에 있어서는, 도너 또는 억셉터가 될 수 있는 불순물(인, 붕소 등)의 도핑 공정, 및 활성화를 위한 고온 열처리 공정을 포함한다. 그런데, 산화물 반도체는 그 전자 친화력이 비교적 크다. 따라서, 적절한 일함수를 가지는 금속을 전극으로서 선택함으로써, 트랜지스터 제작 공정에 있어서 불순물을 첨가하지 않아도 전극과의 오믹 접촉을 형성할 수 있고, 콘택트부에 n^+ 영역을 형성하기 쉽다는 점에서 공정의 간략화를 도모할 수 있다.

[0106] 또한, 산화물 반도체에 있어서, 밴드갭 내의 DOS(density of state) 등의 물성 연구는 많이 되어 있지만, 이들의 연구는 DOS 자체를 충분히 저감시킨다는 사상을 포함하지 않는다. 본 실시형태에서는, 에너지 갭 중의 DOS의 원인이 될 수 있는 물이나 수소를 산화물 반도체 중으로부터 제거함으로써, 고순도화한 산화물 반도체를 제작한다. 이것은 DOS 자체를 충분히 저감시킨다는 사상에 기초하는 것이다. 그리고, 이것에 의해 매우 우수한 공업 제품의 제조를 가능하게 하는 것이다.

- [0107] 또한, 산소 결핍에 의해 발생하는 금속의 부대결합수에 대하여 산소를 공급하고, 산소 결핍에 의한 DOS를 감소 시킴으로써, 더욱 고순도화된(i형의) 산화물 반도체로 하는 것도 가능하다. 예를 들면, 채널 형성 영역에 밀접하여 산소 과잉의 산화막을 형성하고, 이 산화막으로부터 산소를 공급하여, 산소 결핍에 의한 DOS를 감소시키는 것이 가능하다.
- [0108] 산화물 반도체의 결함은 과잉의 수소에 의한 전도대보다 아래에 0.1~0.2 eV의 얇은 준위나, 산소의 부족에 의한 깊은 준위 등에 기인하는 것으로 되어 있다. 이들 결함을 없애기 위해, 수소를 철저히 제거하고, 산소를 충분히 공급한다는 기술 사상은 올바른 것일 것이다.
- [0109] 또한, 산화물 반도체는 일반적으로 n형으로 되어 있지만, 본 실시형태에서는 불순물, 특히 물이나 수소를 제거 함으로써 i형화를 실현한다. 이 점에서, 실리콘 등과 같이 불순물을 첨가한 i형화가 아니라, 종래에 없었던 기술 사상을 포함하는 것이라고 할 수 있다. 또한, 산화물 반도체를 구성하지 않는 중원소, 예를 들면, 철, 니켈 등의 불순물의 밀도도 $1 \times 10^{15} \text{ cm}^{-3}$ 이하인 것이 바람직하다.
- [0110] 또한, 산화물 반도체를 i형화함으로써, 트랜지스터의 온도 특성이 양호하고, 대표적으로는, -25°C 에서 150°C 까지의 온도 범위에서, 트랜지스터의 전류 전압 특성에 있어서, 온 전류, 오프 전류, 전계 효과 이동도, S값, 및 스톱밴드 전압의 변동이 거의 없고, 온도에 의한 전류 전압 특성의 열화가 거의 없다.
- [0111] 또한, 본 실시형태에 나타내는 산화물 반도체를 이용한 트랜지스터는, 실리콘 카바이드를 이용한 트랜지스터와 비교하여, 채널 이동도가 다소 낮지만, 드레인 전압을 높게 하고, 채널폭(W)을 크게 함으로써, 트랜지스터의 전류값을 높이고, 디바이스 특성을 향상시킬 수 있다.
- [0112] 본 실시형태의 기술 사상은 불순물을 산화물 반도체 중에 더 가하지 않고, 역으로 예상치 않게 존재하는 물, 수소와 같은 불순물을 의도적으로 제거함으로써, 산화물 반도체 자체를 고순도화하는 것이다. 즉, 도너 준위를 구성하는 물 또는 수소를 제거하고, 산소 결핍을 더욱 저감하여, 산화물 반도체를 구성하는 주성분 재료의 산소를 충분히 공급함으로써, 산화물 반도체를 고순도화하는 것이다.
- [0113] 성막 시점에서의 산화물 반도체에는, $1 \times 10^{20} \text{ cm}^{-3} \sim 9 \times 10^{20} \text{ cm}^{-3}$ 의 범위의 수소가 SIMS(2차 이온 질량 분석)로 측정된다. 이 도너 준위의 원인이 되는 물 또는 수소를 의도적으로 제거하고, 또한 물 또는 수소의 제거에 따라 동시에 감소되는 산소(산화물 반도체의 성분의 하나)를 산화물 반도체에 더함으로써, 산화물 반도체를 고순도화하여, i형(진성) 반도체로 한다.
- [0114] 또한, 본 실시형태에서는, 산화물 반도체 중의 물, 수소의 양은 적으면 적을수록 바람직하고, 캐리어도 적으면 적을수록 좋다. 즉, 캐리어 밀도는 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 더욱 바람직하게는 측정 하한 미만인 $1.45 \times 10^{10} \text{ cm}^{-3}$ 미만이 요구된다. 더욱이, 본 실시형태의 기술 사상적으로는, 제로에 가깝거나 또는 제로인 것이 이상적이다. 특히, 산화물 반도체를, 산소, 질소, 또는 조건조 공기(물의 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하의 공기) 분위기에서, 450°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 가열 처리를 함으로써, n형 불순물이 되는 물, 또는 수소를 제거하여, 고순도화할 수 있다. 또한, 물, 또는 수소 등의 불순물을 제거함으로써, 산화물 반도체를 고순도화하여, 캐리어 밀도를 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 더욱 바람직하게는 측정 하한 미만인 $1.45 \times 10^{10} \text{ cm}^{-3}$ 미만으로 할 수 있다.
- [0115] 또한, 열처리를 450°C 이상 850°C 이하, 바람직하게는 600°C 이상 700°C 이하의 고온으로 하면, 산화물 반도체를 고순도화함과 동시에, 결정화시키는 것이 가능하고, 산화물 반도체의 표면으로부터 내부를 향하여 결정 성장하여, c축 배향한 다결정 영역을 가지는 산화물 반도체가 된다. c축 배향한 다결정 영역이란, 표면에 대하여 수직 방향으로 c축을 가지는 단결정 영역을 복수 가지는 영역이다.
- [0116] 본 발명은, 이 c축 배향한 다결정 영역을 가지는 산화물 반도체막을 종결정으로 하고, 그 위에 제 2 산화물 반도체막을 형성하여, 450°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 가열 처리를 함으로써, 제 2 산화물 반도체막이 종결정과 마찬가지로 c축 배향한 다결정 영역을 가질 수 있다. 즉, 종결정인 c축과 제 2 산화물 반도체막의 c축이 동축이 되는, 이상적인 액시얼 성장, 또는 에피택셜 성장을 시킬 수 있다.
- [0117] 또한, 종결정과 동축이 되는 제 2 산화물 반도체막은 성막 후의 열처리에 의한 고상 성장뿐만 아니라, 200°C 이상 600°C 이하, 바람직하게는 200°C 이상 550°C 이하에서 가열하면서 제 2 산화물 반도체를 성막, 대표적으로는 스퍼터링함으로써, 퇴적하면서 결정 성장시킬 수 있다.

- [0118] 또한, 산화물 반도체의 캐리어를 저감하고, 바람직하게는 없앴으로써, 트랜지스터에 있어서 산화물 반도체는 캐리어를 통과시키는 통로(패스)로서 기능시킨다. 그 결과, 산화물 반도체는 고순도화한 i형(진성) 반도체이고, 캐리어가 없거나, 또는 매우 적게 함으로써, 트랜지스터의 오프 상태에서는 오프 전류를 매우 낮게 할 수 있다는 것이 본 실시형태의 기술 사상이다.
- [0119] 또한, 산화물 반도체는 통로(패스)로서 기능하고, 산화물 반도체 자체가 캐리어를 가지지 않거나, 또는 매우 적어지도록 고순도화한 i형(진성)으로 하면, 캐리어는 전극의 소스, 드레인에 의해 공급된다. 산화물 반도체의 전자 친화력(χ) 및 페르미 준위, 이상적으로는 진성 페르미 준위와 일치한 페르미 준위와, 소스, 드레인의 전극의 일함수를 적절히 선택함으로써, 소스 전극 및 드레인 전극으로부터 캐리어를 주입시키는 것이 가능하게 되어, n형 트랜지스터 및 p형 트랜지스터를 적절히 제작할 수 있다.
- [0120] 그런데, 채널이 기판과 대략 평행하게 형성되는 횡형 트랜지스터에서는, 채널 외에 소스 및 드레인을 형성할 필요가 있고, 기판에 있어서의 트랜지스터의 점유 면적이 크게 되어, 미세화에 방해가 된다. 그러나, 종형 트랜지스터에 있어서는, 소스, 채널, 및 드레인을 적층하기 때문에, 기판 표면에 있어서의 점유 면적을 저감할 수 있다. 이 결과, 트랜지스터의 미세화가 가능하다.
- [0121] 이와 같이, 산화물 반도체막의 주성분 이외의 불순물, 대표적으로는 수소, 물, 수산기 또는 수소화물 등이 극력 포함하지 않도록 고순도화하고, 또한, 다결정 영역을 가지게 함으로써, 트랜지스터의 동작을 양호한 것으로 할 수 있다. 특히, 내압을 높이고, 쇼트 채널 효과를 억제하여, 온 오프비를 높일 수 있다. 또한, BT 시험 전후에 있어서의 트랜지스터의 스레숄드 전압의 변화량을 억제할 수 있고, 높은 신뢰성을 실현할 수 있다. 또한, 전기 특성의 온도 의존성을 제어할 수 있다. 또한, 지금까지 보고된 금속 산화물은 아몰퍼스 상태의 것, 혹은, 다결정 상태의 것, 혹은, 1400℃ 정도의 고온에서의 처리에 의해 단결정을 얻는 것이었지만, 상기에 나타낸 바와 같이, 산화물 반도체막에 평판 형상의 다결정 영역을 형성한 후, 이 다결정 영역을 종(種)으로서 결정 성장시키는 방법에 의해, 비교적 저온에서 다결정 영역을 가지는 산화물 반도체막을 두껍게 하는 것이 가능하고, 보다 넓은 공업 응용이 가능하다.
- [0122] (실시형태 2)
- [0123] 본 실시형태에서는, 실시형태 1과 다른 구조의 트랜지스터에 대하여, 도 7을 이용하여 설명한다.
- [0124] 도 7(A)는 트랜지스터(147)의 상면도이고, 도 7(B)는 도 7(A)의 일점쇄선 A-B의 단면도에 상당한다.
- [0125] 도 7(B)에 나타낸 바와 같이, 기판(101) 위에 형성된 절연막(103) 위에, 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)이 적층된다. 또한, 제 2 전극(109)의 단부가 산화물 반도체막(107) 단부의 내측에 위치하는 것이 실시형태 1과 다르다. 또한, 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)을 덮도록, 게이트 절연막(111)이 형성되어 있다. 게이트 절연막(111) 위에는, 적어도 산화물 반도체막 및 제 2 전극의 측면과 대향하도록, 제 3 전극(113)이 형성되어 있다. 게이트 절연막(111) 및 제 3 전극(113) 위에는 층간 절연막으로서 기능하는 절연막(117)이 형성되어 있다. 절연막(117) 위에는, 개구부가 형성되어 있고, 개구부에 있어서 제 1 전극(105)과 접속하는 배선(131)(도 7(A) 참조), 제 2 전극(109)과 접속하는 배선(129), 제 3 전극(113)과 접속하는 배선(125)이 형성된다.
- [0126] 본 실시형태에서는 실시형태 1과 마찬가지로, 산화물 반도체막(107)은 결정성을 가지고, 표면에 대하여 수직 방향으로 c축 배향을 하고 있다. 즉, 산화물 반도체막(107)의 c축 방향은 표면에 대하여 수직 방향에 일치한다. 또한, a-b면에서의 서로 인접하는 평면의 원소는 동일물이다.
- [0127] 또한, 산화물 반도체막(107)은 고순도화되고, 수소 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하, $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 또한 실질적으로는 0이 바람직하다. 또한, 산화물 반도체막(107)의 캐리어 밀도가 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 더욱 바람직하게는 측정 하한 미만인 $1.45 \times 10^{10} \text{ cm}^{-3}$ 미만이다. 즉, 산화물 반도체막의 캐리어 밀도는 한없이 제로에 가깝다. 또한, 밴드갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다.
- [0128] 본 실시형태의 트랜지스터에 있어서, 채널 길이(L)는 단면 구조에서, 산화물 반도체막이 게이트 절연막과 접하는 영역에 있어서의, 제 1 전극(105) 및 제 2 전극(109)의 거리이다. 또한, 채널폭(W)은 제 1 전극 또는 제 2 전극에 접하는 산화물 반도체막의 단부의 길이이다. 또한, 여기에서는, 제 1 전극 또는 제 2 전극에 있어서, 면적이 넓은 쪽과 산화물 반도체막이 접하는 산화물 반도체막의 단부의 길이를 W로 한다. 본 실시형태에서는,

트랜지스터의 산화물 반도체막의 상면 형상은 장방형이기 때문에, 채널폭(W)은 $2W_1$ 및 $2W_2$ 의 합이다. 또한, 트랜지스터의 산화물 반도체막의 상면 형상이 원형인 경우는, 원의 반경을 r로 한 경우, 채널폭(W)은 $2\pi r$ 이다.

[0129] 본 실시형태에서는, 실시형태 1과 비교하여 채널 길이(L)가 길다. 또한, 산화물 반도체막(107)의 측면뿐만 아니라, 산화물 반도체막(107)의 상면측에 있어서도, 게이트 전극으로서 기능하는 제 3 전극(113)에 인가된 전압의 영향을 받는다. 따라서, 실시형태 1과 비교하여, 보다 채널의 제어가 용이하게 된다.

[0130] 이와 같이, 산화물 반도체막의 주성분 이외의 불순물, 대표적으로는 수소, 물, 수산기 또는 수소화물 등이 극력 포함되지 않도록 고순도화하고, 또한, 다결정 영역을 가지게 하는 것에 의해, 트랜지스터의 동작을 양호한 것으로 할 수 있다. 특히, 내압성을 높이고, 쇼트 채널 효과를 저감하여, 온 오프비를 높일 수 있다. 또한, BT 시험 전후에 있어서의 트랜지스터의 스레슬드 전압의 변화량을 억제할 수 있고, 높은 신뢰성을 실현할 수 있다. 또한, 전기 특성의 온도 의존성을 제어할 수 있다.

[0131] (실시형태 3)

[0132] 본 실시형태에서는, 실시형태 1 또는 실시형태 2에 나타난 트랜지스터를 이용하여 구성되는 3단자형 다이오드의 형태에 대하여, 도 8을 이용하여 설명한다.

[0133] 도 8은, 3단자형 다이오드의 단면도에 상당한다.

[0134] 도 8(A)에 나타난 3단자형 다이오드(149a)는 기판(101) 위에 형성된 절연막(103) 위에, 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)이 적층된다. 또한, 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)을 덮도록, 게이트 절연막(111)이 형성되어 있다. 게이트 절연막(111) 위에는, 제 3 전극(113)이 형성되어 있다. 또한, 게이트 절연막(111)에는 개구부가 형성되어 있고, 개구부에 있어서, 제 2 전극(109) 및 제 3 전극(113)이 접속된다.

[0135] 도 8(B)에 나타난 3단자형 다이오드(149b)는 기판(101) 위에 형성된 절연막(103) 위에, 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)이 적층된다. 또한, 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)을 덮도록, 게이트 절연막(111)이 형성되어 있다. 게이트 절연막(111) 위에는, 제 3 전극(113)이 형성되어 있다. 또한, 게이트 절연막(111)에는 개구부가 형성되어 있고, 개구부에서 제 1 전극(105) 및 제 3 전극(113)이 접속된다.

[0136] 본 실시형태에 나타난 3단자형 다이오드는 게이트 전극으로서 기능하는 제 3 전극과, 소스 전극 또는 드레인 전극의 한쪽이 전기적으로 접속되어 있는 것을 특징으로 한다. 예를 들면, 드레인 전극으로서 기능하는 제 1 전극과, 게이트 전극으로서 기능하는 제 3 전극이 전기적으로 접속되는 구조의 경우, 드레인 전극에 소스 전극보다 높은 전압(정의 전압)이 인가되면, 게이트 전극에도 정의 전압이 인가되기 때문에, 트랜지스터가 온 상태가 되고, 순방향 전류가 보다 흐르기 쉽게 된다. 한편, 드레인 전극에 소스 전극보다 낮은 전압(부의 전압)이 인가되면, 트랜지스터가 오프 상태가 되고, 역방향 전류가 보다 흐르기 어려워지기 때문에, 다이오드의 정류 특성을 보다 높일 수 있다.

[0137] 또한, 본 실시형태에서는, 3단자형 다이오드에 대하여 설명하였지만, 제 3 전극을 가지지 않는 2단자형 다이오드를 제작할 수 있다.

[0138] (실시형태 4)

[0139] 본 실시형태에서는, 내열성이 높은 트랜지스터에 대하여, 도 1을 이용하여 설명한다.

[0140] 도 1에 나타난 기판(101)에서, 방열성이 높은 기판을 이용함으로써, 내열성이 높은 트랜지스터를 제작할 수 있다. 방열성이 높은 기판으로서, 반도체 기판, 금속 기판, 플라스틱 등이 있고, 반도체 기판의 대표예로서는, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판 등이 있다. 금속 기판의 대표예로서는, 알루미늄 기판, 구리 기판, 스테인리스 스틸 기판 등이 있다. 플라스틱 기판의 대표예로서는, 카본 섬유, 금속 섬유, 금속편 등을 가지는 플라스틱 기판이 있다. 또한, 반도체 기판, 금속 기판, 및 플라스틱 기판은 이것들에 한정되지 않고 방열성이 높은 것이라면, 적절히 이용할 수 있다.

[0141] 또한, 도 1에 나타난 절연막(103)으로서, 열전도율이 높은 절연막을 형성함으로써, 내열성이 높은 트랜지스터를 제작할 수 있다. 열전도율이 높은 절연막으로서, 질화알루미늄막, 질화산화알루미늄막, 질화실리콘막 등이

있다.

[0142] 또한, 도 1에 나타난 제 1 전극(105)과 절연막(103)의 사이에 반도체막을 형성해도 좋다. 반도체막의 대표예로서는, 실리콘막, 게르마늄막, 실리콘 카바이드막, DLC(Diamond Like Carbon)막 등이 있다.

[0143] 또한, 이상의 구성의 어느 하나 이상을 이용함으로써, 내열성이 높은 트랜지스터를 제작할 수 있다.

[0144] (실시형태 5)

[0145] 본 실시형태에서는, 제 1 전극(105) 및 제 2 전극(109)에 있어서, 일함수가 다른 재료를 이용하여 형성하는 것을 특징으로 하는 트랜지스터에 대하여 설명한다.

[0146] 본 실시형태에서는, 제 1 전극(105) 및 제 2 전극(109)의 한쪽이, 산화물 반도체의 전자 친화력 이하의 일함수의 도전성 재료로 형성되고, 제 1 전극(105) 및 제 2 전극(109)의 다른 한쪽이, 산화물 반도체의 전자 친화력보다 큰 일함수의 도전성 재료로 형성된다.

[0147] 예를 들면, 산화물 반도체의 전자 친화력(χ)이 4.3 eV인 경우, 산화물 반도체의 전자 친화력보다 큰 일함수의 도전성 재료의 예로서, 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 철(Fe), 산화 인듐 주석(ITO) 등을 이용할 수 있다. 또한, 일함수가 산화물 반도체의 전자 친화력 이하인 도전성 재료의 예로서, 티탄(Ti), 이트륨(Y), 알루미늄(Al), 마그네슘(Mg), 은(Ag), 지르코늄(Zr) 등을 이용할 수 있다.

[0148] 먼저, 드레인으로서 기능하는 전극을 산화물 반도체의 전자 친화력보다 일함수가 큰 도전성 재료로 형성하고, 소스로서 기능하는 전극을 산화물 반도체의 전자 친화력 이하의 일함수의 도전성 재료로 형성하는 경우에 대하여 설명한다.

[0149] 드레인으로서 기능하는 전극을 형성하는 도전성 재료의 일함수를 ϕ_{md} 로 하고, 소스로서 기능하는 전극을 형성하는 도전성 재료의 일함수를 ϕ_{ms} 로 하고, 일함수(ϕ_{ms}), 전자 친화력(χ), 및 일함수(ϕ_{md})의 관계가, 수학적식 6으로 나타내는 관계가 되도록 한다.

[0150] [수학적식 6]

$$\phi_{ms} \leq \chi \leq \phi_{md}$$

[0151]

[0152] 이와 같이, 소스로서 기능하는 전극의 일함수가, 산화물 반도체의 전자 친화력 이하이기 때문에, 트랜지스터가 온 상태에서의 장벽(예를 들면, 도 3(B)의 h)을 저감할 수 있고, 낮은 게이트 전압에서 온 상태가 되어, 대전류를 흘릴 수 있다.

[0153] 한편, 일함수(ϕ_{md}), 전자 친화력(χ), 및 일함수(ϕ_{ms})의 관계가, 수학적식 7로 나타내는 관계가 되도록 한다.

[0154] [수학적식 7]

$$\phi_{md} \leq \chi \leq \phi_{ms}$$

[0155]

[0156] 이와 같이, 소스로서 기능하는 전극의 일함수가 산화물 반도체의 전자 친화력보다 크기 때문에, 트랜지스터의 장벽이 높아진다. 따라서, 오프 상태에서의 전류를 저감할 수 있다.

[0157] 또한, 소스로서 기능하는 전극을 제 1 전극(105) 및 제 2 전극(109)의 한쪽으로 하고, 드레인으로서 기능하는 전극을 제 1 전극(105) 및 제 2 전극(109)의 다른 한쪽으로 할 수 있다.

[0158] 이상으로부터, 제 1 전극(105) 및 제 2 전극(109)의 한쪽이 산화물 반도체의 전자 친화력 이하의 일함수의 도전성 재료로 형성되고, 제 1 전극(105) 및 제 2 전극(109)의 다른 한쪽이 산화물 반도체의 전자 친화력보다 큰 일함수의 도전성 재료로 형성됨으로써, 트랜지스터의 온 특성 또는 오프 특성을 향상시킬 수 있다.

[0159] 또한, 실시형태 3에 나타난 다이오드에서도, 식 6 또는 식 7의 관계를 만족시킴으로써, 정류 특성이 높은 다이오드가 된다.

[0160] (실시형태 6)

[0161] 본 실시형태에서는, 도 1 또는 도 7에 나타난 트랜지스터의 제조 공정에 대하여, 도 9 내지 도 12를 이용하여

설명한다.

- [0162] 도 9(A)에 나타난 바와 같이, 기판(101) 위에 절연막(103)을 형성하고, 절연막(103) 위에 제 1 전극(105)을 형성한다. 제 1 전극(105)은 트랜지스터의 소스 전극 및 드레인 전극의 한쪽으로서 기능한다.
- [0163] 절연막(103)은 스퍼터링법, CVD법, 도포법 등으로 형성할 수 있다.
- [0164] 또한, 스퍼터링법으로 절연막(103)을 형성하는 경우, 처리실 내에 잔류하는 수소, 물, 수산기 또는 수소화물 등을 제거하면서 절연막(103)을 형성하는 것이 바람직하다. 이것은, 절연막(103)에 수소, 물, 수산기 또는 수소화물 등이 포함하지 않도록 하기 위해서이다. 처리실 내에 잔류하는 수소, 물, 수산기 또는 수소화물 등을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 흡착형의 진공 펌프로서는, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서는, 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 처리실에서는, 수소, 물, 수산기 또는 수소화물 등이 배기되기 때문에, 이 처리실에서 절연막(103)을 형성하면, 절연막(103)에 포함되는 불순물의 농도를 저감할 수 있다.
- [0165] 또한, 절연막(103)을 형성할 때에 이용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 농도 ppm 정도, 농도 ppb 정도까지 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0166] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 이용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 또한 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 형성하는 경우에 이용되고, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 이용된다.
- [0167] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원(multi-source) 스퍼터링 장치도 있다. 다원 스퍼터링 장치는 동일 챔버에서 다른 재료의 막을 적층 형성할 수도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 형성할 수도 있다.
- [0168] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 이용하는 스퍼터링 장치나, 글로우 방전을 사용하지 않고, 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터링법을 이용하는 스퍼터링 장치가 있다.
- [0169] 또한, 스퍼터링법으로서, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜 그들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법을 이용할 수도 있다.
- [0170] 본 명세서의 스퍼터링에서는, 상기한 스퍼터링 장치 및 스퍼터링 방법을 적절히 이용할 수 있다.
- [0171] 본 실시형태에서는, 기판(101)을 처리실로 반송하고, 수소, 물, 수산기 또는 수소화물 등이 제거된 고순도 산소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 타겟을 이용하여, 기판(101)에 절연막(103)으로서, 산화실리콘막을 형성한다. 또한, 절연막(103)을 형성할 때는, 기판(101)은 가열되어 있어도 좋다.
- [0172] 예를 들면, 석영(바람직하게는 합성 석영) 타겟을 이용하여, 기판 온도 108℃, 기판과 타겟 사이의 거리(T-S간 거리)를 60mm, 압력 0.4 Pa, 고주파 전원 1.5 kW, 산소 및 아르곤(산소 유량 25 sccm : 아르곤 유량 25 sccm = 1 : 1) 분위기에서 RF 스퍼터링법에 의해 산화실리콘막을 형성한다. 막 두께는 100 nm로 하면 좋다. 또한, 석영(바람직하게는 합성 석영) 타겟 대신에 실리콘 타겟을 이용할 수 있다. 또한, 스퍼터링 가스로서, 산소, 또는 산소 및 아르곤의 혼합 가스를 이용하여 행한다.
- [0173] 또한, 절연막(103)을 적층 구조로 형성하는 경우, 예를 들면, 산화실리콘막과 기판과의 사이에 수소, 물, 수산기 또는 수소화물 등이 제거된 고순도 질소를 포함하는 스퍼터링 가스 및 실리콘 타겟을 이용하여 질화실리콘막을 형성한다. 이 경우에도, 산화실리콘막과 마찬가지로, 처리실 내에 잔류하는 수소, 물, 수산기 또는 수소화물 등을 제거하면서 질화실리콘막을 형성하는 것이 바람직하다. 또한, 이 공정에서, 기판(101)은 가열되어 있어도 좋다.
- [0174] 절연막(103)으로서 질화실리콘막 및 산화실리콘막을 적층하는 경우, 질화실리콘막과 산화실리콘막을 같은 처리실에서, 공통의 실리콘 타겟을 이용하여 형성할 수 있다. 먼저 질소를 포함하는 예칭 가스를 도입하여, 처리실 내에 장착된 실리콘 타겟을 이용하여 질화실리콘막을 형성하고, 다음에 산소를 포함하는 예칭 가스로 전환하여 같은 실리콘 타겟을 이용하여 산화실리콘막을 형성한다. 질화실리콘막 및 산화실리콘막을 대기에 노출되지 않게 연속하여 형성할 수 있기 때문에 질화실리콘막 표면에 수소, 물, 수산기 또는 수소화물 등의 불순물이 흡착하는 것을 방지할 수 있다.

- [0175] 제 1 전극(105)은 기판(101) 위에 도전성 막을 스퍼터링법, CVD법, 또는 진공 증착법으로 형성하고, 이 도전성 막 위에 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 이 레지스트 마스크를 이용하고 반도체막을 에칭하여, 형성할 수 있다. 또는, 포토리소그래피 공정을 이용하지 않고, 인쇄법, 잉크젯법으로 제 1 전극(105)을 형성함으로써, 공정수를 삭감할 수 있다. 또한, 제 1 전극(105)의 단부를 테이퍼 형상으로 하면, 후에 형성되는 게이트 절연막의 피복성이 향상되므로 바람직하다. 제 1 전극(105)의 단부와 절연막(103)이 이루는 각의 각도를 30° 이상 60° 이하, 바람직하게는 40° 이상 50° 이하로 함으로써, 후에 형성되는 게이트 절연막의 피복성을 향상시킬 수 있다.
- [0176] 본 실시형태에서는, 제 1 전극(105)이 되는 도전성 막으로서, 스퍼터링법에 의해 막 두께 50 nm의 티탄막을 형성하고, 두께 100 nm의 알루미늄막을 형성하고, 두께 50 nm의 티탄막을 형성한다. 다음에, 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 에칭하여, 제 1 전극(105)을 형성한다.
- [0177] 다음에, 도 9(B)에 나타낸 바와 같이, 절연막(103) 및 제 1 전극(105) 위에, 두께 2 nm 이상 15 nm 이하의 제 1 산화물 반도체막(102a)을 형성한다.
- [0178] 여기서, 제 1 산화물 반도체막(102a)의 제작 방법에 대하여 설명한다.
- [0179] 절연막(103) 및 제 1 전극(105) 위에 스퍼터링법, 도포법, 인쇄법 등에 의해, 두께 2 nm 이상 15 nm 이하의 제 1 산화물 반도체막(102a)을 형성한다.
- [0180] 제 1 산화물 반도체막(102a)은 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기에서 스퍼터링법에 의해 형성할 수 있다.
- [0181] 또한, 제 1 산화물 반도체막(102a)의 성막을 행하기 전, 또는 성막 중, 또는 성막 후에, 스퍼터링 장치 내에 잔존하고 있는 수분 등을 제거하는 것이 바람직하다. 스퍼터링 장치 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 스퍼터링 장치의 성막실은, 예를 들면, 수소 원자나, 물(H₂O) 등 수소 원자를 포함하는 화합물 등이 배기되기 때문에, 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.
- [0182] 제 1 산화물 반도체막(102a)으로서, 사원계 금속 산화물인 In-Sn-Ga-Zn-0막이나, 삼원계 금속 산화물인 In-Ga-Zn-0막, In-Sn-Zn-0막, In-Al-Zn-0막, Sn-Ga-Zn-0막, Al-Ga-Zn-0막, Sn-Al-Zn-0막이나, 이원계 금속 산화물인 In-Zn-0막, Sn-Zn-0막, Al-Zn-0막, Zn-Mg-0막, Sn-Mg-0막, In-Mg-0막이나, In-0막, Sn-0막, Zn-0막 등의 산화물 반도체막을 이용할 수 있다.
- [0183] 또한, 제 1 산화물 반도체막(102a)은 InM₃(ZnO)_m(m>0)으로 표기되는 재료를 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0184] 또한, 제 1 산화물 반도체막(102a)은 In-A-B-O로 표현되는 산화물 반도체 재료를 이용하여도 좋다. 여기서, A는 갈륨(Ga)이나 알루미늄(Al) 등의 13족 원소, 실리콘(Si)이나 게르마늄(Ge)으로 대표되는 14족 원소 등으로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. 또한, B는 아연(Zn)으로 대표되는 12족 원소로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. 또한, In, A, B의 함유량은 임의이고, A의 함유량이 제로인 경우를 포함한다. 한편, In 및 B의 함유량은 제로는 아니다. 즉, 상술한 표기에는 In-Ga-Zn-0이나 In-Zn-0 등이 포함된다.
- [0185] 제 1 산화물 반도체막을 형성할 때에, In:Ga:Zn = 1:0 이상 2 이하:1 이상 5 이하의 조성비를 가지는 금속 산화물 타겟을 이용하는 것을 특징으로 한다. 본 실시형태에서는, 산화물 반도체 타겟(In-Ga-Zn-0계 산화물 반도체 타겟(In₂O₃:Ga₂O₃:ZnO = 1:1:2[mol수비], In:Ga:Zn = 1:1:1[원자비]))을 이용하여, 기판과 타겟 사이의 거리를 170 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기에서 막 두께 5 nm의 제 1 산화물 반도체막을 성막한다. 또한, 산화물 반도체 타겟으로서 In:Ga:Zn = 1:1:0.5[원자비]의 조성비를 가지는 타겟, In:Ga:Zn = 1:1:1[원자비]의 조성비를 가지는 타겟, 또는 In:Ga:Zn = 1:1:2[원자비]의 조성비를 가지는 타겟, In:Ga:Zn = 1:0.5:2[원자비]의 조성비를 가지는 타겟을 이용할 수도 있다. 또한, Ga를 포함하지 않는 In:Zn = 1:1[원자비]의 타겟을 이용해도 좋다. In-Ga-Zn-0막을 이용하는 것보다 In-Zn-0막을 이용함으로써 전체 효과 이동도를 높게 할 수 있다. 본 실시형태에서는,

후에 가열 처리를 행하여 의도적으로 결정화시키기 때문에, 결정화가 생기기 쉬운 산화물 반도체 타겟을 이용하는 것이 바람직하다.

- [0186] 또한, 산화물 반도체 타겟 중의 산화물 반도체의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상으로 하는 것이 바람직하다. 상대 밀도가 높은 타겟을 이용하면, 형성되는 산화물 반도체막 중의 불순물 농도를 저감할 수 있고, 전기 특성 또는 신뢰성이 높은 트랜지스터를 얻을 수 있다.
- [0187] 또한, 제 1 산화물 반도체막(102a)의 성막을 행하기 전, 스퍼터링 장치 내벽이나, 타겟 표면이나 타겟 재료 중에 잔존하고 있는 수분 또는 수소를 제거하기 위해 프리 히트 처리를 행하면 좋다. 프리 히트 처리로서는 성막 챔버 내를 감압 하에서 200℃~600℃로 가열하는 방법이나, 가열하면서 질소나 불활성 가스의 도입과 배기를 반복하는 방법 등이 있다. 프리 히트 처리를 끝내면, 기판 또는 스퍼터링 장치를 냉각한 후 대기에 노출하지 않고 산화물 반도체막의 성막을 행한다. 가열하지 않고 질소의 도입과 배기를 반복하여도 일정한 효과가 얻어 지지만, 가열하면서 행하면 더욱 좋다.
- [0188] 다음에, 제 1 산화물 반도체막(102a)의 제 1 가열 처리를 행하고, 적어도 일부를 결정화시킨다. 제 1 가열 처리의 온도는, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하로 한다. 또한, 가열 시간은 1분 이상 24시간 이하로 한다. 제 1 가열 처리에 의해 표면으로부터 결정 성장한 다결정 영역을 가지는 제 1 산화물 반도체막(102b)(결정성을 가지는 제 1 산화물 반도체막이라고도 함)을 형성한다(도 9(C) 참조). 다결정 영역은 표면으로부터 내부를 향하여 결정 성장하고, 2 nm 이상 15 nm 이하의 평균 두께를 가지는 판상 결정이다. 또한, 표면에 형성되는 다결정 영역은 그 표면에 대하여 수직 방향으로 c축 배향을 하고 있다. 본 실시형태에서는, 제 1 가열 처리에 의해 제 1 산화물 반도체막의 대부분을 다결정으로 하는 예를 나타낸다. 제 1 산화물 반도체막의 표면에 형성되는 비교적 결정 방위가 정렬된 다결정 영역은, 표면으로부터 수직 방향으로 결정 성장하기 때문에, 베이스 부재의 영향을 받지 않고 형성할 수 있다.
- [0189] 또한, 제 1 산화물 반도체막(102b) 중, 제 1 전극(105)의 요철과 중첩되는 영역은 결정립계가 있고, 다결정체가 된다. 또한, 제 1 산화물 반도체막(102b) 중, 다결정의 a-b면, a축, b축이 어긋날 수도 있다.
- [0190] 제 1 산화물 반도체막이, 예를 들면, In-Ga-Zn-O막인 경우에, 제 1 산화물 반도체막의 표면에, 결정 방위가 정렬된 결정 영역이 형성되는 메카니즘의 일례를 설명한다. 가열 처리에 의해, In-Ga-Zn-O막 중에 포함되는 아연이 확산하여, 표면 근방에 모이고, 결정 성장의 종이 된다. 이때의 그 결정 성장은, 표면에 평행한 방향의 결정 성장 쪽이 표면에 대하여 수직 방향의 결정 성장보다 강하기 때문에, 평판 형상의 다결정 영역이 형성된다. 즉, a-b면의 방향과 c축의 방향은 a-b면의 방향이 결정화하기 쉽다. 또한, 평판 형상의 다결정 영역에 있어서, 각각의 단결정 영역의 a-b면은 표면에 대하여 평행하게 된다. 또한, In-Ga-Zn-O막의 표면 위는 자유 공간이고, 여기서 상방으로의 결정의 성장은 없다. 이것들은, TDS의 측정 시에 450℃까지 측정을 행할 때, In이나 Ga는 검출되지 않지만, 아연은 진공 가열 조건하, 특히 300℃ 부근에서 피크 검출되는 것을 확인할 수 있다. 또한, TDS의 측정은 진공 중에서 행해지고, 아연은 200℃ 부근으로부터 검출되는 것을 확인할 수 있다.
- [0191] 또한, 제 1 가열 처리에 있어서는, 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 회가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다. 또한, 물의 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하의 조건조 공기 중에서 제 1 가열 처리를 행하여도 좋다.
- [0192] 본 실시형태에서는, 제 1 가열 처리로서, 건조 공기 분위기에서 700℃, 1시간의 가열 처리를 행한다.
- [0193] 또한, 제 1 가열 처리의 승온 시에는 노의 내부를 질소 분위기로 하고, 냉각 시에는 노의 내부를 산소 분위기로 하여 분위기를 전환해도 좋고, 질소 분위기에서 탈수 또는 탈수화가 행해진 후, 분위기를 전환하여 산소 분위기로 함으로써 제 1 산화물 반도체막 내부에 산소를 보급하여 i형으로 할 수 있다.
- [0194] 또한, 제 1 가열 처리에 이용하는 가열 처리 장치는 특별히 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하여도 좋다. 예를 들면, 전기로나, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로젠 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 이용하여 가열 처리를 행하는 장치이다.

- [0195] 다음에, 적어도 표면에 평판 형상의 다결정 영역을 가지는 제 1 산화물 반도체막(102b) 위에, 제 1 산화물 반도체막(102b)보다 막 두께가 두꺼운 제 2 산화물 반도체막(104a)을 형성한다(도 9(D) 참조). 제 2 산화물 반도체막(104a)의 막 두께는 1 μ m 이상, 더욱 바람직하게는 3 μ m 이상, 더욱 바람직하게는 10 μ m 이상이 바람직하다. 제 2 산화물 반도체막(104a)은 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기에서 스퍼터링법에 의해 형성할 수 있다.
- [0196] 제 2 산화물 반도체막(104a)으로서, 사원계 금속 산화물인 In-Sn-Ga-Zn-O막이나, 삼원계 금속 산화물인 In-Ga-Zn-O막, In-Sn-Zn-O막, In-Al-Zn-O막, Sn-Ga-Zn-O막, Al-Ga-Zn-O막, Sn-Al-Zn-O막이나, 이원계 금속 산화물인 In-Zn-O막, Sn-Zn-O막, Al-Zn-O막, Zn-Mg-O막, Sn-Mg-O막, In-Mg-O막이나, In-O막, Sn-O막, Zn-O막 등의 산화물 반도체막을 이용할 수 있다.
- [0197] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막(104a)은 동일 성분 재료를 이용하는 것이 바람직하다. 동일 성분 재료를 이용하는 경우, 후에 행해지는 결정화에서 제 1 산화물 반도체막의 다결정 영역을 결정 성장의 종으로서 결정 성장을 행하기 쉬워진다. 또한, 동일 성분을 포함하는 재료인 경우에는 밀착성 등의 계면 물성이나 전기적 특성도 양호하다.
- [0198] 다음에, 제 2 가열 처리를 행하고, 제 1 산화물 반도체막(102b)의 결정 영역을 결정 성장의 종으로서 결정 성장을 행한다. 제 2 가열 처리의 온도는, 450 $^{\circ}$ C 이상 850 $^{\circ}$ C 이하, 바람직하게는 600 $^{\circ}$ C 이상 700 $^{\circ}$ C 이하로 한다. 또한, 가열 시간은 1분 이상 24시간 이하로 한다. 제 2 가열 처리에 의해 제 2 산화물 반도체막(104a)을 결정화시킨다. 이렇게 하여 다결정 영역을 가지는 산화물 반도체막(108)(결정성을 가지는 제 2 산화물 반도체막이라고도 함)을 얻을 수 있다(도 9(E) 참조). 이때, 동일한 결정 구조이며, 근접한 격자 정수(미스매치가 1% 이하)를 가지는 것이 바람직하다. 또한, 산화물 반도체막(108)은 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 포함한다. 제 2 가열 처리의 온도를 450 $^{\circ}$ C 이상 850 $^{\circ}$ C 이하, 바람직하게는 600 $^{\circ}$ C 이상 700 $^{\circ}$ C 이하로 함으로써, 제 2 산화물 반도체막(104a)의 결정 성장에서의 결정축과, 제 1 산화물 반도체막(102b)의 결정축이 대략 동일하게 되도록, 제 2 산화물 반도체막(104a)을 결정 성장(에피택셜 성장, 또는 액시얼 성장 라고도 함)시킬 수 있다. 또한, 제 2 산화물 반도체막(104a)을 고상 성장(solid phase growth)으로 에피택셜 성장 또는 액시얼 성장시킬 수 있다.
- [0199] 또한, 도 9(C) 내지 도 9(E)의 공정을 구체적으로 설명하기 위해, 도 12(A) 내지 도 12(C)를 이용하여 설명한다.
- [0200] 도 12(A)는 결정화를 위한 제 1 가열 처리가 행해진 후의 제 1 산화물 반도체막(102b)을 나타낸다. 도 12(A)는 도 9(C)에 대응하고 있다. 또한, 도 12(B)는 도 9(D)에 대응하고, 제 2 산화물 반도체막(104a)의 성막 직후의 단면도이다. 또한, 도 12(C)는 도 9(E)에 대응하고, 제 2 가열 처리 후의 단면도이다. 제 2 가열 처리에 의해, 더욱 높은 배향성을 가지는 다결정 영역을 가지는 산화물 반도체막(108)이 된다. 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 동일 주성분의 산화물 반도체 재료를 이용하는 경우, 도 12(C)에 나타난 바와 같이, 제 1 산화물 반도체막(102b)의 결정 영역을 종결정으로서 제 2 산화물 반도체막(104b)의 표면을 향하여 상방에 결정 성장하고, 제 2 산화물 반도체막(104b)이 형성되고, 산화물 반도체막들이 동일 결정 구조를 가진다. 따라서, 도 12(C)에서는 점선으로 나타냈지만, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 경계는 불명료하게 되는 일이 있다. 또한, 제 2 가열 처리에 의해, 성막 직후의 제 2 산화물 반도체막(104b)의 내부는 고순도화된다.
- [0201] 또한, 제 2 가열 처리는 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스의 분위기 하에서 행한다. 이때, 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N 이상, 바람직하게는 7N 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다. 또한, 물의 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하의 조건조 공기 중에서 제 2 가열 처리를 행하여도 좋다. 또한, 제 2 가열 처리의 승온 시에는 노의 내부를 질소 분위기로 하고, 냉각 시에는 노의 내부를 산소 분위기로 하여 분위기를 전환하여도 좋다.
- [0202] 또한, 제 2 가열 처리에 이용하는 가열 처리 장치도 특별히 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하여도 좋다. 예를 들면, 전기로나, GRTA 장치, LRTA 장치 등의 RTA 장치를 이용할 수 있다.
- [0203] 다음에, 제 1 산화물 반도체막 및 제 2 산화물 반도체막으로 이루어지는 산화물 반도체막(108) 위에 포토리소그래피 공정에 의해 레지스트 마스크를 형성한 후, 이 레지스트 마스크를 이용하여 산화물 반도체막(108)을 에칭

하여, 섬 형상의 산화물 반도체막(107)을 형성한다. 또한, 섬 형상의 산화물 반도체막(107)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다. 이 예칭에 의해, 제 2 전극(109) 및 산화물 반도체막(107)의 단부와, 제 1 전극(105)이 이루는 각의 각도를 30° 이상 60° 이하, 바람직하게는 40° 이상 50° 이하로 함으로써, 후에 형성되는 게이트 절연막의 피복성을 향상시키는 것이 가능하기 때문에 바람직하다.

[0204] 또한, 여기서의 산화물 반도체막의 예칭은, 드라이 예칭이어도 웨트 예칭이어도 좋고, 양쪽을 이용해도 좋다. 소망의 형상의 산화물 반도체막(107)을 형성하기 위해, 재료에 맞추어 예칭 조건(예칭액, 예칭 시간, 온도 등)을 적절히 조절한다.

[0205] 또한, 여기에서는, 산화물 반도체막과, 제 1 전극(105)과의 예칭 레이트가 다른 경우는, 제 1 전극(105)의 예칭 레이트가 낮고, 산화물 반도체막의 예칭 레이트가 높은 조건을 선택한다.

[0206] 산화물 반도체막을 웨트 예칭하는 예칭액으로서, 인산과 초산과 질산을 혼합한 용액, 암모니아과수(31 중량% 과산화수소수 : 28 중량% 암모니아수 : 물 = 5 : 2 : 2) 등을 이용할 수 있다. 또한, ITO07N(칸토 화학사(KANTO CHEMICAL CO., INC.) 제조)을 이용해도 좋다.

[0207] 또한, 웨트 예칭후의 예칭액은 예칭된 재료와 함께 세정에 의해 제거된다. 그 제거된 재료를 포함하는 예칭액의 폐액을 정제하여, 포함되는 재료를 재이용해도 좋다. 이 예칭 후의 폐액으로부터 산화물 반도체막에 포함되는 인듐 등의 재료를 회수하여 재이용함으로써, 자원을 유효 활용하여 저비용화할 수 있다.

[0208] 또한, 산화물 반도체막을 드라이 예칭에 이용하는 예칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들면, 염소(Cl₂), 염화붕소(BCl₃), 염화규소(SiCl₄), 사염화탄소(CCl₄) 등)이 바람직하다.

[0209] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면, 사불화탄소(CF₄), 육불화유황(SF₆), 삼불화질소(NF₃), 트리플루오로메탄(CHF₃) 등), 브롬화수소(HBr), 산소(O₂), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 이용할 수 있다.

[0210] 드라이 예칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma : 유도 결합형 플라즈마) 예칭법을 이용할 수 있다. 소망의 가공 형상으로 예칭할 수 있도록, 예칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.

[0211] 다음에, 절연막, 제 1 전극(105), 및 섬 형상의 산화물 반도체막(107) 위에, 후에 제 2 전극(109)이 되는 도전성 막(110)을 형성한다(도 10(A) 참조). 도전성 막(110)은 후에 제 2 전극(109)이 된다. 도전성 막(110)은 제 1 전극(105)의 재료 및 방법을 적절히 이용할 수 있지만, 제 1 전극(105)보다 예칭 속도가 빠른 재료를 이용함으로써, 후의 예칭 공정이 용이하게 된다.

[0212] 다음에, 도전성 막(110) 위에 포토리소그래피 공정에 의해 레지스트 마스크를 형성한 후, 이 레지스트 마스크를 이용하여 도전성 막(110)을 예칭하여, 제 2 전극(109)을 형성한다(도 10(B) 참조).

[0213] 본 실시형태에서는, 예천트로서 과수암모니아수(암모니아, 물, 과산화수소수의 혼합액)를 이용하여, 제 2 전극(109)이 되는 반도체막을 예칭하여, 제 2 전극(109)을 형성한다.

[0214] 또한, 여기서의 도전성 막(110)의 예칭은, 드라이 예칭이어도 웨트 예칭이어도 좋고, 양쪽을 이용해도 좋다. 소망의 형상의 제 2 전극(109)을 형성하기 위해, 재료에 맞추어 예칭 조건(예칭액, 예칭 시간, 온도 등)을 적절히 조절한다.

[0215] 다음에, 도 10(C)에 나타난 바와 같이, 제 1 전극(105), 산화물 반도체막(107), 제 2 전극(109) 위에 게이트 절연막(111)을 형성한다.

[0216] 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체막(수소 농도가 저감되고 고순도화된 산화물 반도체막)은 계면 준위, 계면 전하에 대하여 매우 민감하기 때문에, 게이트 절연막(111)과의 계면은 중요하다. 따라서, 고순도화된 산화물 반도체막에 접하는 게이트 절연막(111)은 고품질화가 요구된다.

[0217] 예를 들면, μ 파(2.45GHz)를 이용한 고밀도 플라즈마 CVD에 의해, 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있으므로 바람직하다. 수소 농도가 저감되어 고순도화된 산화물 반도체막과 고품질 게이트 절연막이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다. 또한, 고밀도 플라즈마 CVD에 의해 얻어진 절연막은 일정한 두께의 막을 형성할 수 있기 때문에, 단차 피복성이 우수하다. 또

한, 고밀도 플라즈마 CVD에 의해 얻어지는 절연막은 얇은 막의 두께를 치밀하게 제어할 수 있다.

- [0218] 물론, 게이트 절연막으로서 양질의 절연막을 형성할 수 있는 것이라면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 또한, 게이트 절연막의 형성 후의 가열 처리에 의해 게이트 절연막의 막질, 산화물 반도체막과의 계면 특성이 개질되는 절연막이어도 좋다. 어쨌든, 게이트 절연막으로서의 막질이 양호한 것은 물론, 산화물 반도체막과의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있는 것이라면 좋다.
- [0219] 또한, 85℃, 2×10^6 V/cm, 12시간의 게이트 바이어스 열스트레스 시험(BT 시험)에서는, 불순물이 산화물 반도체막에 첨가되어 있으면, 불순물과 산화물 반도체막의 주성분과의 결합이, 강전계(B: 바이어스)와 고온(T: 온도)에 의해 절단되고, 생성된 부대 결합(dangling bond)이 스레숄드 전압(Vth)의 드리프트를 유발하게 된다.
- [0220] 이것에 대하여, 산화물 반도체막의 불순물, 특히 수소나 물 등을 극력 제거하고, 상기와 같이 게이트 절연막과의 계면 특성을 양호하게 함으로써, BT 시험에 대해서도 안정적인 트랜지스터를 얻는 것을 가능하게 하고 있다.
- [0221] 스퍼터링법으로 게이트 절연막(111)을 형성함으로써 게이트 절연막(111) 중의 수소 농도를 저감할 수 있다. 스퍼터링법에 의해 산화실리콘막을 형성하는 경우에는, 타겟으로서 실리콘 타겟 또는 석영 타겟을 이용하고, 스퍼터링 가스로서 산소 또는, 산소 및 아르곤의 혼합 가스를 이용하여 행한다.
- [0222] 또한, 산화물 반도체막에 접하여 형성되는 절연막에 할로겐 원소(예를 들면, 불소 또는 염소)를 포함시키고, 또는 산화물 반도체막을 노출시킨 상태에서 할로겐 원소를 포함하는 가스 분위기 중에서의 플라즈마 처리에 의해 산화물 반도체막에 할로겐 원소를 포함시키고, 산화물 반도체막 또는 이 산화물 반도체막에 접하여 형성되는 절연막과의 계면에 존재할 수 있는 수소, 물, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 배제해도 좋다. 절연막에 할로겐 원소를 포함시키는 경우에는, 이 절연막 중에서의 할로겐 원소 농도는 $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 정도로 하면 좋다.
- [0223] 또한, 상기한 바와 같이 산화물 반도체막 중 또는 산화물 반도체막과 이것에 접하는 절연막과의 계면에 할로겐 원소를 포함시키고, 산화물 반도체막과 접하여 형성되는 절연막이 산화물 절연막인 경우에는, 산화물 반도체막과 접하지 않는 측의 산화물 절연막을 질소물 절연막으로 덮는 것이 바람직하다. 즉, 산화물 반도체막에 접하는 산화물 절연막의 위에 접하여 질화실리콘막 등을 형성하면 좋다. 이와 같은 구조로 함으로써, 수소, 물, 수산기 또는 수소화물 등의 불순물이 산화물 절연막에 침입하는 것을 저감할 수 있다.
- [0224] 게이트 절연막(111)은 제 1 전극(105), 산화물 반도체막(107), 및 제 2 전극(109)측으로부터 산화실리콘막과 질화실리콘막을 적층한 구조로 할 수도 있다. 예를 들면, 제 1 게이트 절연막으로서 막 두께 5 nm 이상 300 nm 이하의 산화실리콘막($\text{SiO}_x(x > 0)$)을 형성하고, 제 1 게이트 절연막 위에 제 2 게이트 절연막으로서 스퍼터링법에 의해 막 두께 50 nm 이상 200 nm 이하의 질화실리콘막($\text{SiN}_y(y > 0)$)을 적층하여, 막 두께 100 nm의 게이트 절연막으로 해도 좋다. 본 실시형태에서는 압력 0.4 Pa, 고주파 전원 1.5 kW, 산소 및 아르곤(산소 유량 25 sccm : 아르곤 유량 25 sccm = 1 : 1) 분위기에서 RF 스퍼터링법에 의해 막 두께 100 nm의 산화실리콘막을 형성한다.
- [0225] 또한, 게이트 절연막(111)을 형성하기 전, 스퍼터링 장치 내벽이나, 타겟 표면이나 타겟 재료 중에 잔존하고 있는 수분 또는 수소를 제거하기 위해 프리 히트 처리를 행하는 것이 바람직하다. 프리 히트 처리를 끝내면, 기관 또는 스퍼터링 장치를 냉각한 후 대기에 노출시키지 않고 게이트 절연막(111)의 성막을 행한다. 가열하지 않고 질소의 도입과 배기를 반복하여도 일정한 효과가 얻어지지만, 가열하면서 행하면 더욱 좋다.
- [0226] 다음에, 불활성 가스 분위기, 또는 산소 가스 분위기에서 제 3 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하)를 행하여도 좋다. 이 가열 처리에 의해, 제 1 가열 처리 및 제 2 가열 처리에서 발생한 산소 결합에 산소를 공급함으로써, 도너가 되는 산소 결합을 더욱 저감하고, 화학 양론비를 만족시키는 구성으로 하는 것이 가능하고, 산화물 반도체막(107)을 보다 i형화 또는 실질적으로 i형화로 할 수 있다. 또한, 이 제 3 가열 처리는, 후에 형성되는 제 3 전극(113), 절연막(117), 또는 배선(125, 129)의 어느 것인가를 형성한 후에 행하여도 좋다. 이 가열 처리에 의해, 산화물 반도체막 중에 포함되는 수소 또는 수분을 게이트 절연막에 확산시킬 수 있다.
- [0227] 다음에, 게이트 절연막(111) 위에 게이트 전극으로서 기능하는 제 3 전극(113)을 형성한다.
- [0228] 제 3 전극(113)은, 게이트 절연막(111) 위에 제 3 전극(113)이 되는 반도체막을 스퍼터링법, CVD법, 또는 진공 증착법으로 형성하고, 이 도전성 막 위에 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 이 레지스트

트 마스크를 이용하여 도전성 막을 에칭하여, 형성할 수 있다.

- [0229] 이상의 공정으로, 수소 농도가 저감되고, 고순도화된 산화물 반도체막(107)을 가지는 트랜지스터(145)를 제작할 수 있다.
- [0230] 다음에, 도 11(A)에 나타낸 바와 같이, 게이트 절연막(111) 및 제 3 전극(113) 위에 절연막(117)을 형성한 후, 콘택트 홀(119, 123)을 형성한다.
- [0231] 절연막(117)은 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 또는 산화질화알루미늄막 등의 산화물 절연막, 질화실리콘막, 질화산화실리콘막, 질화알루미늄막, 또는 질화산화알루미늄막 등의 질화물 절연막을 이용한다. 또는, 산화물 절연막 및 질화물 절연막의 적층으로 할 수도 있다.
- [0232] 절연막(117)은 스퍼터링법, CVD법 등으로 형성한다. 또한, 스퍼터링법으로 절연막(117)을 형성하는 경우, 기판(101)을 100℃~400℃의 온도로 가열하고, 수소, 물, 수산기 또는 수소화물 등이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하여 실리콘 반도체의 타겟을 이용하여 절연막을 형성해도 좋다. 이 경우에도, 처리실 내에 잔류하는 수소, 물, 수산기 또는 수소화물 등을 제거하면서 절연막을 형성하는 것이 바람직하다.
- [0233] 또한, 절연막(117)의 형성 후, 또한, 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 행하여도 좋다. 이 가열 처리에 의해, 노멀리 오프가 되는 트랜지스터를 얻을 수 있다. 따라서 표시 장치나 반도체 장치의 신뢰성을 향상할 수 있다.
- [0234] 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하고 게이트 절연막(111) 및 절연막(117)의 일부를 제거하여, 제 1 전극(105), 제 2 전극(109), 및 제 3 전극(113)에 달하는 콘택트 홀(119, 123)을 형성한다.
- [0235] 다음에, 게이트 절연막(111), 및 콘택트 홀(119, 123) 위에 도전성 막을 형성한 후, 포토리소그래피 공정에 의해 형성한 레지스트 마스크를 이용하여 에칭하고, 배선(125, 129, 131)을 형성한다(도 11(B) 참조). 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 삭감할 수 있다.
- [0236] 배선(125, 129, 131)은 제 1 전극(105)과 마찬가지로 형성할 수 있다.
- [0237] 또한, 제 3 전극(113) 및 배선(125, 129, 131)의 사이에 평탄화를 위한 평탄화 절연막을 형성해도 좋다. 평탄화 절연막의 대표예로서는, 폴리이미드, 아크릴 벤조시클로부텐, 폴리이미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등이 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성해도 좋다.
- [0238] 또한, 실록산계 수지는 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면, 알킬기나 아릴기)이나 플루오로기를 이용해도 좋다. 또한, 유기기는 플루오로기를 가지고 있어도 좋다.
- [0239] 평탄화 절연막의 형성법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스핀 코트, 딥법(dipping method), 스프레이 도포법(spray coating method), 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등)과 같은 방법이나, 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터와 같은 도구를 이용할 수 있다.
- [0240] 상기와 같이 산화물 반도체막 중의 수소의 농도를 저감하고, 고순도화하고, 또한, 결정성을 높일 수 있다. 그것에 의해 산화물 반도체막의 안정화를 도모할 수 있다. 또한, 유리 전이 온도 이하의 가열 처리에 의해, 캐리어 밀도가 극단적으로 낮고, 밴드갭이 넓은 산화물 반도체막을 형성할 수 있다. 따라서, 대면적 기판을 이용하여 트랜지스터를 제작할 수 있기 때문에 양산성을 높일 수 있다. 또한, 이 수소 농도가 저감되고 고순도화된 산화물 반도체막을 이용함으로써, 내압성이 높고, 쇼트 채널 효과가 낮고, 온 오프비가 높은 트랜지스터를 제작할 수 있다.
- [0241] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0242] (실시형태 7)
- [0243] 본 실시형태에서는, 실시형태 6과 다른 구조를 가지는 트랜지스터의 제작 방법에 대하여, 도 9 및 도 13을 이용

하여 설명한다. 본 실시형태에서는, 제 2 전극(109)이 되는 도전성 막의 형성 공정이 실시형태 6과 다르다.

[0244] 실시형태 6과 마찬가지로, 도 9(A) 내지 도 9(D)의 공정을 거쳐, 기판(101) 위에, 절연막(103), 제 1 전극(105), 제 1 가열 처리에 의해 적어도 표면에 형성된 다결정 영역을 가지는 제 1 산화물 반도체막(102b), 및 제 2 산화물 반도체막(104a)을 형성한다.

[0245] 다음에, 도 13(A)에 나타난 바와 같이, 제 2 산화물 반도체막(104a) 위에, 제 2 전극(109)이 되는 도전성 막(110)을 형성한다. 여기에서는, 도전성 막(110)은, 용점이 1000℃ 이상의 금속 원소를 이용하여 형성된다. 도전성 막(110) 재료의 대표예로서는, 몰리브덴, 텅스텐, 티탄, 탄탈, 니오브, 이리듐, 바나듐, 크롬, 지르코늄, 백금, 팔라듐, 스칸듐, 철, 이트륨, 코발트, 니켈, 망간, 금이 있다.

[0246] 다음에, 제 2 가열 처리를 행하여, 제 1 산화물 반도체막(102b)의 다결정 영역을 결정 성장의 종으로 사용하여 결정 성장을 행한다. 제 2 가열 처리의 온도는 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하로 한다. 제 2 가열 처리에 의해 제 2 산화물 반도체막(104a)을 결정화시켜, 산화물 반도체막(108)을 얻을 수 있다.

[0247] 다음에, 도전성 막(110) 위에 포토리소그래피 공정에 의해 레지스트 마스크를 형성한 후, 이 레지스트 마스크를 이용하여 도전성 막(110)을 에칭하여, 섬 형상의 산화물 반도체막(107) 및 제 2 전극(109)을 형성한다(도 13(C) 참조).

[0248] 이 후, 실시형태 6에 나타난 도 10(C) 내지 도 11의 공정을 거쳐, 트랜지스터(145)를 제작할 수 있다.

[0249] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0250] (실시형태 8)

[0251] 본 실시형태에서는, 실시형태 6 및 실시형태 7과는 다른 구조를 가지는 트랜지스터의 제작 방법에 대하여, 도 9 및 도 14를 이용하여 설명한다. 본 실시형태는, 제 2 산화물 반도체막의 형성 공정이 실시형태 6 및 실시형태 7과 다르다.

[0252] 실시형태 6과 마찬가지로, 도 9(A) 내지 도 9(C)의 공정을 거쳐, 도 14(A)에 나타난 바와 같이, 기판(101) 위에, 절연막(103), 제 1 전극(105), 제 1 가열 처리에 의해 적어도 표면에 다결정 영역을 가지는 제 1 산화물 반도체막(102b)을 형성한다.

[0253] 다음에, 도 14(B)에 나타난 바와 같이, 200℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 550℃ 이하로 가열하면서, 스퍼터링법에 의해, 제 1 산화물 반도체막(102b) 위에 제 2 산화물 반도체막(112)을 퇴적한다. 여기에서는, 제 1 산화물 반도체막(102b) 표면의 다결정 영역을 결정 성장의 종으로 사용하여, 제 1 산화물 반도체막(102b)의 결정축의 방향과 제 2 산화물 반도체막(112)의 결정축의 방향이 동일하게 되도록, 특히 c축의 방향이 동일하게 되도록 결정 성장(에피택셜 성장, 액시얼 성장이라고도 함)시키면서, 제 2 산화물 반도체막(112)을 퇴적한다. 이 결과, 제 2 가열 처리를 행하지 않아도, c축의 방향이 제 1 산화물 반도체막(102b)의 방향과 동일한 결정화한 산화물 반도체막(108)을 형성할 수 있다. 또한, 산화물 반도체막(108)은 제 1 산화물 반도체막(102b) 및 제 2 산화물 반도체막(112)을 포함한다.

[0254] 이 후, 실시형태 6 또는 실시형태 7의 공정을 거쳐, 트랜지스터(145)를 제작할 수 있다.

[0255] 본 실시형태에서는 가열 처리수를 삭감하는 것이 가능하기 때문에, 스루풋을 향상시킬 수 있다.

[0256] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0257] (실시형태 9)

[0258] 본 실시형태에서는, 실시형태 6 내지 실시형태 8과 다른 모드를 도 15를 이용하여 이하에 설명한다.

[0259] 본 실시형태에서는, 제 1 산화물 반도체막(102a)의 막 두께가 15nm인 예를 나타낸다.

[0260] 제 1 산화물 반도체막(102a)의 막 두께가 15nm인 경우, 제 1 산화물 반도체막(102a)이나 베이스 부재인 제 1 전극(105)의 재료나 가열 온도나 가열 시간 등의 조건에 따라서도 다르지만, 제 1 가열 처리에 의해, 제 1 산화물 반도체막(102b)의 표면으로부터 결정 성장해도 단결정 영역(151)의 결정들의 선단이 제 1 전극(105)의 계면까지 도달하지 못하고, 비정질 영역(153)이 잔존한다(도 15(A) 참조).

[0261] 다음에, 도 15(B)는 제 1 산화물 반도체막(102b) 위에 제 2 산화물 반도체막(104a)을 성막한 직후의

단면도이다.

- [0262] 그리고, 제 2 산화물 반도체막(104a)을 성막한 후에 제 2 가열 처리를 행한다. 제 2 가열 처리에 의해, 제 1 산화물 반도체막(102b)에 있어서, 제 1 전극(105)과의 계면을 향하여 하방향으로 결정 성장이 진행되고, 따라서 결정 성장이 제 1 전극(105)에 달한 제 1 산화물 반도체막(102c)이 된다. 또한, 제 1 산화물 반도체막(102c)과 제 2 산화물 반도체막(104b)에 동일 주성분의 산화물 반도체 재료를 이용하는 경우, 도 15(C)에 나타낸 바와 같이, 제 1 산화물 반도체막(102b)의 다결정 영역을 결정 성장의 종으로서 사용하여 제 2 산화물 반도체막(104b)의 표면을 향하여 상방에 결정 성장하여, 제 2 산화물 반도체막(104b)이 형성되고, 동일 결정 구조를 가지는 산화물 반도체막(108)이 형성된다. 따라서, 도 15(C)에서는 점선으로 나타냈지만, 제 1 산화물 반도체막(102c)과 제 2 산화물 반도체막(104b) 사이의 경계가 불명료하게 되는 경우가 있다.
- [0263] 본 실시형태에서는, 제 1 산화물 반도체막(102b)과 제 2 산화물 반도체막(104a)의 계면을 기준으로 하여, 상방향으로 결정 성장시킵과 동시에 하방향으로도 결정 성장시킬 수 있다.
- [0264] 또한, 제 1 가열 처리의 조건이나 제 2 가열 처리의 조건은 실시형태 6에 기재한 조건 범위로 한다. 또한, 제 1 가열 처리보다 제 2 가열 처리의 가열 온도가 높은 경우나 가열 시간이 긴 경우 등에 있어서는, 제 2 가열 처리 시에 제 2 산화물 반도체막(104a)의 표면에 단결정 영역이 형성되는 경우가 있다. 제 2 산화물 반도체막(104a)의 표면에 단결정 영역이 형성되면, 트랜지스터 특성 등에 영향이 있는 경우에는, 제 2 산화물 반도체막(104b)의 표면에 단결정 영역이 형성되지 않는 조건을 실시자가 적절히 선택하면 좋다.
- [0265] 또한, 상기 설명에서는 제 1 산화물 반도체막을 15 nm의 막 두께로 하는 예를 나타냈지만, 본 발명은 그것에 특별히 한정되지 않고, 제 1 산화물 반도체막(102b)을 10nm 이하의 막 두께로 하는 경우에도, 제 1 가열 처리의 온도를 낮게 하거나, 또는 가열 시간을 짧게 하면, 제 1 산화물 반도체막(102b)의 단결정 영역(151)과 제 1 전극(105) 사이에 비정질 영역(153)을 잔존시킬 수 있다. 그 후, 제 2 가열 처리에 의해 제 1 전극(105)에 달하는 단결정 영역을 형성하면 도 15(C)의 상태를 얻을 수 있다. 따라서, 본 실시형태에 나타낸 공정을 이용함으로써, 제 1 가열 처리의 저온화나 가열 시간 단축을 도모할 수도 있다.
- [0266] 또한, 본 실시형태는 다른 실시형태와 자유롭게 조합할 수 있다.
- [0267] (실시형태 10)
- [0268] 실시형태 6 내지 실시형태 9는, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 동일 주성분의 산화물 반도체 재료를 이용하는 경우를 나타냈지만, 본 실시형태에서는 다른 성분의 산화물 반도체 재료를 이용하는 경우를 나타낸다. 또한, 도 16(A)은 도 9(A)와 동일하므로, 같은 부분에는 같은 부호를 이용하여 설명한다.
- [0269] 본 실시형태에서는, Ga를 포함하지 않는 In : Zn = 1 : 1[원자비]의 금속 산화물 타겟을 이용하여, 제 1 산화물 반도체막을 5 nm의 막 두께로 하는 예를 나타낸다.
- [0270] 실시형태 6과 마찬가지로, 절연막(103) 및 제 1 전극(105) 위에 결정화를 위한 제 1 가열 처리가 행해진 후의 제 1 산화물 반도체막(102b)을 도 16(A)에 나타낸다. 또한, 도 16(A)은 도 9(A)와 동일하므로, 같은 부분에는 같은 부호를 이용하여 설명한다.
- [0271] 다음에, 제 1 가열 처리를 행한다. 제 1 산화물 반도체막이나 제 1 전극(105)의 재료나 가열 온도나 가열 시간 등의 조건에 따라서도 다르지만, 제 1 가열 처리에 의해, 표면으로부터 결정 성장시키고 제 1 전극(105)과의 계면까지 달하는 다결정 영역을 가지는 제 1 산화물 반도체막(102b)이 형성된다(도 16(A) 참조).
- [0272] 표면에 비교적 결정 방위가 정렬된 다결정 영역을 가지는 제 1 산화물 반도체막(102b)은 표면으로부터 수직 방향으로 결정 성장한다. 또한, 제 1 산화물 반도체막(102b)은 표면에 대하여 수직 방향으로 c축 배향하고 있다.
- [0273] 다음에, 도 16(B)은 제 1 산화물 반도체막(102b) 위에 제 2 산화물 반도체막(161a)을 성막한 직후의 단면도이다. 제 1 산화물 반도체막 위에 제 2 산화물 반도체막을 형성할 때, In : Ga : Zn = 1 : 0 이상 2 이하 : 1 이상 5 이하의 조성비를 가지는 금속 산화물 타겟을 이용하는 것을 특징으로 하고 있다. 본 실시형태에서는, 제 2 산화물 반도체막(161a)으로서, In-Ga-Zn-O계 산화물 반도체 타겟(In : Ga : Zn = 1 : 1 : 1[원자비]))을 이용하여, 막 두께 1 μm의 In-Ga-Zn-O막을 형성한다.
- [0274] 그리고, 제 2 산화물 반도체막(161a)을 성막한 후에 제 2 가열 처리를 행한다. 제 2 가열 처리에 의해, 도 16(C)에 나타낸 바와 같이 결정 성장을 행한다. 도 16(C)에 나타낸 바와 같이, 제 1 산화물 반도체막(102b)의

다결정 영역을 종으로서 사용하여 제 2 산화물 반도체막의 표면을 향하여 상방에 결정 성장시켜, 제 2 산화물 반도체막(161b)을 형성할 수 있다.

- [0275] 또한, 제 1 가열 처리에 의해 얻어진 다결정 영역이 제 2 가열 처리에서 다시 가열되기 때문에, 제 1 산화물 반도체막(102b)은 결정성이 더욱 향상된 제 3 산화물 반도체막(102c)이 된다.
- [0276] 제 2 산화물 반도체막(161a)의 산화물 반도체 재료의 성분이, 제 1 산화물 반도체막(102b)의 산화물 반도체 재료의 성분과 다르기 때문에, 도 16(C)에 나타난 바와 같이, 제 3 산화물 반도체막(102c)과 제 2 산화물 반도체막(161b)의 경계가 형성된다. 또한, 제 2 가열 처리에 의해서도, 제 1 전극(105)과의 계면 부근을 포함하여 제 1 산화물 반도체막의 대부분이 다결정 영역으로 된다.
- [0277] 도 16(C)의 구조는, 제 1 전극(105) 위에 접하여 제 3 산화물 반도체막(102c), 제 2 산화물 반도체막(161b)의 순으로 적층된 2층 구조로 할 수 있다. In-Ga-Zn-O막보다 결정하기 쉬운 In-Zn-O막을 결정 성장의 종으로서 이용함으로써, 효율적으로 그 상방향으로 결정 성장을 행하고, In-Ga-Zn-O막을 다결정 영역으로 할 수 있다. 또한, 제 3 산화물 반도체막(102c)의 밴드 갭과 제 2 산화물 반도체막(161b)의 밴드갭은 다를 수 있다.
- [0278] 또한, 제 1 가열 처리의 조건이나 제 2 가열 처리의 조건은 실시형태 6에 기재한 조건 범위로 한다.
- [0279] 또한, 본 실시형태는 다른 실시형태와 자유롭게 조합할 수 있다.

[0280] (실시형태 11)

- [0281] 본 실시형태에서는, 수율이 높은 반도체 장치의 제작 방법에 대하여, 도 17을 이용하여 설명한다.
- [0282] 도 17(A)에 나타난 바와 같이, 기판(101) 위에 절연막(103)을 형성하고, 절연막(103) 위에 제 1 전극(105)을 형성한다. 다음에, 제 1 전극(105) 위에 보호막(165)을 형성한다. 보호막(165)은 제 1 전극(105)과, 후에 형성하는 산화물 반도체막의 밀착성을 높이기 위해 형성되고, 또한 산화물 반도체막의 형성 공정에서, 제 1 전극(105)의 산화를 방지하기 위해 형성된다.
- [0283] 보호막(165)은 두께 1nm 이상 100nm 이하의 금속 질화물막으로 형성하는 것이 바람직하고, 대표적으로는 질화티탄막, 질화탄탈막으로 형성한다.

[0284] 다음에, 제 1 산화물 반도체막(102a)을 형성함으로써, 제 1 산화물 반도체막(102a)의 막이 벗겨지는 것을 저감할 수 있다. 또한, 제 1 전극(105)의 산화를 방지할 수 있다.

[0285] 이 후에는, 실시형태 6 내지 실시형태 10의 어느 하나의 공정을 행함으로써, 반도체 장치를 제작할 수 있다.

[0286] (실시형태 12)

- [0287] 실시형태 1 내지 실시형태 11에 나타난 반도체 소자를 가지는 회로를 이용한 모드에 대하여 설명한다.
- [0288] 실시형태 1 내지 실시형태 11에 나타난 반도체 소자의 일 모드인 트랜지스터 및 다이오드는 온 오프비가 높고, 내압이 높고, 열화가 적기 때문에, 에어컨, 냉장고, 취반기(rice cooker), 태양광 발전 시스템 등의 인버터 기술을 응용한 가전제품, 노트북형 컴퓨터를 비롯한 배터리 구동형 휴대 정보 단말 기기, 스트로보 등의 전력 증폭 장치, 전기 자동차, DC/DC(직류/직류) 컨버터 회로, 모터 제어 회로, 오디오 증폭기, 로직 회로, 스위치 회로, 고주파 리니어 증폭기 등에 이용할 수 있다.

[0289] 여기서, 실시형태 1 내지 실시형태 11에 나타난 반도체 소자를 이용하여 구성되는 인버터를 구비한 태양광 발전 시스템의 일례에 대하여, 도 18을 참조하여 설명한다. 또한, 여기에서는, 주택 등에 설치되는 태양광 발전 시스템의 구성의 일례에 대하여 나타낸다.

[0290] 도 18에 나타난 주택용의 태양광 발전 시스템은, 태양광 발전의 상황에 따라, 전력의 공급 방식을 변경하는 시스템이다. 예를 들면, 태양이 맑게 빛나는 경우처럼 태양광 발전이 행해지는 상황에서는, 태양광 발전에 의해 발생한 전력을 가정 내에서 소비하고, 또한, 잉여 전력은 전력 회사에 의해 제공된 배전선(electric grid)(414)에 공급한다. 한편, 태양광 발전에 의한 전력이 부족한 야간이나 우천시에는, 배전선(414)으로부터 전기의 공급을 받아, 그것을 가정 내에서 소비한다.

[0291] 도 18에 나타난 주택용의 태양광 발전 시스템은 태양광을 전력(직류)으로 변환하는 태양전지 패널(400)이나, 그 전력을 직류로부터 교류로 변환하는 인버터(404) 등을 포함한다. 인버터(404)로부터 출력되는 교류 전력은 각종

의 전기기구(410)를 동작시키는 전력으로서 사용된다.

- [0292] 여분의 전력은 배전선(414)을 통하여 가정 외에 공급된다. 즉, 이 시스템을 이용하여 전력의 매각이 가능하다. 직류 개폐기(402)는 태양전지 패널(400)과 인버터(404) 사이의 접속 또는 차단을 선택하기 위해 형성되어 있다. 또한, 교류 개폐기(408)는 배전선(414)과 접속되는 트랜스(412)와 분전반(406) 사이의 접속 또는 차단을 선택하기 위해 형성되어 있다.
- [0293] 상기의 인버터에, 개시하는 발명의 반도체 장치를 적용함으로써, 신뢰성이 높고, 저렴한 태양광 발전 시스템을 실현할 수 있다.
- [0294] 본 실시형태에 나타난 구성, 방법 등은, 다른 실시형태에 나타난 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0295] [실시예1]
- [0296] 본 실시예에서는, 가열 처리하여 결정화한 산화물 반도체막의 단면을 TEM으로 촬영한 결과를 도 19 및 도 20을 이용하여 설명한다.
- [0297] 먼저, 시료 A의 제작 방법을 이하에 설명한다.
- [0298] 유리 기판 위에, CVD법에 의해 산화질화실리콘막(SiON)을 성막한다. 다음에, 산화질화실리콘막 위에 두께 5 nm의 In-Ga-Zn-O막(OS)을 성막한다. 이때, 산화물 반도체 타겟(In-Ga-Zn-O계 산화물 반도체 타겟(In₂O₃: Ga₂O₃: ZnO = 1:1:2[mol수비], In:Ga:Zn = 1:1:1[원자비]))을 이용하여, 기판 온도 200℃, 성막 속도 4 nm/min으로 하여, 타겟을 스퍼터링하여, In-Ga-Zn-O막을 성막한다. 또한, 상기 산화물 반도체 타겟을 이용하는 경우는, InGaZnO₄의 결정을 얻기 쉽다. 다음에, In-Ga-Zn-O막 위에 보호막을 형성한다. 다음에, 유리 기판 위에 형성된 In-Ga-Zn-O막을, 건조 공기 분위기에서 700℃, 1시간의 가열 처리를 행한 것을 시료 A로 한다.
- [0299] 시료 A의 단면을 촬영한 TEM 사진을 도 19(A)에 나타내고, 도 19(A)의 모식도를 도 19(B)에 나타낸다. 또한, TEM 사진은 가속 전압을 300 kV로 하고, 고분해능 투과 전자 현미경(히타치 제작소 제조「H9000-NAR」:TEM)으로 관찰한 고배율 사진(800만배)이다. In-Ga-Zn-O막은 표면에 대하여 수직 방향으로 c축 배향하고 있고, 산화질화실리콘막과 In-Ga-Zn-O막과의 계면 부근도 결정화되고, 표면에 대하여 수직 방향으로 c축 배향하고 있는 것을 확인할 수 있다. 즉, 평판 형상의 다결정 영역을 가지는 산화물 반도체막이 형성된다. 또한, a-b면에서의 서로 인접하는 평면의 원소는 동일물이다. 또한, 평판 형상의 다결정 영역의 c축 방향은 표면에 대하여 수직 방향에 일치한다.
- [0300] 다음에, 비교예인 시료 B의 제작 방법을 이하에 설명한다.
- [0301] 유리 기판 위에, CVD법에 의해 산화질화실리콘막(SiON)을 성막한다. 다음에, 산화질화실리콘막 위에 시료 A와 마찬가지로의 조건에 의해 두께 50 nm의 In-Ga-Zn-O막을 형성한다. 다음에, In-Ga-Zn-O막 위에 보호막을 성막한다. 다음에, 건조 공기 분위기에서 700℃, 1시간의 가열을 행한 것을 시료 B로 한다.
- [0302] 시료 B의 단면을 촬영한 TEM 사진을 도 20(A)에 나타내고, 도 20(A)의 모식도를 도 20(B)에 나타낸다. TEM 사진은 가속 전압을 300 kV로 하고, 고분해능 투과 전자 현미경(히타치 제작소(Hitachi, Ltd.) 제조「H9000-NAR」:TEM)으로 관찰한 고배율 사진(200만배)이다. In-Ga-Zn-O막의 표면으로부터 약 5 nm의 깊이까지 결정화가 진행되고, In-Ga-Zn-O막의 내부에는 많은 비정질 부분과, 배향이 정렬되어 있지 않은 복수의 결정이 랜덤으로 존재하고 있는 소자를 확인할 수 있다. 따라서, 두께를 50nm로 두껍게 성막한 후에 650℃보다 높은 700℃에서, 6분보다 긴 1시간의 가열 처리를 1회 행하여도, 두꺼운 막 두께 전체를 높은 배향성을 가지는 단결정 영역으로 하는 것은 곤란하다고 할 수 있다.
- [0303] 이들 실험 결과로부터, 2회로 나누어 산화물 반도체막의 성막을 행하고, 결정 성장의 종이 되는 다결정 영역을 형성한 후, 재차 성막한 후에 결정 성장시킴으로써 막 두께가 두꺼운 다결정 영역을 형성할 수 있다고 할 수 있고, 본 명세서에서 개시하는 방법이 매우 유용하다는 것을 알 수 있다. 2회로 나누어 성막을 행하고, 2회의 열 처리를 행함으로써 비로소 높은 배향을 가지는 두꺼운 다결정 영역을 얻을 수 있는데, 즉 평판 형상의 다결정 영역의 표면에 평행한 a-b면을 가지고, 평판 형상의 다결정 영역의 표면에 대하여 수직 방향으로 c축 배향을 하고 있는 다결정 영역을 두껍게 얻을 수 있다.
- [0304] 본 출원은 2009년 11월 28일 일본국 특허청에 출원되고, 그 전문이 본 명세서에 참고로 포함되어 있는, 일련 번

호가 2009-270854인 일본 특허 출원에 기초하고 있다.

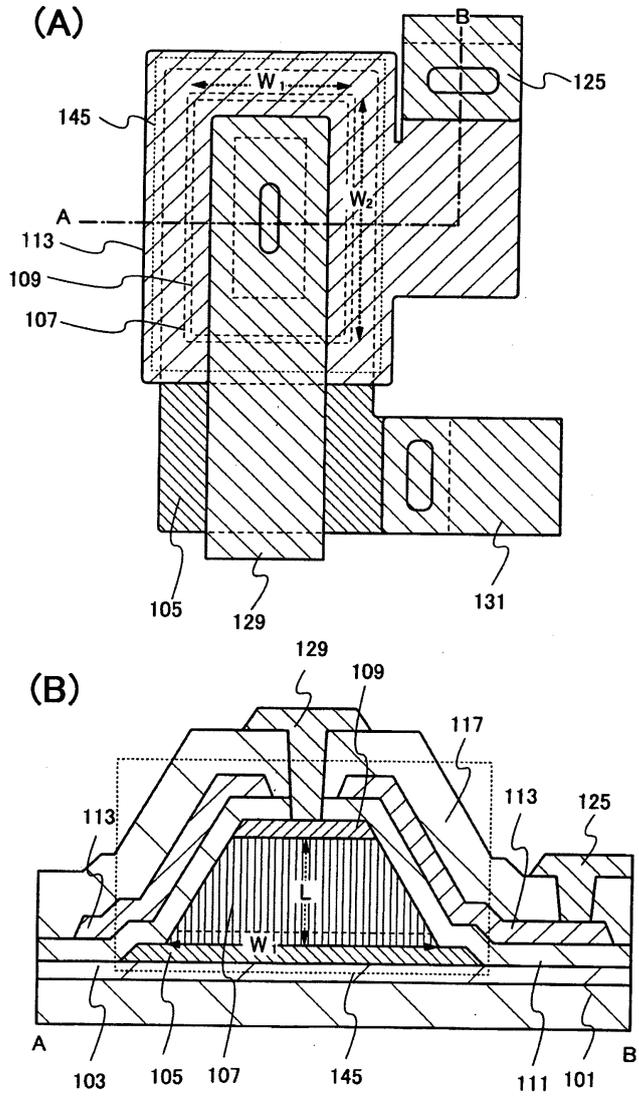
부호의 설명

[0305]

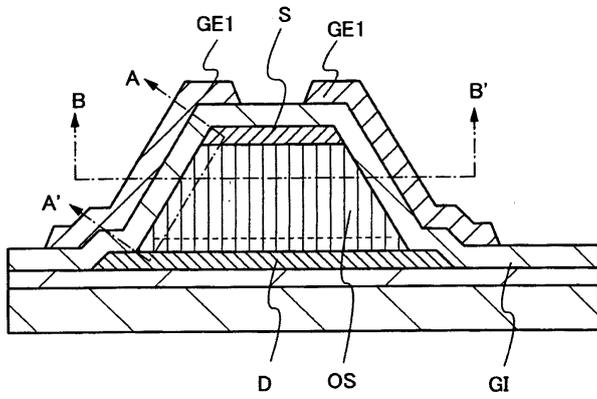
- | | |
|---------------------|---------------------|
| 101 : 기관 | 102a : 제 1 산화물 반도체막 |
| 102b : 제 1 산화물 반도체막 | 102c : 제 1 산화물 반도체막 |
| 103 : 절연 | 104a : 제 2 산화물 반도체막 |
| 104b : 제 2 산화물 반도체막 | 105 : 제 1 전극 |
| 107 : 산화물 반도체막 | 108 : 산화물 반도체막 |
| 109 : 제 2 전극 | 110 : 도전성 막 |
| 111 : 게이트 절연막 | 112 : 제 2 산화물 반도체막 |
| 113 : 제 3 전극 | 117 : 절연막 |
| 119 : 콘택트 홀 | 125 : 배선 |
| 129 : 배선 | 131 : 배선 |
| 145 : 트랜지스터 | 147 : 트랜지스터 |
| 149a : 3단자형 다이오드 | 149b : 3단자형 다이오드 |
| 151 : 단결정 영역 | 153 : 비정질 영역 |
| 161a : 제 2 산화물 반도체막 | 161b : 제 2 산화물 반도체막 |
| 165 : 보호막 | 400 : 태양전지 패널 |
| 402 : 직류 개폐기 | 404 : 인버터 |
| 406 : 분전반 | 408 : 교류 개폐기 |
| 410 : 전기기구 | 412 : 트랜스 |
| 414 : 배전선 | |

도면

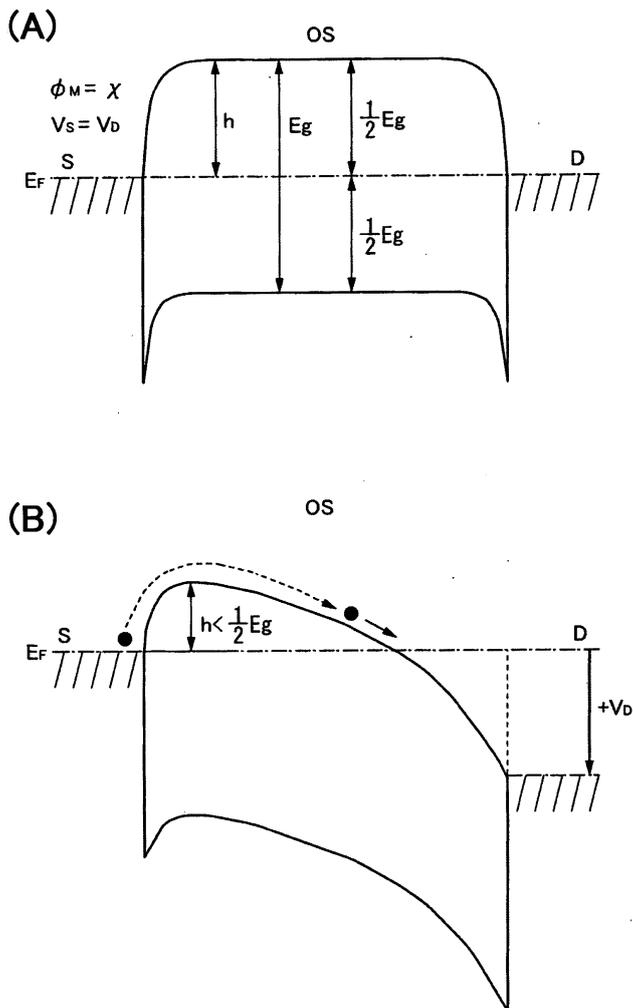
도면1



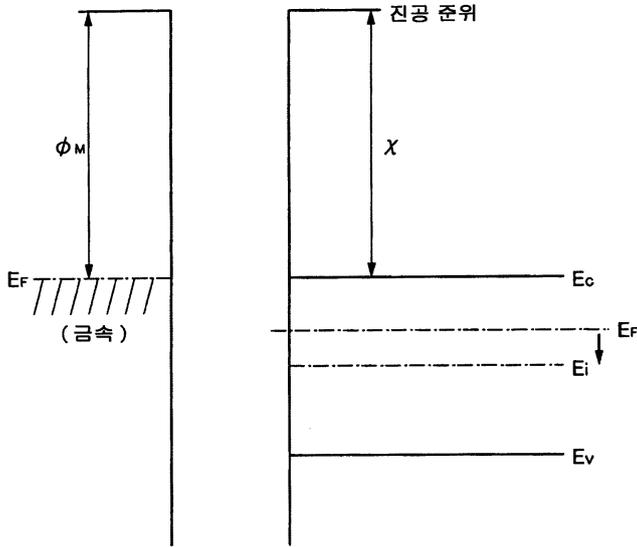
도면2



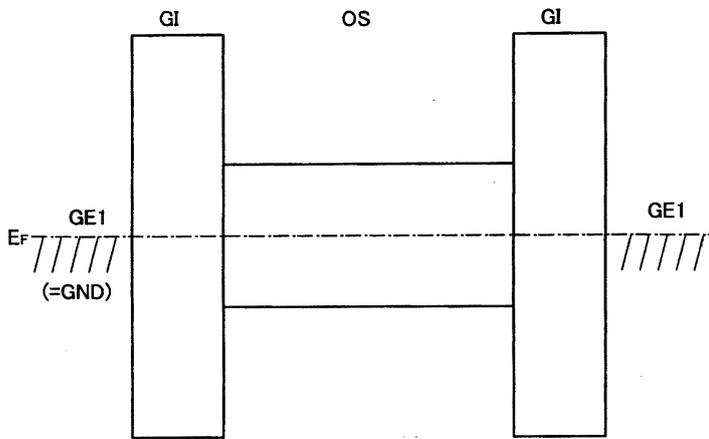
도면3



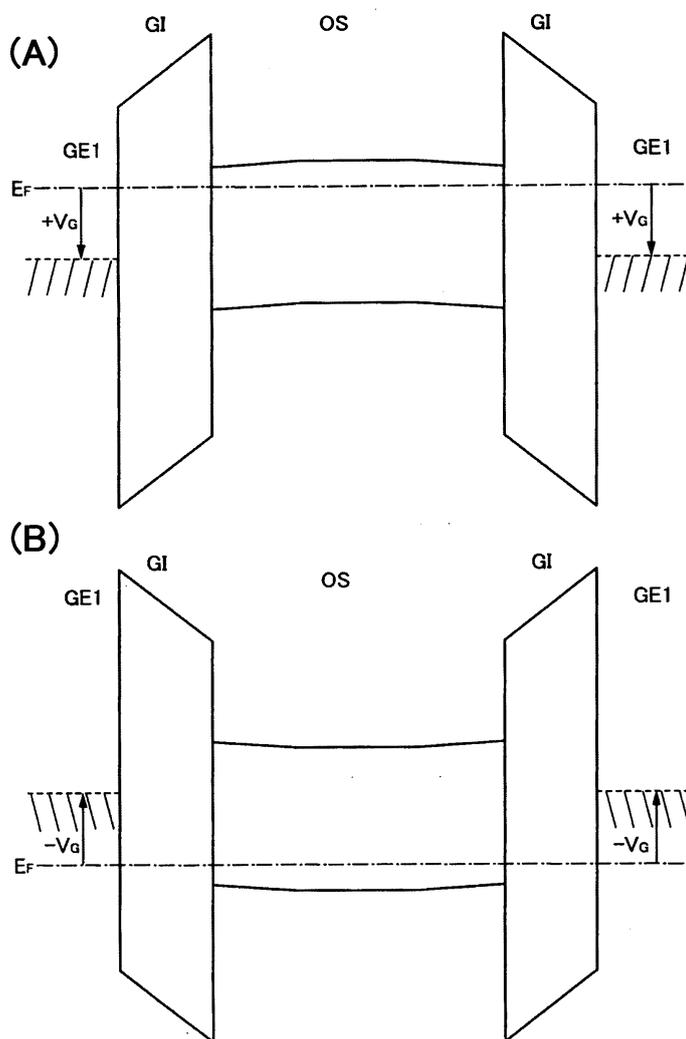
도면4



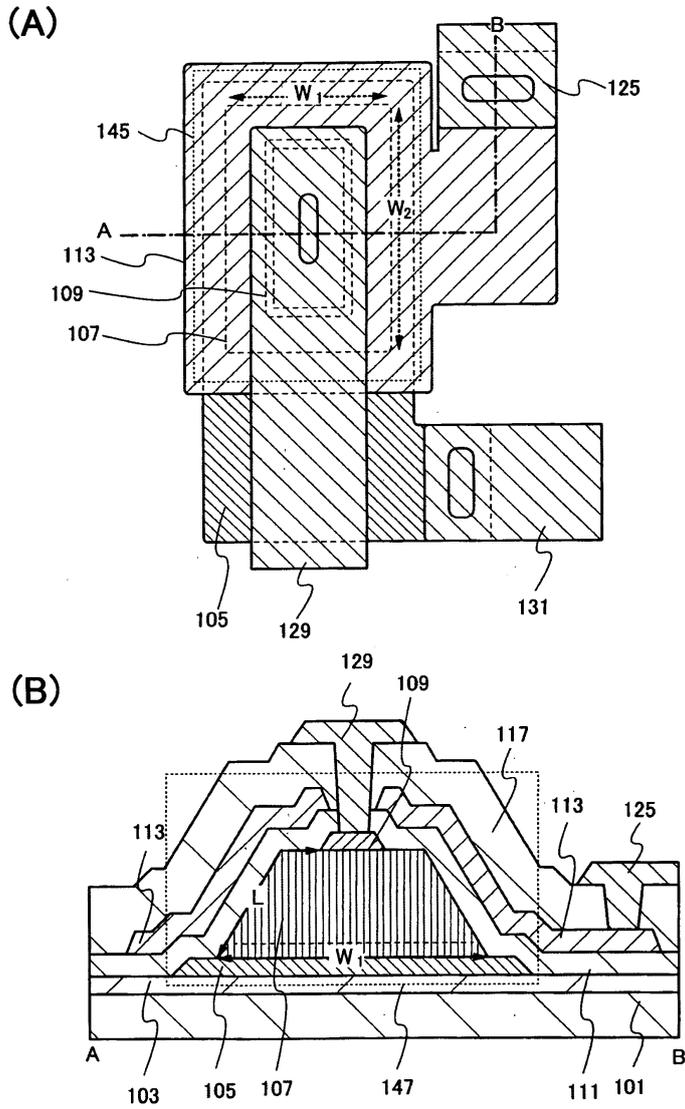
도면5



도면6

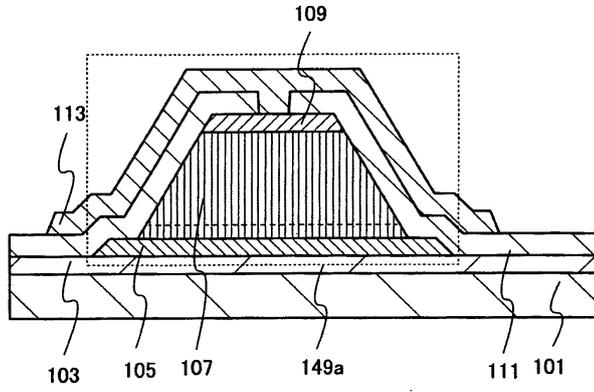


도면7

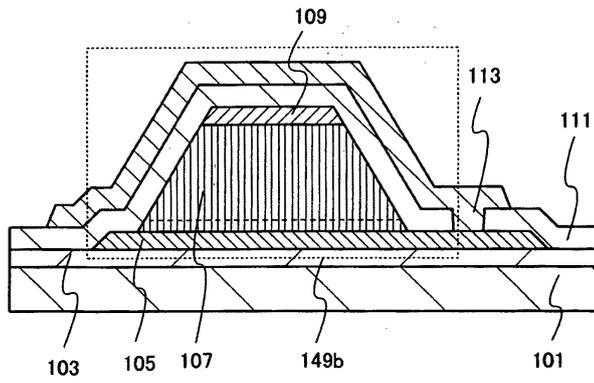


도면8

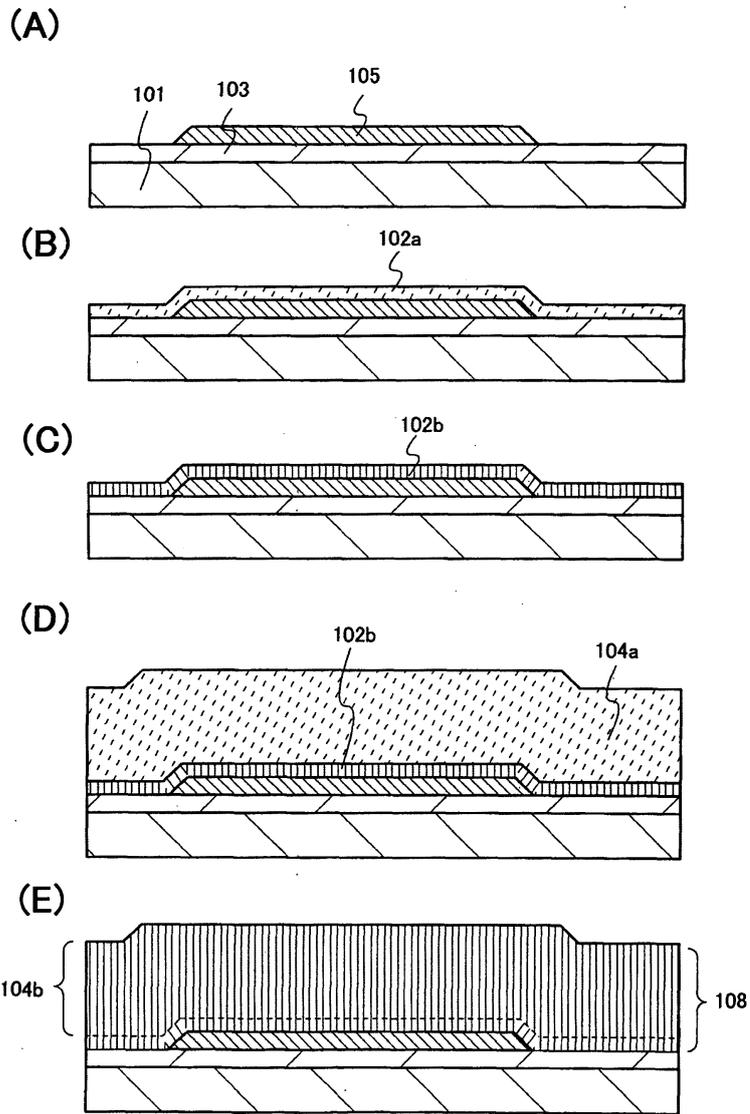
(A)



(B)

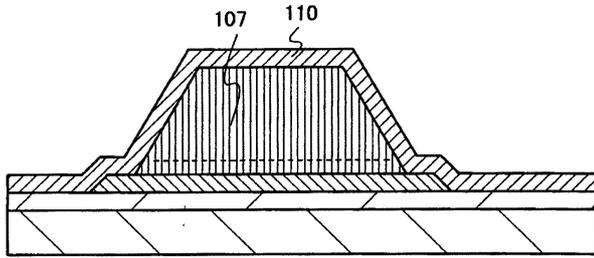


도면9

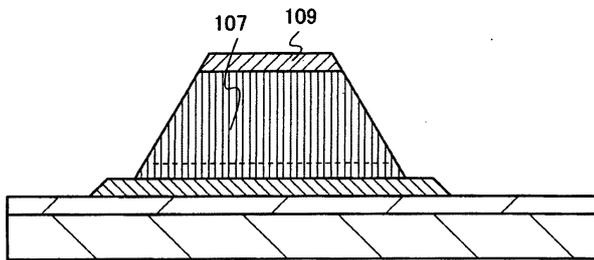


도면10

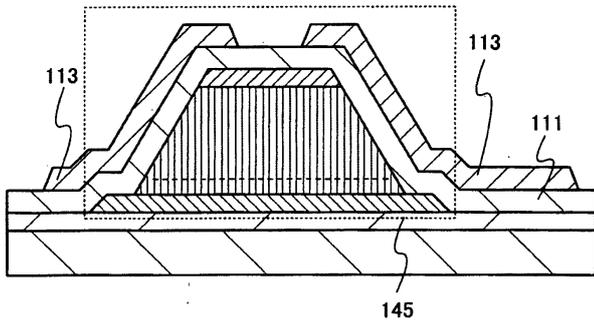
(A)



(B)

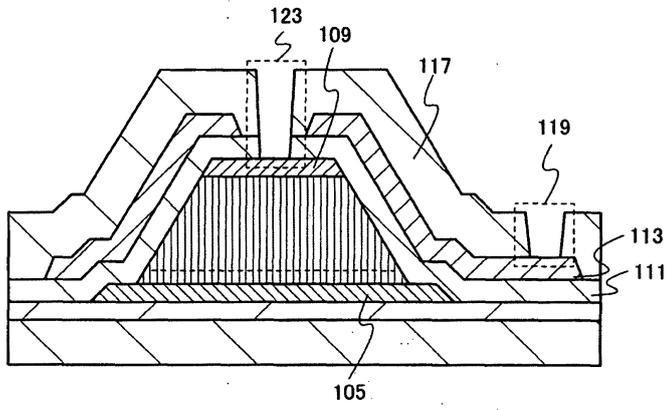


(C)

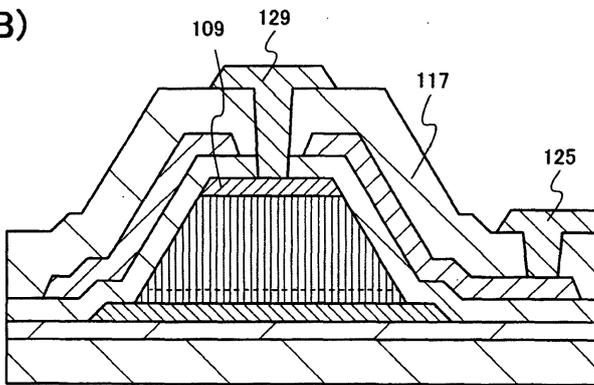


도면11

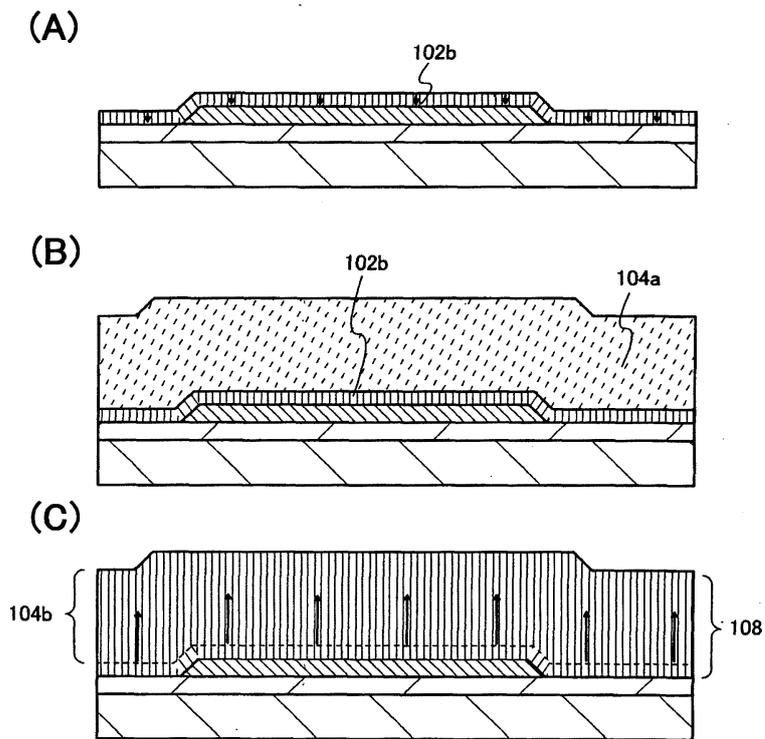
(A)



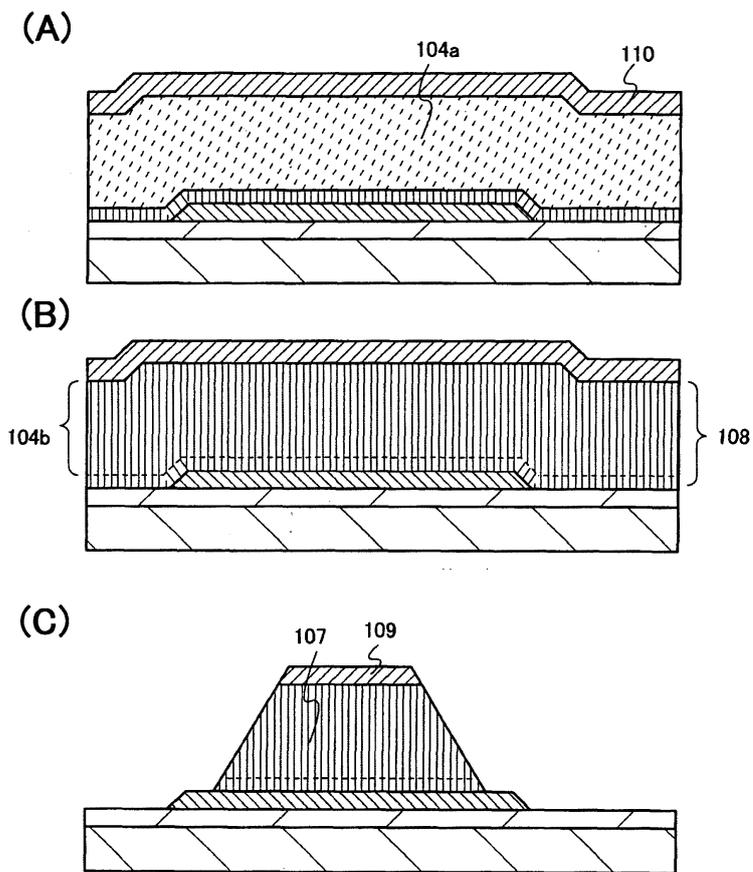
(B)



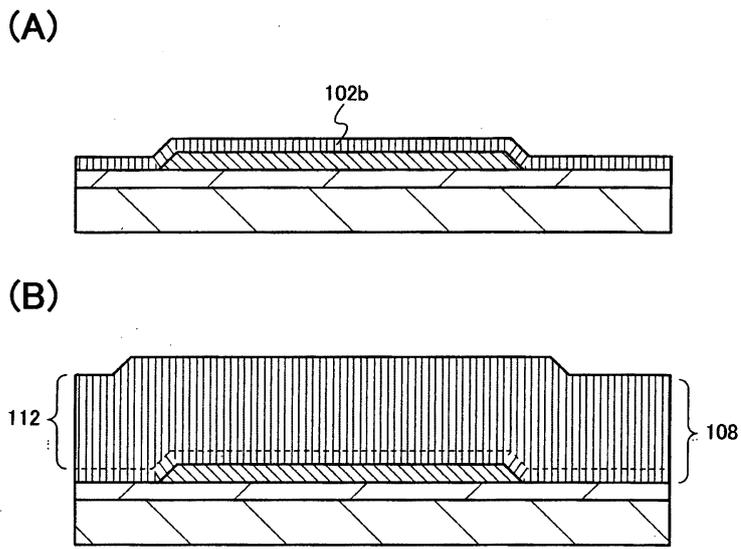
도면12



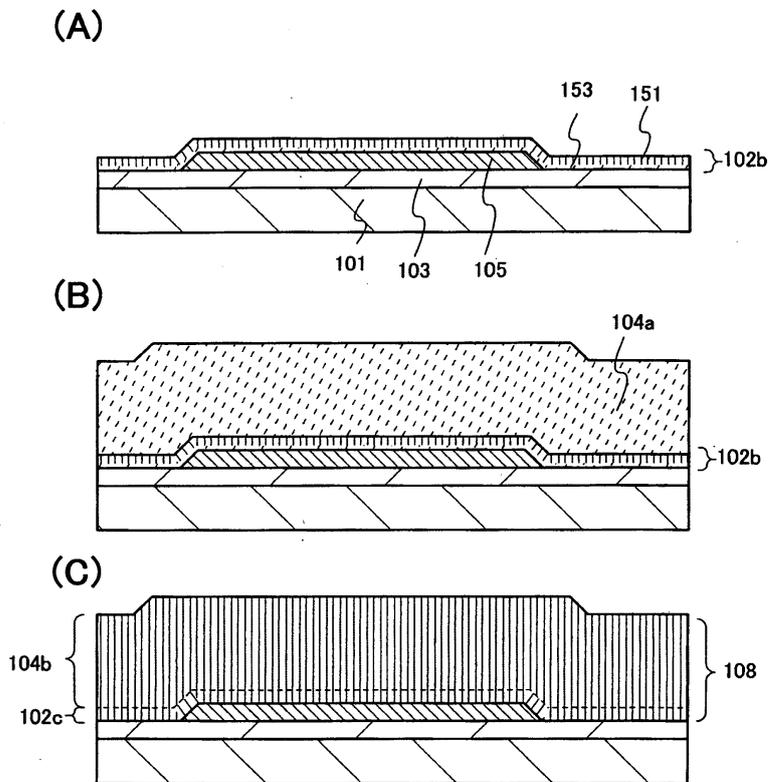
도면13



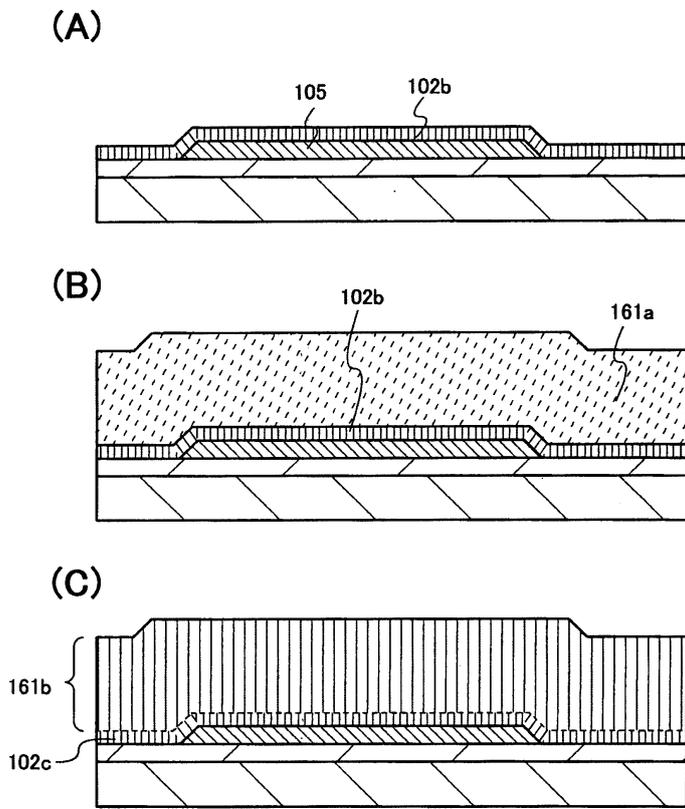
도면14



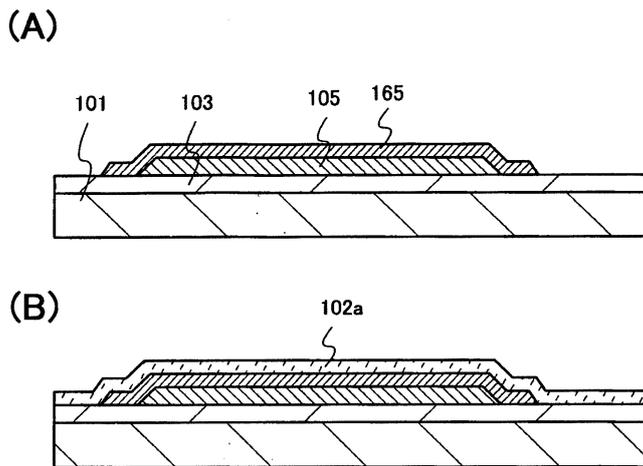
도면15



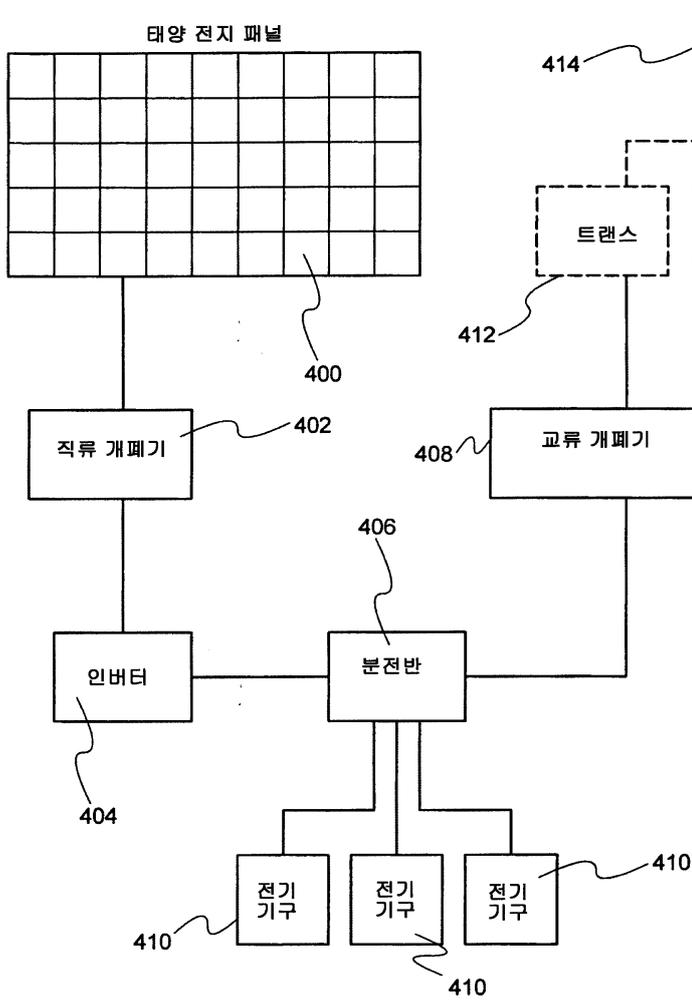
도면16



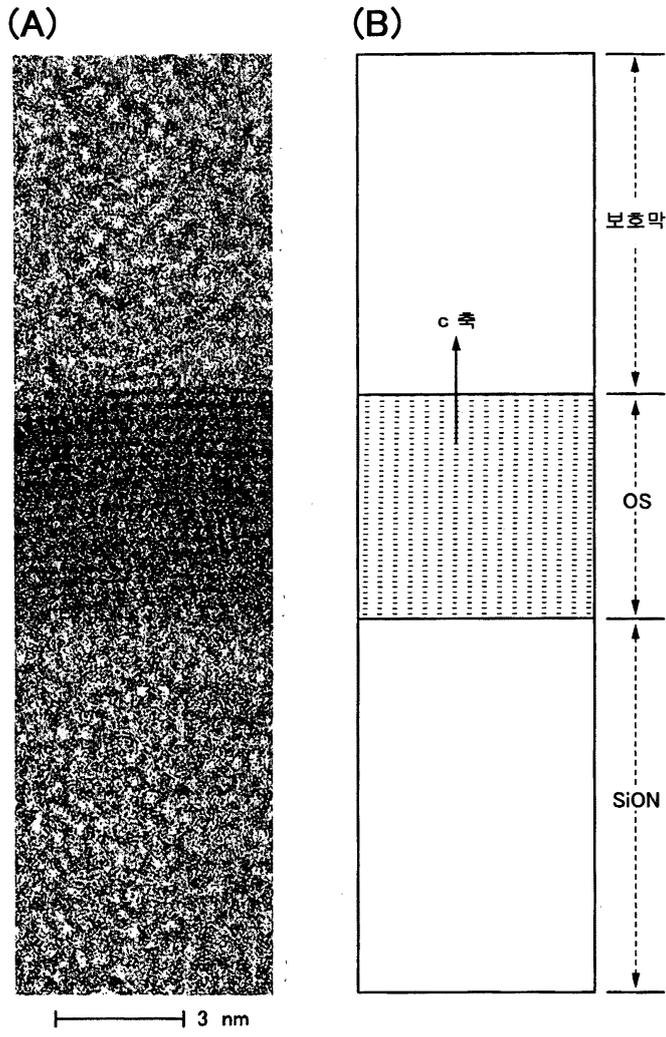
도면17



도면18



도면19



도면20

