

(19) 대한민국특허청(KR)  
(12) 실용신안공보(Y1)

(51) Int. Cl.<sup>6</sup>  
G06F 13/00

(45) 공고일자 1997년07월 19일  
(11) 공고번호 실 1997-0007156

(21) 출원번호	실 1992-0009728	(65) 공개번호	실 1994-0001732
(22) 출원일자	1992년06월02일	(43) 공개일자	1994년01월03일
(73) 실용신안권자	엘지전자주식회사 이현조 서울특별시 영등포구 여의도동 20번지		
(72) 고안자	이쌍수 서울특별시 강서구 공항동 66-113 11동 2반		
(74) 대리인	박장원		

심사관 : 오홍수 (책)  
자공보 제2600호)

(54) 데이터 입출력장치의 액세스 시간 제어회로

요약

내용 없음.

대표도

도1

명세서

[고안의 명칭]

데이터 입출력장치의 액세스 시간 제어회로

[도면의 간단한 설명]

제1도는 종래 데이터 출력장치의 액세스 시간 제어회로의 블록도.

제2도는 제1도에 있어서, 각부의 신호파형도.

제3도는 본 고안 데이터 입출력장치의 액세스 시간 제어회로의 블록도.

제4도는 제3도에 있어서, M개의 I/O 디바이스 접속시 어드레스셋업 시간제어부의 구성도.

제5도는 제3도에 있어서, 8개의 I/O 디바이스 접속시 어드레스셋업 시간제어부의 구성도.

제6도는 제3도 내지 제5도에 따른 각부의 신호파형도.

제7도는 제3도에 있어서, 일부 I/O 디바이스 제어시 어드레스셋업 시간제어부의 구성도.

제8도는 제7도에 따른 각부의 신호파형도.

\*도면의 주요 부분에 대한 부호의 설명\*

1, 10 : 어드레스레지스터스2, 20 : 어드레스변환부

3, 30 : 어드레스상태점검부3-1, 31 : 어드레스영역점검부

3-2, 32 : 어드레스순서점검부3-3, 33 : 프로토콜점검부

4, 40 : 제어로직부5, 50 : 데이터레지스터

6, 60 : 데이터전송부70 : 어드레스셋업시간제어부

71 : 셋업시간레지스터72 : 셋업시간비교제어부

73 : 멀티플렉서

[고안의 상세한 설명]

본 고안은 데이터 입출력 제어기(I/O Device Controller 이하, IOC)의 액세스 시간 제어에 관한 것으로, 특히 각 데이터 입출력 장비(I/O Device)의 액세스 시간을 제어하여 리드신호 및 라이트신호를 발생시키고 많은 데이터 입출력 장비를 접속할 수 있는 데이터 입출력장치의 액세스 시간 제어회로에 관한 것이다.

제1도는 종래 데이터 입출력장치의 액세스 시간 제어회로의 블록도로서 이에 도시한 바와 같이, 시스템

버스에서 어드레스(ADD), 처리타입 및 크기에 따른 데이터(TYP), (SIZE)를 입력받아 저장하는 어드레스레지스터(1)와, 이 어드레스레지스터(1)의 출력을 점검하여 정상상태인지 판별하는 어드레스상태점검부(3)와, 상기 어드레스레지스터(1)의 어드레스를 임출력 버스의 어드레스(I0-ADD)로 변환하는 어드레스변환부(2)와, 상기 어드레스상태점검부(3)의 출력을 입력받아 제어신호(ACK), (I0-CS), (WR), (RD)를 출력하는 제어로직부(4)와, 시스템 버스의 데이터(D)를 저장하는 데이터레지스터(5)와, 이 데이터레지스터(5)의 데이터(D)를 I/O 버스에 맞게 분할하여 데이터(I0-D)를 출력하는 데이터전송부(6)로 구성된 것으로, 상기 어드레스상태점검부(3)는 어드레스를 디코딩하여 임출력 제어기에서 어떤 어드레스 영역에 속하는지 점검하는 어드레스영역점검부(3-1)와, 어드레스의 입력순서가 정상인지 점검하는 어드레스순서점검부(3-2)와, 처리타입 및 크기가 정상인지 점검하는 프로토콜점검부(3-3)로 구성된다.

상기 데이터레지스터(5)와 데이터전송부(6)는 시스템 버스와 I/O 버스간에 양방향으로 데이터를 전송한다.

이와 같이 구성된 종래 회로의 동작과정을 제2도 각부의 신호파형을 참조하여 설명하면 다음과 같다.

먼저, 제2도 (가)에 도시한 클럭(CLK)에 따라 시스템 버스에서 어드레스(ADD), 데이터(D), 처리타입데이터(TYP) 및 처리크기데이터(SIZE)가 입력할 때 어드레스레지스터(1)는 제2도 (나)에 도시한 어드레스스트로브신호(AS)가 저전위가 된 후 상기 어드레스(ADD), 처리타입(TYP) 및 처리크기(SIZE)를 저장하고 데이터레지스터(5)는 상기 데이터(D)를 저장한다.

이때, 어드레스상태점검부(3)는 어드레스레지스터(1)의 어드레스(ADD)를 디코딩하여 어드레스영역점검부(3-1)에서 임출력 제어기의 어드레스 영역에 속하는지 조사하고 어드레스순서점검부(3-2)에서 어드레스(ADD)가 바른 순서로 입력되었는지 점검하여 프로토콜 점검부(3-3)에서 데이터 임출력시 처리타입데이터(TYP) 및 처리크기데이터(SIZE)가 정상인지 점검한다.

이에 따라, 어드레스상태점검부(3)에서 어드레스(ADD) 및 처리프로토콜이 정상으로 판별되면 어드레스변환부(2)는 어드레스레지스터(1)에 저장된 어드레스(ADD)를 입력받아 제2도 (다)에 도시한 바와 같은 어드레스(I0-ADD)로 변환하여 I/O 버스에 출력하고 데이터전송부(6)는 데이터레지스터(5)의 데이터(D)를 제2도(마)에 도시한 바와 같은 데이터(I0-D)로 변환하여 I/O 버스에 출력한다.

따라서, 제어로직부(4)에서 어크놀리지신호(ACK)를 시스템 버스에 출력하고 I/O 버스에 제2도 (라)에 도

시한 선택트신호(  $\overline{IO-CS}$   $\overline{WR}$  )

또한, I/O 디바이스에서 데이터(D)를 읽기 위해 시스템 버스에서 어드레스(ADD)를 출력하여 어드레스레지스터(1)를 통해 어드레스상태점검부(3)에서 점검하고 제어로직부(4)에서

선택트신호(  $\overline{IO-CS}$   $\overline{RD}$  )

그러나, 이와 같은 종래회로는 제2도 (바),(사)에 도시한 바와 같이 구간(A),(B)에서 라이트신호(WR)와 리드신호(RD)에 대한 어드레스셋업시간이 특정값으로 고정되어 있다. 즉, 구간 (A),(B)동안 시스템 클럭의 수가 고정되어 있으므로 I/O에 여러개의 I/O 디바이스를 접속하여 사용할 때 정상적인 동작을 위해 가장 긴 어드레스셋업시간을 갖는 I/O 디바이스를 기준으로 하여 설계하여야 한다.

따라서, 전체 시스템의 I/O의 액세스 시간이 증가되어 처리속도가 저하되고, 성능이 향상되어 어드레스셋업시간이 더 짧아진 I/O 디바이스를 사용하여도 처리속도의 향상은 없으며, I/O가 보장하는 어드레스셋업시간 보다 긴 액세스 시간을 갖는 I/O 디바이스는 제어할 수 없을 뿐 아니라 시스템 클럭을 바뀐 경우 I/O에서 보장하는 복귀시간(Recovery time)이 변하므로 오동작하는 문제점이 있었다.

본 고안은 이러한 문제점을 감안하여 레지스터에 각 I/O 디바이스의 최소 어드레스셋업시간을 저장하고 각 I/O 디바이스 액세스시 I/O(I/O device Controller)에 의해 각 I/O 디바이스의 리드신호 또는 라이트신호의 어드레스셋업시간이 레지스터에 프로그램된 최소 어드레스셋업시간을 만족하도록 제어하는 데이터 임출력 제어기의 액세스 시간 제어회로를 안출한 것으로, 이를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

제3도는 본 고안 데이터 임출력장치의 액세스 시간 제어회로의 블록도로서 이에 도시한 바와 같이, 시스템 버스의 어드레스(ADD), 처리타입데이터(TYP) 및 처리크기데이터(SIZE)를 일시저장하는 어드레스레지스터(10)와, 이 어드레스레지스터(10)의 어드레스(ADD)를 디코딩하여 어드레스(ADD)가 I/O의 어드레스영역에 속하는지 점검하고 상기 어드레스(ADD)가 순서대로 입력되었는지 점검함과 아울러 프로토콜에 따른 처리타입(TYP) 및 처리크기(SIZE)가 정상인지 점검하는 어드레스상태점검부(30)와, 상기 어드레스레지스터(10)의 어드레스(ADD)를 변환하여 임출력어드레스(I0-ADD)로 출력하는 어드레스변환부(20)와, 상기 어드레스상태점검부(30)의 상태점검신호(TTS)가 인에이블되면 제어신호 (I0-CS), (WR), (RD)를 출력하여 시스템의 동작을 제어하는 제어로직부(40)와, 시스템 버스의 데이터(D)를 일시저장하는 데이터레지스터(50)와, 이 데이터레지스터(50)의 데이터(D)를 크기에 따라 분할하여 I/O 버스에 출력하는 데이터전송부(60)와, 각 I/O 디바이스의 어드레스셋업시간을 저장하고 상기 제어로직부(40)의 출력(WR), (RD)의 어드레스셋업시간을 시스템 클럭(CLK)으로 계산하고 상기 I/O 디바이스의 어드레스셋업시간과 비교하여 액세스 시간을 제어하는 어드레스셋업시간제어부(70)로 구성된 것으로, 상기 어드레스상태점검부(30)는 제1도의 종래회로와 동일하게 어드레스영역점검부(31), 어드레스순서점검부(32) 및 프로토콜점검부(33)로 구성하고, 상기 어드레스셋업시간제어부(70)는 각 I/O 디바이스의 최소어드레스셋업시간을 시스템 클럭의 수로 환산하여 각 I/O 디바이스에 할당된 비트에 저장하는 셋업시간레지스터(71)와, 이 셋업시간레지스터(71)의 출력을 선택신호(SEL)에 따라 선택출력하는 멀티플렉서(73)와, 제어로직

부(40)의 리드신호(RD) 및 라이트신호(WR)의 셋업시간을 시스템 클럭(CLK)으로 환산하여 상기 셋업시간 레지스터(71)의 출력과 비교하여 최소 어드레스셋업시간을 만족하면 어드레스스트로브신호(AS-OK)를 상기 제어로직부(40)에 출력하는 셋업시간비교제어부(72)로 구성한다.

이와 같이 구성된 본 고안 데이터 입출력장치의 액세스 시간 제어회로의 작용 및 효과를 제4도 M개의 I/O 디바이스 접속시 어드레스셋업시간제어부의 구성도, 제5도 8개의 I/O 디바이스접속시 어드레스셋업시간제어부의 구성도, 제6도 제3도 내지 제5도에 따른 각부의 신호파형도, 제7도 일부 I/O 디바이스 제어시 어드레스셋업시간제어부의 구성도, 제8도 제7도에 따른 각부의 파형도를 참조하여 상세히 설명하면 다음과 같다.

먼저, 시스템과 M개의 I/O 디바이스를 인터페이스시킬 경우 어드레스셋업시간제어부(70)의 셋업시간레지

스터(71)에 각 I/O 디바이스의 최소 어드레스셋업시간을 시스템 클럭(CLK)의 수로 환산하여

$$\frac{N}{M}$$

여기서, N은 셋업시간레지스터(71)의 총 비트수로서

이때, 제6도 (가)에 도시한 바와 같이 시스템 클럭(CLK)에 따라 시스템 버스에 어드레스(ADD), 데이터(D), 처리타입과 처리크기에 대한 데이터(TYP), (SIZE)가 입력할 때 인에이블된 어드레스스트로브신호(AS)를 입력받은 어드레스레지스터(10)는 상기 어드레스(ADD), 처리타입데이터(TYP) 및 처리크기데이터(SIZE)를 일시 저장하여 출력하고 제어로직부(10)의 데이터제어신호(D-Ct1)를 입력받은 데이터레지스터(50)는 상기 데이터(D)를 일시저장하여 출력한다.

따라서, 어드레스레지스터(10)의 어드레스(ADD)를 디코딩한 어드레스상태점검부(30)는 어드레스영역점검부(31)에서 상기 어드레스(ADD)가 I/O의 어드레스 영역에 속하는지 점검하여 해당 영역의 어드레스일 경우 어드레스 영역판별신호(AMH)를 인에이블시키고 어드레스순서점검부(32)에서 저장된 어드레스(ADD)가 바른 순서로 입력되었는지 점검하여 바른 순서이면 어드레스순서판별신호(AHA)를 인에이블시키면 프로토콜점검부(33)는 상기 어드레스정렬점검부(32)의 인에이블된 어드레스순서판별신호(AHA)를 입력받아 상기 어드레스레지스터(10)에 저장된 처리타입데이터(TYP)와 처리크기데이터(SIZE)를 점검하여 정상적으로 처리할 수 있는지 점검한 후 정상이면 프로토콜판별신호(TTS)를 제어로직부(40)에 출력한다.

또한, 어드레스변환부(20)는 어드레스레지스터(10)의 저장어드레스(ADD)를 제6도 (다)에 도시한 바와 같은 어드레스(10-ADD)로 변환하여 I/O 버스에 출력하고 데이터전송부(60)는 제어로직부(40)의 데이터제어신호(D-Ct1)에 따라 데이터레지스터(50)의 데이터(D)를 I/O 디바이스의 데이터라인에 입력되게 분할처리하여 데이터(10-D)로 I/O 버스로 출력한다.

그리고, 제어로직부(40)는 I/O 디바이스를 선택하기 위해 제6도 (라)에 도시한 바와 같이 선택신호(10-CS)를 인에이블시켜 I/O 버스에 출력한 후 제6도 (사)에 도시한 바와 같이 라이트신호(WR)를 인에이블시켜 제6도 (마)에 도시한 바와 같이 데이터전송부(60)의 데이터(10-D)를 어드레스(10-ADD)에 해당하는 I/O 디바이스에 전송한다.

이때, 어드레스셋업시간제어부(70)의 셋업시간비교제어부(72)는 제어로직부(40)의 라이트신호(WR)를 검출하여 시스템 클럭(CLK)의 수로 환산한 후 선택신호(SEL)가 입력한 멀티플렉서(73)를 통해 입력한 셋업시간레지스터(71)에 저장된 최소 어드레스셋업시간과 비교하여 만족하면 제6도 (바)에 도시한 바와 같이 어드레스스트로브신호(AS-OK)를 인에이블시킨다.

반대로, I/O 디바이스의 데이터(10-D)를 읽을 경우 시스템 버스의 데이터(D) 전송시와 동일하게 어드레스변환부(20)에서 어드레스(10-ADD)를 출력시키고 제어로직부(40)에서 제6도 (라)에 도시한 바와 같이 선택신호(10-CS)를 인에이블시켜 임의의 I/O 디바이스를 선택한 후 제6도 (아)에 도시한 바와 같이 리드신호(RD)를 인에이블시켜 데이터전송부(60)로 제6도 (자)에 도시한 바와 같이 데이터(10-D)를 입력시킨다.

이때, 셋업시간비교제어부(72)는 셀렉트신호(SEL)에 의해 멀티플렉서(73)를 통해 셋업시간레지스터(71)에 저장된 임의의 I/O 디바이스의 최소 어드레스셋업시간을 입력받고 제어로직부(40)의 리드신호(RD)를 검출하여 시스템 클럭(CLK)의 수로 환산한 후 비교하여 상기 최소 어드레스셋업시간을 만족하면 제6도 (바)에 도시한 바와 같이 어드레스스트로브신호(AS-OK)를 인에이블시킨다.

제5도는 본 고안 실시예로서 제6도 (사), (아)에 도시한 바와 같이 라이트신호(WR)와 리드신호(RD)의 복귀시간(Recovery Time)이 구간 (A), (B)에서 만족할 때 8개의 I/O 디바이스를 시스템 버스에 접속시킬 경우로서 셋업시간레지스터(71)의 총 비트수는 32비트이고 각 I/O 디바이스에 4비트씩 할당하여 최소 어드레스셋업시간을 저장하고 제어로직부(40)의 제어신호에 따라 시스템의 데이터(D) 또는 I/O 디바이스의 데이터(10-D)를 전송한다.

여기서, 셋업시간레지스터(71)에 저장되는 최소 어드레스시간은 아래의 표 1)와 같이 시스템 클럭(CLK)의 수에 따라 비트(SA<sub>3</sub>-SA<sub>0</sub>) 값으로 환산하여 저장한다.

[표 1]

SA <sub>3</sub>	SA <sub>2</sub>	SA <sub>1</sub>	SA <sub>0</sub>	시스템 클럭 수
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

이때, 임의의 I/O 디바이스를 선택하기 위해 아래 표 2)와 같은 임의의 3비트인 선택신호(SEL)의 값을 멀티플렉서(73)에 입력시킴으로써 셋업시간레지스터(71)의 출력(K<sub>0</sub>-K<sub>7</sub>)중 하나를 선택하여 셋업시간비교 제어부(72)에 출력한다.

[표 2]

SEL <sub>2</sub>	SEL <sub>1</sub>	SEL <sub>0</sub>	수행중인 I/O 디바이스
0	0	0	I/O디바이스 #0
0	0	1	I/O디바이스 #1
0	1	0	I/O디바이스 #2
0	1	1	I/O디바이스 #3
1	0	0	I/O디바이스 #4
1	0	1	I/O디바이스 #5
1	1	0	I/O디바이스 #6
1	1	1	I/O디바이스 #7

한편, 라이트신호(WR), 리드신호(RD)의 어드레스셋업시간에 대한 제한조건이 없는 I/O 디바이스와 제한 조건이 있는 I/O 디바이스가 혼합된 경우 제7도에 도시한 바와 같이 구성한다.

이때, 셋업시간레지스터(71)의 비트(20-27)를 4비트씩 분할하여 I/O 디바이스(#5),(#6)의 최소 어드레스 셋업시간을 시스템 클럭의 수로 환산하여 저장하고 시스템 버스의 데이터(D) 또는 I/O 디바이스의 데이터(10-D)의 전송시 상기 I/O 디바이스(#5),(#6)이 선택할 경우 2×1 멀티플렉서(73)에 아래 표 3)와 같이 선택신호(SEL)를 입력시킨다.

[표 3]

SEL	수행중인 I/O 디바이스
0	I/O디바이스 #5
1	I/O디바이스 #6

따라서, 최소 어드레스셋업시간을 제한하여 제8도 (마)에 도시한 바와 같이 셋업시간비교제어부(72)는 선택신호(SEL)에 따라 멀티플렉서(73)로 셋업시간레지스터(71)에서 최소 어드레스셋업시간을 입력받고 제8도 (사)에 도시한 바와 같이 제어로직부(40)의 라이트신호(WR)를 검출한 후 복귀시간(Recovery Time)을 시스템 클럭으로 계수하여 비교하며 제8도 (바)에 도시한 바와 같이 어드레스스트로브신호(AS-0K)는 항상 저전위로 상기 제어로직부(40)에 출력한다.

또한, 최소 어드레스셋업시간을 제한하여 제8도 (차)에 도시한 바와 같은 I/O 디바이스의 데이터(10-D)를 입력받는 경우 셋업시간비교제어부(72)는 선택신호(SEL)에 의해 멀티플렉서(73)로 선택한 셋업시간레지스터(71)의 최소 어드레스셋업시간을 입력받고 제8도 (자)에 도시한 바와 같은 제어로직부(40)의 리드신호(RD)의 인에이블 상태를 검출한 후 다시 인에이블되는 복귀시간(Recovery Time)을 시스템 클럭으로

환산하여 비교하며 어드레스스트로브신호(AS-OK)는 제8도 (아)에 도시한 바와 같이 항상 저전위로 상기 제어로직부(40)에 출력한다.

즉, 리드신호(RD) 또는 라이트신호(WR)의 최소 어드레스셋업시간을 제어할 필요없이 복귀시간(Recovery Time)을 계수하여 비교함으로써 I/O 디바이스를 제어하여 데이터(D), (10-D)의 전송을 수행한다.

상기에서 상세히 설명한 바와 같이 본 고안 데이터 입출력장치의 셋업시간제어회로는 IOC(I/O Device Controller)로 I/O 디바이스를 제어할 때 동작중인 I/O 디바이스의 특성에 따라 어드레스셋업시간을 가변적으로 제어함으로써 다수개의 I/O 디바이스와 데이터 송수신을 수행할 때 액세스 시간을 줄일 수 있고 I/O 디바이스의 성능이 향상되어 최소 어드레스셋업시간이 더 짧아진 경우에도 셋업시간레지스터의 값만을 재저장함으로써 모든 I/O 디바이스를 제어할 수 있으며 시스템 클럭이 바뀔 경우 주기에 따라 어드레스셋업시간을 다시 환산하여 저장함으로써 IOC의 처리속도를 향상시킬 뿐 아니라 많은 I/O 디바이스를 간편하게 제어할 수 있는 효과가 있다.

**(57) 청구의 범위**

**청구항 1**

어드레스스트로브신호(AS)가 인에이블되면 시스템 버스의 어드레스(ADD), 처리타입데이터(TYP) 및 처리크기데이터(SIZE)를 일시저장하는 어드레스레지스터(10)와, 이 데이터레지스터(50)의 어드레스(ADD)를 I/O 버스의 어드레스(10-ADD)로 변환하는 어드레스변환부(20)와, 상기 어드레스레지스터(10)의 어드레스(ADD)를 디코딩하여 어드레스영역, 어드레스(ADD)의 입력순서, 처리타입데이터(TYP) 및 처리크기데이터(SIZE)가 정상인지 점검하는 어드레스상태점검부(30)와, 이 어드레스상태점검부(30)의 프로토콜 판별신호(TTS)가 인에이블되면 I/O 버스에 선택신호(10-CS), 라이트신호(WR) 또는 리드신호(RD)를 출력하는 제어로직부(40)와, 이 제어로직부(40)의 데이터제어신호(D-Ct1)에 따라 시스템 버스의 데이터(D)를 저장하는 데이터레지스터(50)와, 상기 제어로직부(40)의 데이터제어신호(D-Ct1)에 따라 상기 데이터레지스터(50)의 데이터(40)와 I/O 버스의 데이터(10-D)를 양방향으로 전송하는 데이터전송부(60)와, 상기 제어로직부(40)의 라이트신호(WR) 또는 리드신호(RD)를 검출하여 시스템 클럭의 수로 환산한 후 I/O 디바이스의 최소 어드레스셋업시간과 비교하여 만족하면 어드레스스트로브신호(AS-OK)를 인에이블시켜 상기 제어로직부(40)에 출력하는 어드레스셋업시간제어부(70)로 구성된 것을 특징으로 하는 데이터 입출력장치의 액세스 시간 제어회로.

**청구항 2**

제1항에 있어서, 어드레스셋업시간제어부(70)는 각 I/O 디바이스의 특성에 따른 최소 어드레스셋업시간을 시스템 클럭의 수로 환산하여 저장하는 셋업시간레지스터(71)와, 선택신호(SEL)에 따라 상기 셋업시간레지스터(71)에서 임의의 비트(Ki)를 선택출력하는 멀티플렉서(73)와, 이 멀티플렉서(73)의 출력(Ki)과 제어로직부(40)의 라이트신호(WR) 또는 리드신호(RD)를 시스템 클럭으로 환산한 값을 비교하여 만족하면 어드레스스트로브신호(AS-OK)를 인에이블시키는 셋업시간비교제어부(72)로 구성된 것을 특징으로 하는 데이터 입출력장치의 액세스 시간 제어회로.

**청구항 3**

$$\frac{N}{M}$$

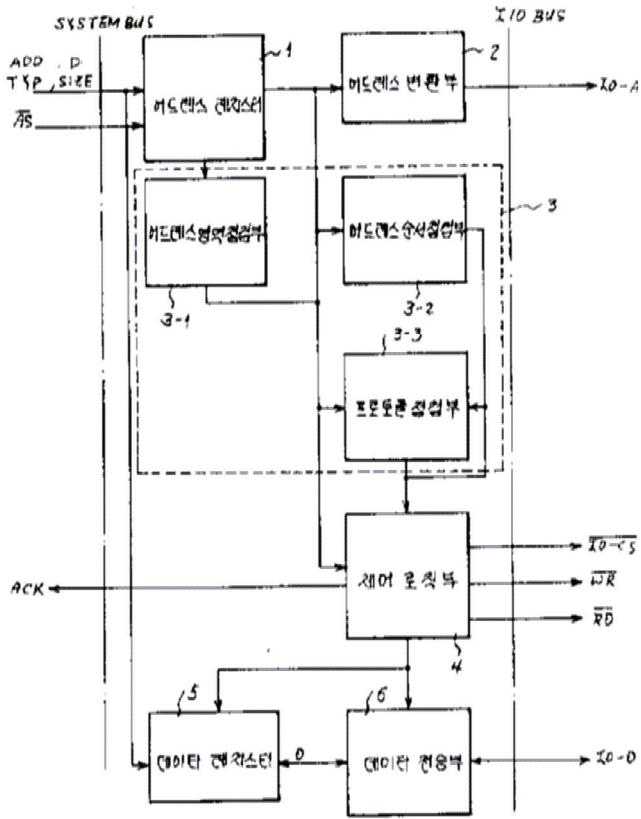
제2항에 있어서, 셋업시간레지스터(71)는

**청구항 4**

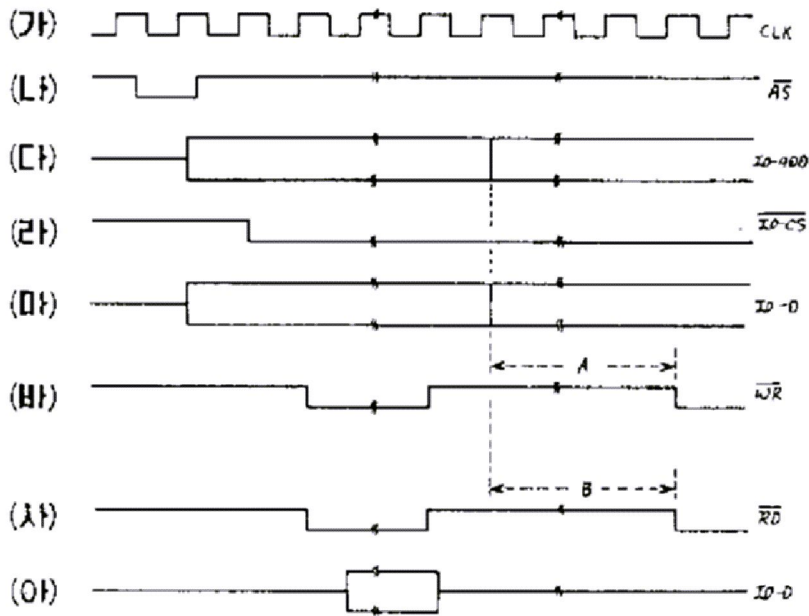
제2항에 있어서, 셋업시간비교제어부(72)는 일부 I/O 디바이스를 제어하여 최소 어드레스셋업시간을 제어할 필요가 없을 경우 어드레스스트로브신호(AS-OK)를 항상 인에이블시킨 상태에서 제어로직부(40)의 라이트신호(WR) 또는 리드신호(RD)의 복귀시간(Recovery)을 시스템 클럭의 수로 환산하여 멀티플렉서(73)의 출력과 비교하고 I/O 디바이스의 액세스 시간을 제어하도록 구성된 것을 특징으로 하는 데이터 입출력장치의 액세스 시간 제어회로.

**도면**

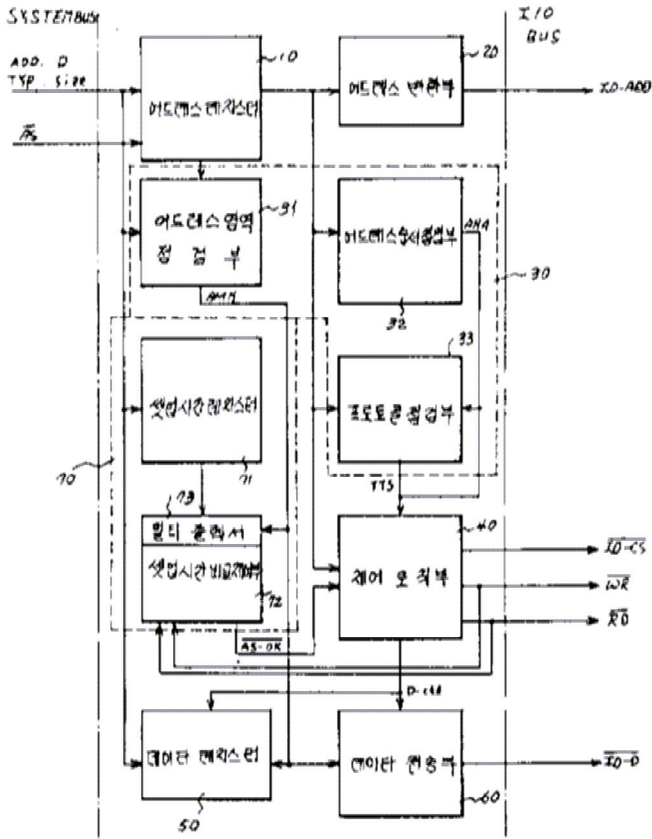
도면1



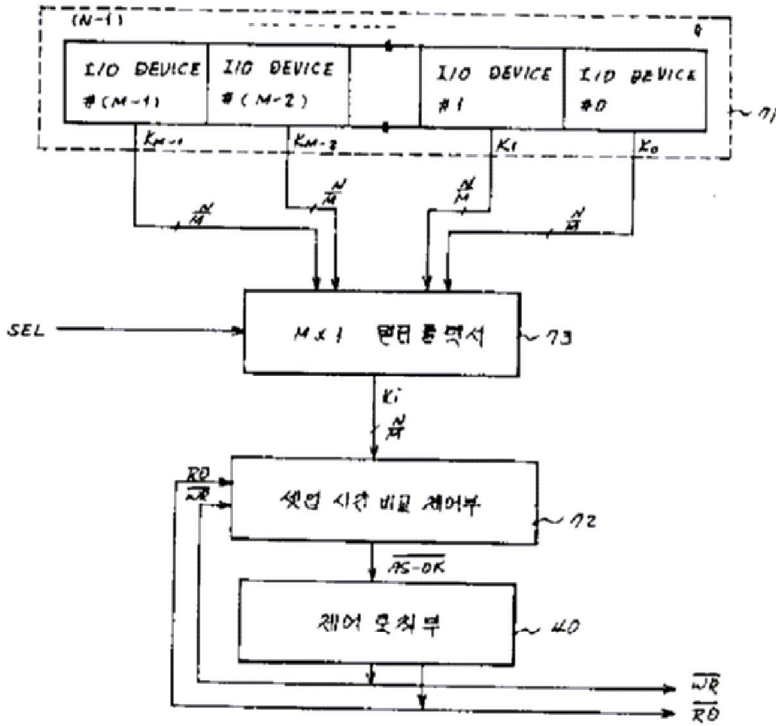
도면2



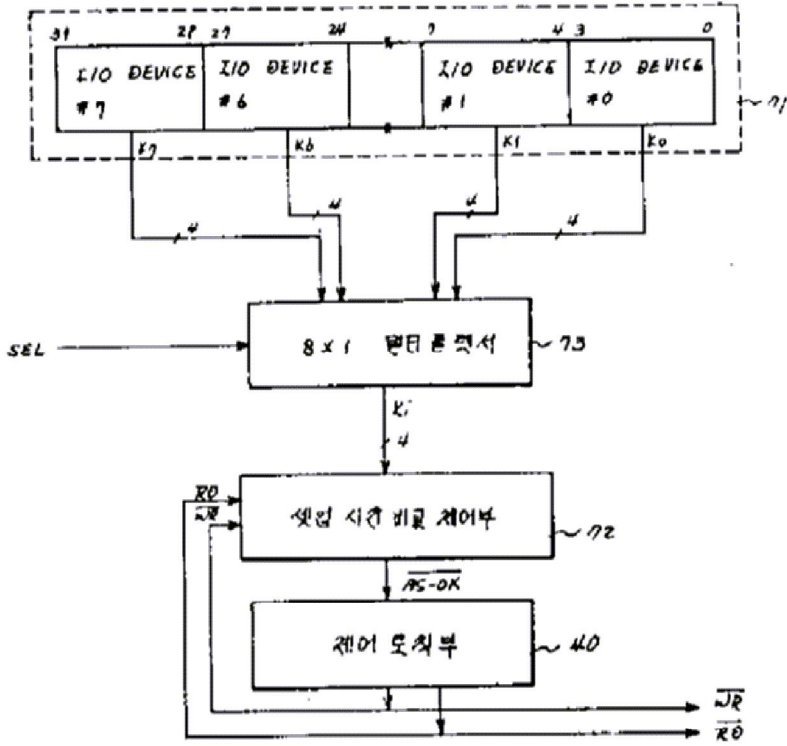
도면3



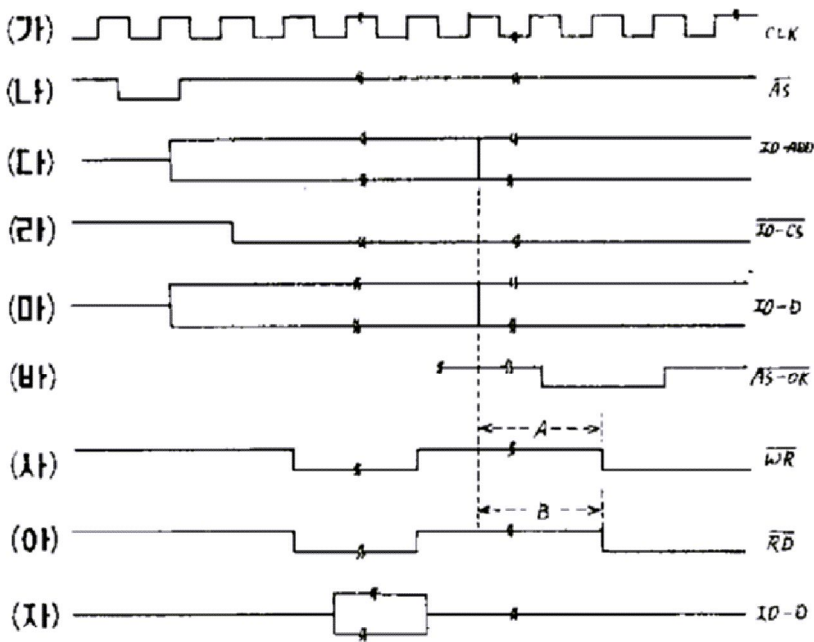
도면4



도면5

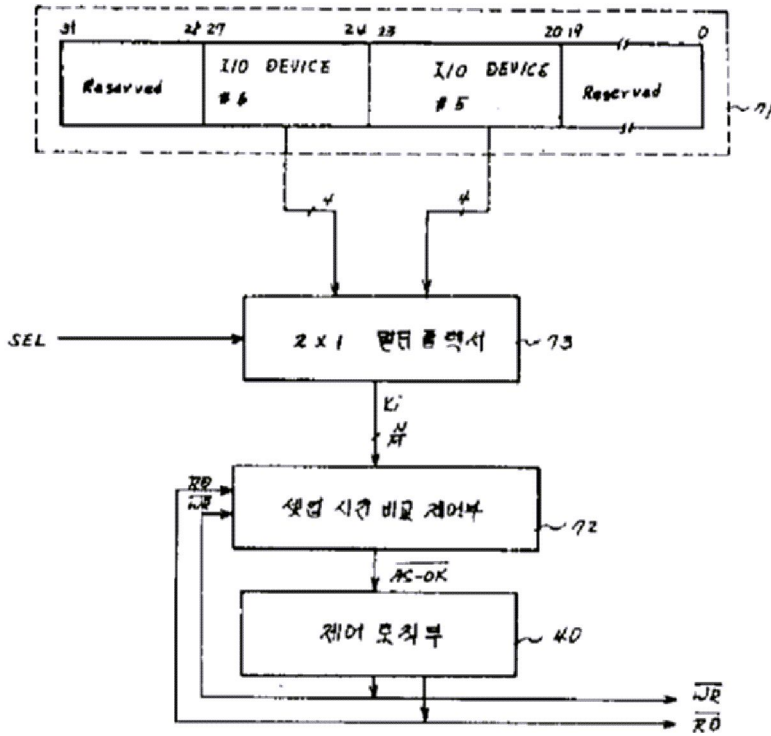


도면6





도면7



도면8

