



## (12)发明专利

(10)授权公告号 CN 105518861 B

(45)授权公告日 2018.10.02

(21)申请号 201480046278.0

(22)申请日 2014.06.20

(65)同一申请的已公布的文献号  
申请公布号 CN 105518861 A

(43)申请公布日 2016.04.20

(30)优先权数据  
61/837,557 2013.06.20 US  
62/002,045 2014.05.22 US

(85)PCT国际申请进入国家阶段日  
2016.02.19

(86)PCT国际申请的申请数据  
PCT/US2014/043421 2014.06.20

(87)PCT国际申请的公布数据  
W02014/205353 EN 2014.12.24

(73)专利权人 斯坦舍有限公司  
地址 美国加利福尼亚州

(72)发明人 李齐珩 罗栗 金映植 郑宇植

(74)专利代理机构 北京志霖恒远知识产权代理  
事务所(普通合伙) 11435  
代理人 孟阿妮 郭栋梁

(51)Int.Cl.  
H01L 27/146(2006.01)

(56)对比文件  
JP S50116290 ,1975.09.11,  
US 2003234759 A1,2003.12.25,  
US 5341008 A,1994.08.23,  
US 5800494 A,1999.03.09,  
CN 102881703 A,2013.01.16,  
JP 2011134784 A,2011.07.07,  
US 7176530 B1,2007.02.13,  
CN 100414709 C,2008.08.27,  
US 8093597 B2,2012.01.10,  
CN 101872775 A,2010.10.27,  
JP S50116290 ,1975.09.11,

审查员 赵洋

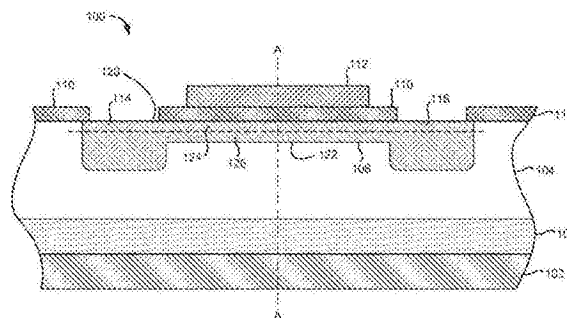
权利要求书3页 说明书17页 附图15页

### (54)发明名称

用于CMOS传感器的栅控电荷调制器件

### (57)摘要

本发明公开了一种用于感测光的器件,包括掺杂有第一类型掺杂剂的第一半导体区域以及掺杂有第二类型掺杂剂的第二半导体区域。所述第二半导体区域位于所述第一半导体区域的上方。所述器件包括栅极绝缘层、栅极、源极和漏极。所述第二半导体区域具有朝向所述栅极绝缘层的顶表面以及与所述第二半导体区域的顶表面相对的底表面。所述第二半导体区域具有包括所述第二半导体区域的顶表面的上部,以及所述第二半导体区域具有下部,所述下部包括所述第二半导体区域的底表面并且与所述上部互相排斥。所述第一半导体区域与所述第二半导体区域的上部和下部都接触。



1. 一种感测光的器件,包括:
  - 第一半导体区域,掺杂有第一类型掺杂剂;
  - 第二半导体区域,掺杂有第二类型掺杂剂,其中,  
所述第二半导体区域位于所述第一半导体区域的上方,  
并且所述第一类型与所述第二类型不相同;
  - 栅极绝缘层,位于所述第二半导体区域的上方;
  - 栅极,位于所述栅极绝缘层的上方;
  - 源极,与所述第二半导体区域电耦合;以及
  - 漏极,与所述第二半导体区域电耦合;其中  
所述第二半导体区域具有朝向所述栅极绝缘层的顶表面,  
所述第二半导体区域具有与所述第二半导体区域的顶表面相对的底表面,  
所述第二半导体区域具有包括所述第二半导体区域的顶表面的上部,  
所述第二半导体区域具有下部,所述下部包括所述第二半导体区域的底表面并且与所  
述上部互相排斥;
  - 所述第二半导体区域的所述上部从所述源极延伸到所述漏极;
  - 所述第二半导体区域的所述下部从所述源极延伸到所述漏极;
  - 所述第一半导体区域与所述第二半导体区域的上部和下部相接触,并且  
所述第一半导体区域至少在直接位于所述栅极正下方的位置与所述第二半导体区域  
的上部接触。
2. 根据权利要求1的所述器件,其中所述第一类型是n型以及所述第二类型是p型。
3. 根据权利要求1的所述器件,其中所述第一类型是p型以及所述第二类型是n型。
4. 根据权利要求1-3中任一项的所述器件,其中  
所述第二半导体区域具有第一侧面,所述第一侧面从所述源极延伸到所述漏极并  
且所述第一侧面不同于所述顶表面和所述底表面;  
所述第二半导体区域具有第二侧面,所述第二侧面从所述源极延伸到所述漏极并  
且所述第二侧面不同于所述顶表面和所述底表面;  
所述第一半导体区域通过所述第一侧表面的部分与所述第二半导体区域的所述上部  
接触;  
所述第一半导体区域通过所述第二侧表面的部分与所述第二半导体区域的所述上部  
接触。
5. 根据权利要求1-3中任一项的所述器件,其中所述第一半导体区域包括锗。
6. 根据权利要求1-3中任一项的所述器件,其中所述第二半导体区域包括锗。
7. 根据权利要求1-3中任一项的所述器件,其中所述栅极绝缘层包括氧化层。
8. 根据权利要求1-3中任一项的所述器件,包括位于所述第一半导体区域下方的衬底  
绝缘层,其中所述衬底绝缘层包括 $\text{SiO}_2$ 、 $\text{GeO}_x$ 、 $\text{ZrO}_x$ 、 $\text{HfO}_x$ 、 $\text{Si}_x\text{N}_y$ 、 $\text{Si}_x\text{O}_y\text{N}_z$ 、 $\text{Ta}_x\text{O}_y$ 、 $\text{Sr}_x\text{O}_y$ 和 $\text{Al}_x\text{O}_y$   
中的一个或多个。
9. 根据权利要求1-3中任一项的所述器件,包括第三半导体区域,所述第三半导体区域  
包括掺杂有第二类型掺杂剂的锗,其中所述第三半导体区域位于所述第一半导体区域的下  
方。

10. 根据权利要求9的所述器件,其中与在所述第三半导体区域中的所述第二类型掺杂剂的掺杂浓度相比,在所述第二半导体区域中的所述第二类型掺杂剂的掺杂浓度更高。

11. 根据权利要求1-3中任一项的所述器件,包括硅衬底。

12. 根据权利要求1-3中任一项的所述器件,其中所述第二半导体区域具有小于100nm的厚度。

13. 根据权利要求1-3中任一项的所述器件,其中所述第一半导体区域具有小于1000nm的厚度。

14. 一种形成用于感测光的器件的方法,所述方法包括:

在硅衬底的上方形成掺杂有第一类型掺杂剂的第一半导体区域;

在硅衬底的上方形成掺杂有第二类型掺杂剂的第二半导体区域,其中,

所述第二半导体区域位于所述第一半导体区域的上方,并且所述第一类型与所述第二类型不相同;

在所述第二半导体区域的上方形成栅极绝缘层,其中,

所述第二半导体区域的一个或多个部分从栅极绝缘层曝露出来以限定源极和漏极;

所述第二半导体区域具有朝向所述栅极绝缘层的顶表面,

所述第二半导体区域具有与所述第二半导体区域的顶表面相对的底表面,

所述第二半导体区域具有包括所述第二半导体区域的顶表面的上部,

所述第二半导体区域具有下部,所述下部包括所述第二半导体区域的底表面并且与所述上部互相排斥;

所述第二半导体区域的所述上部从所述源极延伸到所述漏极;

所述第二半导体区域的所述下部从所述源极延伸到所述漏极;并且,

所述第一半导体区域与所述第二半导体区域的上部和下部相接触,

在所述栅极绝缘层的上方形成栅极,其中,

所述第一半导体区域至少在直接位于所述栅极正下方的位置与所述第二半导体区域的上部接触。

15. 一种图像传感器器件,包括:

传感器阵列,在所述传感器阵列中的各自的传感器包括传感器电路,所述传感器电路包括:

光敏元件,所述光敏元件具有源端、栅端、漏端和体端子,其中所述光敏元件包括根据权利要求1-3中任一项所述的器件;以及

选择晶体管,所述选择晶体管具有源端、栅端和漏端,其中所述选择晶体管的所述漏端与所述光敏元件的所述源端电耦合,或者所述选择晶体管的所述源端与所述光敏元件的所述漏端电耦合;

转换器电路,所述转换器电路包括:

第一互阻抗放大器,所述第一互阻抗放大器具有输入端,所述输入端与所述传感器电路中的选择晶体管的源端或漏端电耦合,所述选择晶体管的源端或漏端不与所述光敏元件的所述源端或所述漏端电耦合,所述第一互阻抗放大器配置为将来自所述光敏元件的电流输入转换成电压输出;以及

差分放大器,所述差分放大器具有两个输入端,所述两个输入端中的第一输入端与所

述第一互阻抗放大器的所述电压输出电耦合以及所述两个输入端中的第二输入端与电压源电耦合,所述电压源配置为提供与光敏元件提供的基极电流相对应的电压,所述基极电流对应于当所述光敏元件大体上没有接收光照的情况下所述光敏元件提供的电流,所述差分放大器配置为基于所述电压输出和所述电压源提供的电压之间的电压差输出电压。

## 用于CMOS传感器的栅控电荷调制器件

### 技术领域

[0001] 本申请大体涉及半导体器件和电路。更具体地,公开的实施例涉及一种感测短波红外光的半导体器件和电路。

### 背景技术

[0002] 近年来,数字图像传感器已得到显著性的普及。例如,许多数码相机、移动计算机和移动电话包括捕获图像的数字图像传感器。

[0003] 但是,传统的数字图像传感器(如互补式金属氧化物半导体(CMOS)传感器)利用光二极管并遭受与光二极管相关的暗电流的损害。暗电流有助于散粒噪音的增加,这是不合需要的。

[0004] 虽然电荷调制器件(CMD)已被建议作为暗电流问题的解决方案,但是电荷调制器件在通/断信号中受到小变化。另外,电荷调制器件受到量子效率和弱沟道调制的权衡的限制。

### 发明内容

[0005] 因此,需要有一种具有低暗电流、高量子效率和强沟道调制的光学传感器。

[0006] 下面更详细地介绍克服了上述的限制和缺点的若干实施例(如服务器系统、客户端系统或器件,以及操作这些系统或器件的方法)。这些实施例提供了感测红外光的器件、电路以及制造和使用器件的方法。

[0007] 如下面更详细地描述,一些实施例涉及感测光的器件。该器件包括掺杂有第一类型掺杂剂的第一半导体区域以及掺杂有第二类型掺杂剂的第二半导体区域。所述第二半导体区域位于所述第一半导体区域的上方;以及所述第一类型与所述第二类型不相同。所述器件包括位于所述第二半导体区域上方的栅极绝缘层、位于所述栅极绝缘层上方的栅极、与所述第二半导体区域电耦合的源极以及与所述第二半导体区域电耦合的漏极。所述第二半导体区域具有朝向所述栅极绝缘层的顶表面以及所述第二半导体区域具有与所述第二半导体区域的顶表面反向的底表面。所述第二半导体区域具有包括所述第二半导体区域的顶表面的上部。所述第二半导体区域还具有下部,所述下部包括所述第二半导体区域的底表面并且与所述上部互相排斥。所述第一半导体区域与所述第二半导体区域的上部和下部都接触。所述第一半导体区域至少在位于所述栅极正下方的位置与所述第二半导体区域的上部接触。

[0008] 在一些实施例中,所述第一类型是n型以及所述第二类型是p型。

[0009] 在一些实施例中,所述第一类型是p型以及所述第二类型是n型。

[0010] 在一些实施例中,所述第二半导体区域具有第一侧表面,所述第一侧表面从所述源极延伸到所述漏极并且所述第一侧表面不同于所述顶表面和所述底表面;所述第二半导体区域具有第二侧表面,所述第二侧表面从所述源极延伸到所述漏极并且所述第二侧表面不同于所述顶表面和所述底表面;所述第一半导体区域通过所述第一侧表面的部分与所述

第二半导体区域的所述上部接触;所述第一半导体区域通过所述第二侧表面的部分与所述第二半导体区域的所述上部接触。

[0011] 在一些实施例中,所述第一半导体区域包括锗。

[0012] 在一些实施例中,所述第二半导体区域包括锗。

[0013] 在一些实施例中,所述栅极绝缘层包括氧化层。

[0014] 在一些实施例中,所述器件包括位于所述第一半导体区域下方的衬底绝缘层。所述衬底绝缘层包括 $\text{SiO}_2$ 、 $\text{GeO}_x$ 、 $\text{ZrO}_x$ 、 $\text{HfO}_x$ 、 $\text{Si}_x\text{N}_y$ 、 $\text{Si}_x\text{O}_y\text{N}_z$ 、 $\text{Ta}_x\text{O}_y$ 、 $\text{Sr}_x\text{O}_y$ 和 $\text{Al}_x\text{O}_y$ 中的一个或多个。

[0015] 在一些实施例中,所述器件包括第三半导体区域,所述第三半导体区域掺杂有第二类型掺杂剂的锗。所述第三半导体区域位于所述第一半导体区域的下方。

[0016] 在一些实施例中,与在所述第三半导体区域中的所述第二类型掺杂剂的掺杂浓度相比,在所述第二半导体区域中的所述第二类型掺杂剂的掺杂浓度更高。

[0017] 在一些实施例中,所述器件包括硅衬底。

[0018] 在一些实施例中,所述栅极包括多晶锗、非晶锗、多晶硅、非晶硅、碳化硅和金属中的一个或多个。

[0019] 在一些实施例中,所述第二半导体区域从所述源极延伸到所述漏极。

[0020] 在一些实施例中,所述第一半导体区域从所述源极延伸到所述漏极。

[0021] 在一些实施例中,所述栅极绝缘层从所述源极延伸到所述漏极。

[0022] 在一些实施例中,所述第二半导体区域限定所述源极和所述漏极之间的多个沟道。

[0023] 在一些实施例中,所述第二半导体区域具有小于100nm的厚度。

[0024] 在一些实施例中,所述第一半导体区域具有小于1000nm的厚度。

[0025] 根据一些实施例,一种传感器阵列包括在共同的硅衬底上形成大的多个器件,其中所述多个器件中的每个器件与上面描述的任何器件相对应。

[0026] 在一些实施例中,所述多个器件在共同的平面上具有第一半导体区域。

[0027] 在一些实施例中,所述多个器件在共同的平面上具有第二半导体区域。

[0028] 在一些实施例中,所述多个器件在共同的平面上具有第三半导体区域。

[0029] 在一些实施例中,所述多个器件由一个或多个沟槽分隔开。

[0030] 在一些实施例中,所述多个器件位于在共同的硅衬底上形成的单独的锗岛上。

[0031] 在一些实施例中,所述传感器阵列包括在所述多个器件正上方的钝化层。

[0032] 在一些实施例中,所述传感器阵列包括在所述多个器件之间的钝化层。

[0033] 根据一些实施例,形成感测光的器件的方法包括:在硅衬底的上方形成掺杂有第一类型掺杂剂的第一半导体区域;在硅衬底的上方形成掺杂有第二类型掺杂剂的第二半导体区域。所述第二半导体区域位于所述第一半导体区域的上方。所述第一类型与所述第二类型不相同。所述方法还包括在所述第二半导体区域的上方形成栅极绝缘层。所述第二半导体区域的一个或多个部分从栅极绝缘层曝露出来以限定源极和漏极。所述第二半导体区域具有面向所述栅极绝缘层的顶表面。所述第二半导体区域具有与所述第二半导体区域的顶表面反向的底表面。所述第二半导体区域具有包括所述第二半导体区域的顶表面的上部。所述第二半导体区域具有下部,所述下部包括所述第二半导体区域的底表面并且与所

述上部互相排斥。所述第一半导体区域与所述第二半导体区域的上部和下部相接触,并且所述第一半导体区域至少在位于所述栅极正下方的位置与所述第二半导体区域的上部接触。所述方法进一步包括形成栅极,所述栅极位于所述栅极绝缘层的上方。

[0034] 在一些实施例中,所述第一半导体区域是通过外延生长所述第一半导体区域形成的。

[0035] 在一些实施例中,当所述第一半导体区域被生长时,所述第一半导体区域原位掺杂所述第一类型掺杂剂。

[0036] 在一些实施例中,利用离子注入过程或者气相扩散过程使所述第一半导体区域掺杂所述第一类型掺杂剂。

[0037] 在一些实施例中,所述第二半导体区域是通过外延生长所述第二半导体区域形成的。

[0038] 在一些实施例中,当所述第二半导体区域被生长时,所述第二半导体区域原位掺杂所述第二类型掺杂剂。

[0039] 在一些实施例中,利用离子注入过程或者气相扩散过程使所述第二半导体区域掺杂所述第二类型掺杂剂。

[0040] 在一些实施例中,在利用离子注入过程或者气相扩散过程使所述第一半导体区域掺杂所述第一类型掺杂剂之后,利用离子注入过程使所述第二半导体区域掺杂所述第二类型掺杂剂。

[0041] 根据一些实施例,形成传感器阵列的方法包括:使用上面描述的任何方法在共同的硅衬底上同时形成多个器件。

[0042] 根据一些实施例,传感器电路包括光敏元件,所述光敏元件具有源端、栅端、漏端和体端子。传感器电路还包括选择晶体管,所述选择晶体管具有源端、栅端和漏端。所述选择晶体管的所述漏端与所述光敏元件的所述源端电耦合,或者所述选择晶体管的所述源端与所述光敏元件的所述漏端电耦合。

[0043] 在一些实施例中,所述光敏元件是上面描述的任何器件。

[0044] 在一些实施例中,所述光敏元件的所述源端或所述漏端没有与所述选择晶体管的源端或漏端电耦合,所述光敏元件的所述源端或所述漏端接地。

[0045] 在一些实施例中,所述光敏元件的所述源端或所述漏端与所述选择晶体管的源端或漏端电耦合,所述光敏元件的所述源端或所述漏端未接地。

[0046] 在一些实施例中,所述光敏元件的所述源端或所述漏端与所述选择晶体管的源端或漏端电耦合,所述光敏元件的所述源端或所述漏端与电压源电耦合。

[0047] 在一些实施例中,所述电压源提供固定电压。

[0048] 在一些实施例中,所述传感器电路包括不超过两个的晶体管,两个晶体管包括所述选择晶体管。

[0049] 在一些实施例中,所述传感器电路包括不超过一个的晶体管,该一个晶体管是选择晶体管。

[0050] 根据一些实施例,转换器电路包括第一互阻抗放大器,所述第一互阻抗放大器具有与第一传感器电路中的选择晶体管的源端或漏端电耦合的输入端,所述第一传感器电路与上面描述的传感器电路中任何传感器电路相对应,所述选择晶体管的源端或漏端没有与

所述光敏元件的所述源端或所述漏端电耦合。所述第一互阻抗放大器配置为将来自所述光敏元件的电流输入转换成电压输出。所述转换器电路还包括具有两个输入端的差分放大器,所述两个输入端中的第一输入端与所述第一互阻抗放大器的所述电压输出电耦合以及所述两个输入端中的第二输入端与电压源电耦合,所述电压源配置为提供与光敏元件提供的基极电流相对应的电压,所述差分放大器配置为基于所述电压输出和所述电压源提供的电压之间的电压差输出电压。

[0051] 在一些实施例中,所述第一互阻抗放大器包括运算放大器。

[0052] 在一些实施例中,在所述光敏元件大体上没有接收光照的情况下,所述基极电流与所述光敏元件提供的电流相对应。

[0053] 在一些实施例中,所述电压源是具有与第二传感器电路电耦合的输入端的第二互阻抗放大器,所述第二传感器电路与上面描述的任何传感器电路相对应并且不同于所述第一传感器电路。

[0054] 在一些实施例中,所述第二互阻抗放大器的输入端与所述第二传感器电路的选择晶体管的源端或漏端电耦合。

[0055] 在一些实施例中,所述第二互阻抗放大器包括运算放大器。

[0056] 在一些实施例中,所述第二传感器电路的光敏元件被光学地覆盖以便阻止所述第二传感器电路的光敏元件接收光。

[0057] 在一些实施例中,所述电压源是数模转换器。

[0058] 在一些实施例中,所述转换器电路包括电耦合到所述差分放大器的输出的模数转换器,所述模数转换器配置为将所述差分放大器的输出转换为数字信号。

[0059] 在一些实施例中,所述第一互阻抗放大器配置为通过多路选择器与多个传感器电路中的各自的传感器电路电耦合。

[0060] 根据一些实施例,一种图像传感器器件包括传感器阵列。在所述传感器阵列中的各自的传感器包括上面描述的任何传感器电路。

[0061] 在一些实施例中,所述图像传感器器件包括上面描述的任何转换器电路。

[0062] 在一些实施例中,所述传感器阵列包括多排传感器,以及对于在各排的传感器,选择晶体管的栅端电耦合到共同的选择线。

[0063] 在一些实施例中,所述传感器阵列包括多列传感器,以及对于在各列的传感器,选择晶体管的源端或漏端中的一个端电耦合到共同的列线。

[0064] 根据一些实施例,一种方法包括使上面描述的任何传感器电路的光敏元件暴露在光下。所述方法还包括提供固定电压到所述光敏元件的源端;以及测量所述光敏元件的漏极电流。

[0065] 在一些实施例中,所述方法包括基于所述光敏元件的漏极电流确定光强。

[0066] 在一些实施例中,测量所述漏极电流包括将所述漏极电流转换成电压信号。

[0067] 在一些实施例中,将所述漏极电流转换成电压信号包括使用互阻抗放大器将所述漏极电流转换成所述电压信号。

[0068] 在一些实施例中,测量所述漏极电流包括使用上面描述的任何转换器电路。

[0069] 在一些实施例中,所述方法包括激活所述传感器电路的选择晶体管。

[0070] 在一些实施例中,在使所述光敏元件暴露在光下之前,向所述光敏元件的源端提



供所述固定电压。

[0071] 在一些实施例中,在使所述光敏元件暴露在光下以后,向所述光敏元件的源端提供所述固定电压。

[0072] 根据一些实施例,一种方法包括使上面描述的任何图像传感器器件的传感器阵列暴露到光模式下。所述方法还包括:针对在所述传感器阵列中各自的传感器的光敏元件,向各自的传感器的光敏元件的源端提供各自的电压;以及测量所述光敏元件的漏极电流。

[0073] 在一些实施例中,在所述传感器阵列中的光敏元件的源端同时接收各自的电压。

[0074] 在一些实施例中,在所述传感器阵列中的所述光敏元件的源端顺序地接收各自的电压。

[0075] 在一些实施例中,在所述传感器阵列中的所述光敏元件的源端接收相同的电压。

[0076] 在一些实施例中,对在所述传感器阵列中的所述光敏元件的漏极电流进行批量地测量。

[0077] 在一些实施例中,对在所述传感器阵列中的所述光敏元件的漏极电流进行同时测量。

[0078] 在一些实施例中,对在所述传感器阵列中的所述光敏元件的漏极电流按顺序地进行测量。

## 附图说明

[0079] 为了更好的理解前述方面以及其附加的方面和实施例,结合以下附图,应参考下面实施例的描述。

[0080] 图1A为根据一些实施例的半导体光学传感器器件的局部横截面图。

[0081] 图1B为根据一些实施例的在图1A中所示出的半导体光学传感器器件的局部横截面图。

[0082] 图2A为示出了根据一些实施例的半导体光学传感器器件的运作的示意图。

[0083] 图2B为示出了根据一些实施例的在图2A中所示的半导体光学传感器器件的运作的示意图。

[0084] 图3示出了根据一些实施例的示例性能带图。

[0085] 图4A为示出了根据一些实施例的半导体光学传感器器件的单沟道结构的示意图。

[0086] 图4B为示出了根据一些实施例的半导体光学传感器器件的多沟道结构的示意图。

[0087] 图5为根据一些实施例的半导体光学传感器器件的局部横截面图。

[0088] 图6示出了根据一些实施例的示例性传感器电路。

[0089] 图7A示出了根据一些实施例的示例性3T-APS电路。

[0090] 图7B示出了根据一些实施例的示例性1T-MAPS电路。

[0091] 图8A-图8H示出了根据一些实施例的示例性传感器电路。

[0092] 图9A-图9C示出了根据一些实施例的示例性转换器电路。

[0093] 图10示出了根据一些实施例的示例性图像传感器。

[0094] 图11A-图11E示出了根据一些实施例的示例性制造半导体光学传感器器件的方法。

[0095] 在所有附图中,相同的参考标记指代相应的部分。

[0096] 除非特别注明,附图没有按比例绘制。

### 具体实施方式

[0097] 如上所述,传统光学传感器,如互补式金属氧化物半导体(CMOS)传感器和电荷调制器件,遭受暗电流的损害以及量子效率和弱沟道调制之间的权衡的限制。

[0098] 另外,当要检测短波红外光时,加剧了这些问题。用硅制造的传统传感器不适合短波红外光(如在1400nm到3000nm波长范围内的光)的感测和成像,这是因为硅被认为对具有长于1100nm(与硅的带隙相对应)的波长的光是透明的。

[0099] 用铟镓砷化物(InGaAs)制造的红外传感器遭受到高暗电流的损害。对许多铟镓砷化物和传感器进行冷却以操作在低温(如-70°C)。但是,出于多种原因冷却是不利的,如冷却单元的成本,由冷却单元造成的器件尺寸的增加,冷却器件所增加的操作时间以及冷却器件所增加的功耗。

[0100] 此处描述解决上述问题的器件、电路和方法。通过提供允许光生载流子向着栅极绝缘层传输的结构,在保持高量子效率情况下,与传统的电荷调制器件相比,电荷调制效果显著增加。此处描述的结构,在实施时使用比硅(如锗)更适合检测短波红外光的材料,可以在检测短波红外光中提供改进的性能(如低噪声、高量子效率以及更高的通/断信号比)。

[0101] 基于这些理由,此处描述的结构对于检测短波红外光是特别有用的。但是,这样的结构可以用于检测可见光。

[0102] 将参考某些实施例,这些实施例的例子在附图中进行了说明。虽然将结合实施例描述基本原理,但是应理解并不旨在将权利要求的范围单独地限制到这些特别的实施例。相反,权利要求旨在涵盖落入权利要求范围内的替换、修改和等同。

[0103] 此外,在下面的描述中,提出许多具体细节以提供本发明的全面地理解。但是,本发明可以被实践而无需这些特别的细节,这对于本领域普通技术人员是显然的。在其它情况下,为避免使基本原理方面不清晰,没有对本领域普通技术人员所熟知的方法、程序、元件和网络进行详细描述。

[0104] 还应理解的是,虽然此处第一、第二等词语可能用于描述不同的元素,但是这些元素不应受到这些词语的限制。这些词语仅是用于将一种元素与另一种元素区分开来。例如,第一半导体区域可以称作是第二半导体区域,相似地,第二半导体区域可以称作是第一半导体区域,而不背离权利要求的范围。第一半导体区域和第二半导体区域两者都是半导体区域,但它们不是相同的半导体区域。

[0105] 此处实施例的说明中使用的术语仅是为了描述具体实施例,并不旨在限制权利要求的范围。如说明和所附权利要求中所用的,单数形式的词语还意在包括复数形式,除上下文另有所指外。还应理解的是,此处使用的词语“和/或”指的是以及包括相关的所列项目中的一个或多个的任意和所有可能的组合。还应进一步地理解,当在说明书中使用的词语“包括”以及该词的变形,指定阐述的特征、整体、步骤、操作、元素和/或元件的存在,但不排除一个或多个其它特征、整体、步骤、操作、元素、元件和/或群的存在或添加。

[0106] 图1A为根据一些实施例的半导体光学传感器器件100的局部横截面图。

[0107] 在一些实施例中,器件100称为栅控电荷调制器件(GCMD)。

[0108] 器件100包括掺杂有第一类型(例如,n型半导体,如磷或砷)掺杂剂的第一半导体

区域104以及掺杂有第二类型(例如,高浓度p型半导体,如硼,通常是用p+符号来表示)掺杂剂的第二半导体区域106。第二半导体区域106位于第一半导体区域104的上方。第一类型(如n型)与第二类型(如p型)不同。在一些实施例中,第二半导体区域106位于第一半导体区域104的正上方。

[0109] 器件包括位于第二半导体区域106上方的栅极绝缘层110以及位于栅极绝缘层110上方的栅极112。在一些实施例中,栅极绝缘层110位于第二半导体区域106的正上方。在一些实施例中,栅极绝缘层110与第二半导体区域106接触。在一些实施例中,栅极112位于栅极绝缘层110的正上方。在一些实施例中,栅极112与栅极绝缘层110接触。

[0110] 器件还包括与第二半导体区域106电耦合的源极114以及与第二半导体区域106电耦合的漏极116。

[0111] 第二半导体区域106具有朝向栅极绝缘层110的顶表面120。第二半导体区域106还具有与第二半导体区域106的顶表面120反向的底表面122。第二半导体区域106具有包括第二半导体区域106的顶表面120的上部124。第二半导体区域106还具有包括第二半导体区域106的底表面122的下部126。下部126与上部124互相排斥。如此处使用的,上部124和下部126指的是第二半导体区域106的不同部位。因此,在一些实施例中,下部126和上部124不存在物理分离。在一些实施例中,下部126是指不是上部124的第二半导体区域106的部分。在一些实施例中,上部124的厚度小于1nm、2nm、3nm、4nm、5nm、6nm、7nm、8nm、9nm或10nm。在一些实施例中,上部124从源极114到漏极116具有不均匀的厚度。在一些实施例中,上部124和下部126直接在栅极112下面的水平位置具有相同的厚度。

[0112] 在一些实施例中,第一类型是n型以及第二类型是p型。例如,第一半导体区域掺杂有n型半导体,以及源极114、漏极116和源极114与漏极116之间的沟道掺杂有称为PMOS结构的p型半导体。

[0113] 在一些实施例中,第一类型是p型以及第二类型是n型。例如,第一半导体区域掺杂有p型半导体,以及源极114、漏极116和源极114与漏极116之间的沟道掺杂有称为NMOS结构的n型半导体。

[0114] 在一些实施例中,第一半导体区域104包括锗。在一些实施例中,第二半导体区域106包括锗。在室温下,锗的直接带隙能大约是与1550nm波长对应的0.8eV。因此,与仅包括硅的半导体光学传感器器件相比,包括锗(如在第一和第二半导体区域中)的半导体光学传感器器件对短波红外光更敏感。

[0115] 在一些实施例中,栅极绝缘层110包括氧化层(如 $\text{SiO}_2$ 、 $\text{GeO}_x$ 、 $\text{ZrO}_x$ 、 $\text{HfO}_x$ 、 $\text{Si}_x\text{N}_y$ 、 $\text{Si}_x\text{O}_y\text{N}_z$ 、 $\text{Ta}_x\text{O}_y$ 、 $\text{Sr}_x\text{O}_y$ 或者 $\text{Al}_x\text{O}_y$ )。在一些实施例中,栅极绝缘层110包括氮氧化物层(如 $\text{SiON}$ )。在一些实施例中,栅极绝缘层110包括高介电材料,如 $\text{HfO}_2$ 、 $\text{HfSiO}$ 或 $\text{Al}_2\text{O}_3$ 。

[0116] 在一些实施例中,器件包括位于第一半导体区域104下方的衬底绝缘层108。衬底绝缘层包括下列中的一种或多种: $\text{SiO}_2$ 、 $\text{GeO}_x$ 、 $\text{ZrO}_x$ 、 $\text{HfO}_x$ 、 $\text{Si}_x\text{N}_y$ 、 $\text{Si}_x\text{O}_y\text{N}_z$ 、 $\text{Ta}_x\text{O}_y$ 、 $\text{Sr}_x\text{O}_y$ 以及 $\text{Al}_x\text{O}_y$ 。在一些实施例中,衬底绝缘层108包括高介电材料。在一些实施例中,第一半导体区域104位于衬底绝缘层108的正上方。在一些实施例中,第一半导体区域104与衬底绝缘层108接触。在一些实施例中,衬底绝缘层108位于衬底102(如硅衬底)的正上方。在一些实施例中,衬底绝缘层108与衬底102接触。

[0117] 在一些实施例中,器件包括第三半导体区域108,第三半导体区域108包括掺杂有

第二类型(如p型)掺杂剂的锗。第三半导体区域108位于第一半导体区域104的下方。

[0118] 在一些实施例中,与在第三半导体区域108中的第二类型掺杂剂的掺杂浓度相比,在第二半导体区域106中的第二类型掺杂剂的掺杂浓度更高。例如,第二半导体区域106具有p+的掺杂(每一万个原子中有一个掺杂剂原子的浓度或更多的浓度)以及第三半导体区域108具有p的掺杂(如每一亿个原子中有一个掺杂剂原子的浓度)。

[0119] 在一些实施例中,器件包括硅衬底102。例如,在硅衬底102的正上方形成第三半导体区域108、第一半导体区域104和第二半导体区域106。

[0120] 在一些实施例中,栅极112包括下列中的一个或多个:多晶硅、非晶硅、碳化硅以及金属。在一些实施例中,栅极112包含下列中的一个或多个:多晶锗(polygermanium)、非晶锗、多晶硅、非晶硅、碳化硅以及金属。

[0121] 在一些实施例中,第二半导体区域106从源极114延伸到漏极116。

[0122] 在一些实施例中,第一半导体区域104从源极114延伸到漏极116。

[0123] 在一些实施例中,栅极绝缘层110从源极114延伸到漏极116。

[0124] 在一些实施例中,第二半导体区域106具有小于100nm的厚度。在一些实施例中,第二半导体区域106具有1nm到100nm之间的厚度。在一些实施例中,第二半导体区域106具有5nm到50nm之间的厚度。在一些实施例中,第二半导体区域106具有50nm到100nm之间的厚度。在一些实施例中,第二半导体区域106具有10nm到40nm之间的厚度。在一些实施例中,第二半导体区域106具有10nm到30nm之间的厚度。在一些实施例中,第二半导体区域106具有10nm到20nm之间的厚度。在一些实施例中,第二半导体区域106具有20nm到30nm之间的厚度。在一些实施例中,第二半导体区域106具有30nm到40nm之间的厚度。在一些实施例中,第二半导体区域106具有40nm到50nm之间的厚度。

[0125] 在一些实施例中,第一半导体区域104具有小于1000nm的厚度。在一些实施例中,第一半导体区域104具有1nm到1000nm之间的厚度。在一些实施例中,第一半导体区域104具有5nm到500nm之间的厚度。在一些实施例中,第一半导体区域104具有500nm到1000nm之间的厚度。在一些实施例中,第一半导体区域104具有10nm到500nm之间的厚度。在一些实施例中,第一半导体区域104具有10nm到400nm之间的厚度。在一些实施例中,第一半导体区域104具有10nm到300nm之间的厚度。在一些实施例中,第一半导体区域104具有10nm到200nm之间的厚度。在一些实施例中,第一半导体区域104具有20nm到400nm之间的厚度。在一些实施例中,第一半导体区域104具有20nm到300nm之间的厚度。在一些实施例中,第一半导体区域104具有20nm到200nm之间的厚度。在一些实施例中,第一半导体区域104具有20nm到400nm之间的厚度。在一些实施例中,第一半导体区域104具有20nm到300nm之间的厚度。在一些实施例中,第一半导体区域104具有20nm到200nm之间的厚度。在一些实施例中,第一半导体区域104具有20nm到100nm之间的厚度。

[0126] 图1A还指示出沿着AA截取的平面,图1B示出的视图呈现在该平面上。

[0127] 图1B为根据一些实施例的在图1A中所示出的半导体光学传感器器件的局部横截面图。

[0128] 在图1B中,示出了第一半导体区域104、第二半导体区域106、栅极绝缘层110、栅极112、衬底绝缘层或第三半导体区域108,以及衬底102。为了简洁,此处不再重复这些元素的描述。

[0129] 如图1B所示,第一半导体区域104与第二半导体区域106的上部124和下部126都接触。第一半导体区域104至少在位于栅极112正下方的位置与第二半导体区域106的上部124接触。在一些实施例中,第一半导体区域104至少在直接位于栅极112正下方的位置与第二半导体区域106的上部124接触。在一些实施例中,第一半导体区域104至少在第二半导体区域106的顶表面120的边缘上与第二半导体区域106的顶表面120接触。在一些实施例中,第一半导体区域104至少在第二半导体区域106的顶表面120的边缘上直接在栅极112正下方的位置与第二半导体区域106的顶表面120接触。

[0130] 在一些实施例中,第二半导体区域106具有从源极114(图1A)延伸到漏极116(图1A)并且不同于顶表面120和底表面122的第一侧表面(如上部124的侧表面128和下部126的侧表面130的组合)。第二半导体区域106具有从源极114(图1A)延伸到漏极116(图1A)并且不同于顶表面120和底表面122的第二侧表面(如上部124的侧表面132和下部126的侧表面134的组合)。第一侧表面和第二侧表面位于第二半导体区域106的相对的两边。在一些实施例中,第一半导体区域104通过第一侧表面的部分128与第二半导体区域106的上部124接触。在一些实施例中,第一半导体区域104通过第二侧表面的部分132与第二半导体区域106的上部124接触。在一些实施例中,第一半导体区域104通过直接在栅极112正下方位置的第一侧表面的部分128与第二半导体区域106的上部124接触,以及第一半导体区域104还通过直接在栅极112正下方位置的第二侧表面的部分132与第二半导体区域106的上部124接触。

[0131] 在一些实施例中,上部124的侧表面128的厚度小于1nm、2nm、3nm、4nm、5nm、6nm、7nm、8nm、9nm或10nm。在一些实施例中,上部124的侧表面132的厚度小于1nm、2nm、3nm、4nm、5nm、6nm、7nm、8nm、9nm或10nm。在一些实施例中,上部124的侧表面128具有的厚度小于下部126的侧表面130的厚度。在一些实施例中,上部124的侧表面132具有的厚度小于下部126的侧表面134的厚度。

[0132] 下面使用图2A-图2B以示出根据一些实施例的半导体光学传感器器件的运作原理。但是,图2A-图2B和所描述的原理并不旨在限制权利要求的范围。

[0133] 图2A为示出了根据一些实施例的半导体光学传感器器件的运作的示意图。

[0134] 在图2A中示出的器件与图1A中示出的器件相似。为了简洁,此处不再重复描述关于图1A的上述元素。

[0135] 在图2A中,第一半导体区域104掺杂有n型半导体。第二半导体区域106重掺杂有p型半导体。第三半导体区域108掺杂有p型半导体。在一些实施例中,第三半导体区域108轻掺杂p型半导体。

[0136] 当电压VG应用于栅极112时,在第二半导体区域106和栅极绝缘层110之间形成势阱202。当器件(特别地,第一半导体区域104)暴露于光下时,产生光生载流子。当电压VG应用于栅极112时,光生载流子迁移到势阱202。

[0137] 图2B为示出了根据一些实施例的在图2A中所示的半导体光学传感器器件的原理的示意图。

[0138] 图2B与图2A相似。为了简洁,此处不再重复描述关于图1B的上面所述的相同元素。

[0139] 在图2B中,指示了光生载流子迁移至位于第二半导体区域106和栅极绝缘层110之间的势阱202的路径。光生载流子通过第二半导体区域106的侧表面进入势阱202。在一些实施例中,至少部分光生载流子直接从第二半导体区域106的底表面通过到达势阱202。这是

可能的,因为第二半导体区域106是薄的并且第二半导体区域106和势阱202之间的势垒是低的(如,小于Ge的带隙)。当光生载流子通过第二半导体区域106的底表面进行迁移时,载流子复合可能发生在第二半导体区域106。

[0140] 第一半导体区域104和势阱202之间的直接接触显著地增强了光生载流子从第一半导体区域104到势阱202的迁移。因此,厚的第一半导体区域104可以用于增加量子效率,同时有效地将光生载流子运输至势阱202用于增加通/断信号调制。

[0141] 在缺乏光照的情况下,器件可以有一定的漏极电流(此处称为 $I_{off}$ )。但是,当器件暴露在光下时,光生载流子调节漏极电流(如漏极电流增加到 $I_{on}$ )。

[0142] 图3示出了根据一些实施例的示例性能带图。虽然图3用于示出半导体光学传感器器件的运算原理,但是,图3和所描述的原理并不旨在限制权利要求的范围。

[0143] 在图3中的能带图表示从半导体光学传感器器件的栅极到半导体光学传感器器件的衬底的电子能级。

[0144] GCMD可以表示为具有连接在沟道周围的小电容和大电容。

[0145] 能带图(a)表示器件处于断开状态。

[0146] 能带图(b)表示在衬底区域吸收入射光,在小电容中光生载流子。在埋孔沟道和衬底中有准费密能级分裂。

[0147] 能带图(c)表示用栅偏压将来自低电容区域的光生载流子自动地运送到大电容区域(氧化物表层界面)。在氧化物表层界面中的运送的光生载流子减少源/漏极和埋孔沟道之间的能带弯曲,最终增加漏极电流。

[0148] 具有入射光的沟道的能带与具有低栅极电压的能带相似,表示在能带图(d)中。

[0149] 图4A和图4B是示出半导体光学传感器器件的单沟道结构和多沟道结构的示意图。在图4A和图4B中的示意图是基于半导体光学传感器器件的自顶向下的视图。但是,应注意的是在图4A和图4B中的示意图用于表示各个元素的相对大小和位置以及在图4A和图4B中的示意图不是横截面图。

[0150] 图4A是根据一些实施例的半导体光学传感器器件的单沟道结构的示意图。

[0151] 图4A示出了器件有栅极406、源极402和漏极404。器件还包括从源极402延伸到漏极404的沟道412。沟道412一般通过第二半导体区域进行限定。例如,沟道412的形状是通过在形成第二半导体区域中离子注入的方式确定的。源极402与沟道412有多个触点408以及漏极404与沟道412有多个触点410。

[0152] 图4B是根据一些实施例示出的半导体光学传感器器件的多沟道结构的示意图。

[0153] 图4B与图4A是相似的,除了器件在源极402和漏极404之间有多沟道414之外。在一些实施例中,第二半导体区域限定了源极402和漏极404之间的多沟道414。在图4B中的每个沟道414与源极的单触点408和漏极404的单触点410相连接。因此,在图4B中的沟道414的宽度小于在图4A中的沟道412的宽度。沟道宽度的减少相信是有助于光生载流子到大电容区域(如第二半导体区域和栅极绝缘层的界面)的运送。

[0154] 图5是根据一些实施例的半导体光学传感器器件的局部横截面图。

[0155] 图5示出了在共同的衬底上形成多个半导体光学传感器器件(器件502-1和器件502-2)。多个器件形成了传感器阵列。虽然图5示出两个光学传感器器件,但是传感器阵列可以包括两个以上的光学传感器器件。在一些实施例中,传感器阵列包括二维阵列的光学

传感器器件。

[0156] 图5还示出了形成通孔506以连接器件502-1和器件502-2的栅极112、源极和漏极。

[0157] 在一些实施例中,多个器件(器件502-1和器件502-2)在共同的平面上有第一半导体区域104。在一些实施例中,多个器件的第一半导体区域104是同时形成的(如使用第一半导体区域104的外延生长)。

[0158] 在一些实施例中,多个器件(如器件502-1和器件502-2)在共同的平面上有第二半导体区域106。在一些实施例中,多个器件的第二半导体区域106是同时形成的(如使用离子注入)。

[0159] 在一些实施例中,多个器件(如器件502-1和器件502-2)在共同的平面上有第三半导体区域108。在一些实施例中,多个器件的第三半导体区域108是同时形成的(如使用锗岛的外延生长)。

[0160] 在一些实施例中,多个器件由一个或多个沟槽分隔开。例如,器件502-1和器件502-2通过沟槽隔开。在一些实施例中,绝缘体充满了一个或多个沟槽。在一些实施例中,沟槽是浅沟槽隔离器。

[0161] 在一些实施例中,多个器件位于在共同的硅衬底102形成的单独的锗岛上。例如,在一些实施例中,第三半导体区域108(如锗岛)形成在衬底102上以及器件502-1和器件502-2的其余部分形成在第三半导体区域108的正上方。

[0162] 在一些实施例中,传感器阵列包括在多个器件正上方的钝化层。例如,钝化层504位于图5中的器件502-1和器件502-2的正上方。

[0163] 在一些实施例中,传感器阵列包括在多个器件之间的钝化层504。例如,钝化层504位于图5中的器件502-1和器件502-2之间。

[0164] 图6示出了根据一些实施例的示例性的传感器电路。

[0165] 传感器电路包括光敏元件602。光敏元件602具有源端、栅端、漏端和体端子。传感器电路还包括具有源端、栅端和漏端的选择晶体管604。在一些实施例中,选择晶体管604的漏端与光敏元件602的源端电耦合(如在点606)。在一些实施例中,选择晶体管604的源端与光敏元件602的漏端电耦合(如在点606)。

[0166] 在一些实施例中,光敏元件是GCMD(如图1A的器件100)。

[0167] 在一些实施例中,不与选择晶体管604的源端或漏端电耦合的光敏元件602的源端或漏端接地。例如,V<sub>2</sub>接地。

[0168] 在一些实施例中,与选择晶体管604的源端或漏端电耦合的光敏元件602的源端或漏端未接地。例如,点606未接地。

[0169] 在一些实施例中,未与选择晶体管604的源端或漏端电耦合的光敏元件602的源端或漏端与第一电压源电耦合。例如,V<sub>2</sub>连接到第一电压源。

[0170] 在一些实施例中,第一电压源提供了第一固定电压,如与地面不同的电压。

[0171] 在一些实施例中,选择晶体管604的源端或漏端没有与光敏元件620的源端或漏端电耦合,选择晶体管604的源端或漏端与第二电压源电耦合。例如,V<sub>1</sub>连接到第一电压源。在一些实施例中,第二电压源提供了第二固定电压。

[0172] 在一些实施例中,传感器电路包括至多两个晶体管,两个晶体管包括选择晶体管604。在一些实施例中,传感器电路还包括电耦合到光敏元件的栅极的栅控晶体管。

[0173] 在一些实施例中,传感器电路包括不超过一个的晶体管,该一个晶体管为选择晶体管604。

[0174] 在图6中传感器电路此处称为单晶体管改进的有源像素传感器(1T-MAPS),这是因为传感器电路包括单晶体管和改进的有源像素传感器。下面参考图7A-图7B,对1T-MAPS和称为三晶体管有源像素传感器(3T-APS)的传统传感器之间的不同进行描述。

[0175] 图7A示出了根据一些实施例的示例性的3T-APS电路。

[0176] 3T-APS电路包括光敏元件(如光电二极管)和三个晶体管,三个晶体管分别是复位晶体管 $M_{rst}$ 、源随晶体管 $M_{sf}$ 以及选择晶体管 $M_{sel}$ 。

[0177] 复位晶体管 $M_{rst}$ 作为复位开关工作的。例如, $M_{rs}$ 接收栅极信号RST,该栅极信号RST允许复位电压 $V_{rst}$ 被提供到光敏元件以对光敏元件进行复位。

[0178] 源随晶体管 $M_{sf}$ 作为缓冲器。例如, $M_{sf}$ 接收来自光敏元件的输入(如电压输入),该输入允许将高压 $V_{dd}$ 输出到选择晶体管 $M_{sel}$ 的源极。

[0179] 选择晶体管 $M_{sel}$ 作为读出开关工作。例如, $M_{sel}$ 接收行选择信号ROW,该行选择信号ROW允许来自源随晶体管 $M_{sf}$ 的输出被提供到列线。

[0180] 图7B示出了根据一些实施例的示例性的1T-MAPS电路。

[0181] 如上面关于图6所述的,1T-MAPS电路包括一个光敏元件(如GCMD)和一个晶体管,即选择晶体管 $M_{sel}$ 。

[0182] 选择晶体管 $M_{sel}$ 接收行选择信号ROW,该行选择信号ROW允许来自列线的电流流到光敏元件的输入。可替代地,提供到选择晶体管 $M_{se}$ 的行选择信号ROW允许来自光敏元件的电流流到列线。在一些实施例中,将列线设置为固定电压。

[0183] 在一些实施例中,1T-MAPS电路不需要复位开关,因为存储在GCMD的光生载流子在很短的时间内(如0.1秒)散逸。

[0184] 图7A中所示的3T-APS电路与图7B所示的1T-MAPS电路的比较示出了1T-MAPS电路的尺寸比3T-APS电路小得多。因此,1T-MAPS电路与相同材料制造的3T-APS电路相比更有成本优势。另外,有效更小的尺寸,与3T-APS电路相比,更多的1T-MAPS电路可以被置于模具的同一地区,从而增加了模具上的像素数目。

[0185] 图8A-图8H示出了根据一些实施例的示例性的传感器电路。在图8A-图8H中,开关符号表示选择晶体管。

[0186] 图8A-图8D示出了包括PMOS型GCMD的示例性的传感器电路。

[0187] 在图8A中,GCMD的栅极与地面 $V_G$ 相连接,以及GCMD的漏极与低电压源 $V_1$ (如地面)相连接。GCMD的源极连接到开关(或者选择晶体管),该开关连接到固定电压 $V_{constant2}$ 。在一些实施例中,主体连接到高电压源 $V_{DD}$ 。

[0188] 在图8B中,GCMD的栅极与固定电压 $V_{constant1}$ 相连接,以及GCMD的漏极与低电压源 $V_1$ (如地面)相连接。GCMD的源极连接到开关(或者选择晶体管),该开关连接到固定电压 $V_{constant2}$ 。在一些实施例中,主体连接到高电压源 $V_{DD}$ 。

[0189] 在图8C中,GCMD的栅极与固定电压 $V_{constant1}$ 相连接,以及GCMD的源极与高电压源 $V_{DD}$ 相连接。GCMD的漏极连接到开关(或者选择晶体管),该开关连接到固定电压 $V_{constant2}$ 。在一些实施例中,主体连接到高电压源 $V_{DD2}$ 。

[0190] 在图8D中,GCMD的栅极与固定电压 $V_{constant1}$ 相连接,以及GCMD的源极与高电压源 $V_{DD}$



相连接。GCMD的漏极连接到开关(或者选择晶体管),该开关连接到可变电压 $V_{\text{variable}}$ 。在一些实施例中,主体连接到高电压源 $V_{\text{DD2}}$ 。

[0191] 图8E-图8H示出了包括NMOS型GCMD的示例性的传感器电路。

[0192] 在图8E中,GCMD的栅极和漏极都连接到高电压源 $V_{\text{DD}}$ ,GCMD的源极连接到开关(或者选择晶体管),该开关连接到固定电压 $V_{\text{constant2}}$ 。在一些实施例中,主体连接到地面。

[0193] 在图8F中,GCMD的栅极与固定电压 $V_{\text{constant1}}$ 相连接,以及GCMD的漏极与高电压源 $V_{\text{DD}}$ 相连接。GCMD的源极连接到开关(或者选择晶体管),该开关连接到固定电压 $V_{\text{constant2}}$ 。在一些实施例中,主体连接到地面。

[0194] 在图8G中,GCMD的栅极与固定电压 $V_{\text{constant1}}$ 相连接,以及GCMD的源极连接到地面。GCMD的漏极连接到开关(或者选择晶体管),该开关连接到固定电压 $V_{\text{constant2}}$ 。在一些实施例中,主体连接到地面。

[0195] 在图8H中,GCMD的栅极与固定电压 $V_{\text{constant1}}$ 相连接,以及GCMD的源极连接到地面。GCMD的漏极连接到开关(或者选择晶体管),该开关连接到可变电压 $V_{\text{variable}}$ 。在一些实施例中,主体连接到地面。

[0196] 在图8A-图8H中,在GCMD中漏极电流的改变取决于GCMD是否暴露在光下。因此,在一些实施例中,GCMD被建模为电流源,该电流源在GCMD暴露在光下时提供 $I_{\text{on}}$ 以及GCMD未暴露在光下时提供 $I_{\text{off}}$ 。

[0197] 图9A-图9C示出了根据一些实施例的示例性的转换器电路。

[0198] 图9A示出了根据一些实施例的示例性的转换器电路902。

[0199] 转换器电路902包括第一互阻抗放大器904(如运算放大器),第一互阻抗放大器904有与第一传感器电路(如图6中的传感器电路)的选择晶体管的源端或漏端电耦合的输入端(接收来自光敏元件(如GCMD)的 $I_{\text{GCMD}}$ 的输入端),该选择晶体管的源端或漏端(如在图6中有电压 $V_1$ 的端子)没有与光敏元件的源端或漏端电耦合。第一互阻抗放大器904配置为将来自光敏元件的电流输入(如 $I_{\text{GCMD}}$ )转换成电压输出(如 $V_{\text{tamp}}$ )。

[0200] 转换器电路902包括具有两个输入端的差分放大器906。两个输入端的第一输入端与第一互阻抗放大器904的电压输出(如 $V_{\text{tamp}}$ )电耦合以及两个输入端的第二输入端与电压源电耦合,该电压源配置为提供与光敏元件提供的基极电流相对应的电压(如 $V_{\text{BASE}}$ )。差分放大器配置为基于电压输出(如 $V_{\text{tamp}}$ )和电压源提供的电压(如 $V_{\text{BASE}}$ )之间的电压差输出电压(如 $V_{\text{damp}}$ )。在一些实施例中,差分放大器906包括运算放大器。在一些实施例中,差分放大器906包括晶体管长尾对。

[0201] 在一些实施例中,转换器电路922包括电耦合到差分放大器906的输出(如 $V_{\text{tamp}}$ )的模数转换器908,模数转换器配置为将差分放大器906的输出(如电压输出,如 $V_{\text{tamp}}$ )转换为数字信号。

[0202] 图9B示出了根据一些实施例的示例性转换器电路912。转换器电路912与图9A中所示的转换器电路902相似。关于图9A描述的一些特征适用于转换器电路912。为了简洁,此处不再重复描述这样的特征。

[0203] 图9B示出了在一些实施例中,在转换器电路912中的第一互阻抗放大器904包括运算放大器910。运算放大器910具有非反向输入端,该非反向输入端与第一传感器电路的选择晶体管的源端或漏端(如在图6中有电压 $V_1$ 的端子)电耦合。运算放大器910还具有反向输

入端,该反向输入端与提供参考电压 $V_{REF}$ 的参考电压源电耦合。运算放大器910具有输出端,以及电阻值为 $R$ 的电阻器电耦合到电阻器第一端上的输入端并且电耦合到电阻器第二端(与第一端相对)上的输出端。

[0204] 在运算中,电压输出 $V_{tamp}$ 是按下式确定的:

$$[0205] \quad V_{tamp} = V_{REF} + R \cdot I_{GCMD}$$

[0206] 此外,GCMD的电流可以按下式建模:

$$[0207] \quad I_{GCMD} = I_{off} \text{ (无光照)}$$

$$[0208] \quad I_{GCMD} = I_{\Delta} + I_{off} \text{ (光照)}$$

[0209] 在一些实施例中,在光敏元件大体上没有接收光照的情况下,基极电流与光敏元件提供的电流(如 $I_{off}$ )相对应。当第一互阻抗放大器904对 $I_{off}$ 进行转换时,对应的电压 $V_{BASE}$ 按下式确定:

$$[0210] \quad V_{BASE} = V_{REF} + R \cdot I_{off}$$

[0211] 然后,在 $V_{tamp}$ 和 $V_{BASE}$ 之间的电压差如下:

$$[0212] \quad V_{tamp} - V_{BASE} = R \cdot I_{\Delta}$$

[0213] 差分放大器906的电压输出 $V_{damp}$ 如下:

$$[0214] \quad V_{damp} = A \cdot R \cdot I_{\Delta}$$

[0215] 其中 $A$ 是差分放大器906的微分增益。在一些实施例中,微分增益是1、2、3、5、10、20、50和100中的一个。

[0216] 图9B还示出了在一些实施例中电压源是数模转换器(DAC)916。例如,DAC 916配置为提供 $V_{BASE}$ 。

[0217] 图9C示出了根据一些实施例的示例性转换器电路922。转换器电路922与图9A中所示的转换器电路902和图9B中所示的转换器电路912相似。关于图9A和9B描述的一些特征适用于转换器电路922。例如,在一些实施例中,转换器电路922包括数模转换器916。在一些实施例中,第一互阻抗放大器904包括运算放大器910。为了简洁,此处不再重复描述这样的特征。

[0218] 图9C示出了电压源(该电压源提供 $V_{BASE}$ )是具有与第二传感器电路电耦合的输入端的第二互阻抗放大器914,该第二传感器电路不同于第一传感器电路。在一些实施例中,第二互阻抗放大器914的输入端与第二传感器电路的选择晶体管的源端或漏端电耦合。在一些实施例中,第二传感器电路的光敏元件被光学地覆盖以便阻止第二传感器电路的光敏元件接收光。因此,第二传感器电路提供 $I_{off}$ 到第二互阻抗放大器914。第二互阻抗放大器914将 $I_{off}$ 转换为 $V_{BASE}$ 。在一些实施例中,第二互阻抗放大器914包括运算放大器。

[0219] 在一些实施例中,第一互阻抗放大器904配置为通过多路选择器与多个传感器电路中的各自的传感器电路电耦合。例如,转换器电路922耦合到多路选择器916。多路选择器接收列地址以选择多个列线中的一个。每个主线连接到多个传感器电路,具有选择晶体管的每个传感器电路接收ROW信号。因此,基于列地址和ROW信号,选择在二维传感器阵列中的一个传感器电路,以及来自选择的传感器电路的电流输出通过多路选择器916提供到第一互阻抗放大器904。

[0220] 虽然图9A-图9C示出了选择的实施例,但是应注意转换器电路可以包括在图9A-图9C中所描述的特征的子集(如转换器电路922可以与多路选择器916耦合而无需具有第二互

阻抗放大器914)。在一些实施例中,转换器电路包括关于图9A-图9C未描述的附加特征。

[0221] 图10示出了根据一些实施例的示例性图像传感器。

[0222] 根据一些实施例,图像传感器器件包括传感器阵列。在传感器阵列中各自的传感器包括传感器电路(如图8A-图8H)。

[0223] 在一些实施例中,图像传感器器件包括转换器电路(如图9A-图9C)。

[0224] 在一些实施例中,传感器阵列包括多排传感器(如在图10中所示的至少两排传感器)。针对在各排的传感器中,选择晶体管的栅端电耦合到共同的选择线。例如,如图10所示,在顶排的传感器电路的栅端电耦合到同一信号线。

[0225] 在一些实施例中,传感器阵列包括多列传感器(如在图10中所示的至少三列传感器)。对于在各列的传感器中,选择晶体管的源端或漏端之一(即,要么选择晶体管的源端,要么选择晶体管的漏端)电耦合到共同的列线。例如,如图10中所示,在左列的传感器中的选择晶体管的漏端电耦合到同一列线。

[0226] 图11A-图11E示出了根据一些实施例的示例性制造半导体光学传感器器件的方法。

[0227] 图11A示出的形成半导体光学传感器器件包括在硅衬底102上形成第三半导体区域108。在一些实施例中,第三半导体区域108外延生长在衬底102上。

[0228] 图11B示出在硅衬底102上形成掺杂有第一类型掺杂剂的第一半导体区域104。

[0229] 在一些实施例中,第一半导体区域104是通过外延生长第一半导体区域104来形成的。

[0230] 在一些实施例中,当第一半导体区域104被生长时,第一半导体区域104原位掺杂第一类型(如n型)掺杂剂。

[0231] 在一些实施例中,利用离子注入过程或者气相扩散过程使第一半导体区域104掺杂第一类型(如n型)掺杂剂。在一些实施例中,利用离子注入过程使第一半导体区域104掺杂第一类型(如n型)掺杂剂。在一些实施例中,利用气相扩散过程使第一半导体区域104掺杂第一类型(如n型)掺杂剂。

[0232] 图11C示出在硅衬底102上形成掺杂有第二类型掺杂剂的第二半导体区域106。第二半导体区域106位于第一半导体区域104的上方。第一类型(如n型)与第二类型(如p型)不同。

[0233] 在一些实施例中,第二半导体区域106是通过外延生长第二半导体区域106来形成的。

[0234] 在一些实施例中,当第二半导体区域106被生长时,第二半导体区域106原位掺杂第二类型(如p型,特别是p+)掺杂剂。

[0235] 在一些实施例中,利用离子注入过程或者气相扩散过程使第二半导体区域106掺杂第二类型(如p型,特别是p+)掺杂剂。在一些实施例中,利用离子注入过程使第二半导体区域106掺杂第二类型(如p型,特别是p+)掺杂剂。在一些实施例中,利用气相扩散过程使第二半导体区域106掺杂第一类型第二类型(如p型,特别是p+)掺杂剂。

[0236] 在一些实施例中,在利用离子注入过程或者气相扩散过程使第一半导体区域104掺杂第一类型掺杂剂之后,利用离子注入过程使第二半导体区域106掺杂第二类型(如p型,特别是p+)掺杂剂。在一些实施例中,在利用离子注入过程使第一半导体区域104掺杂第一

类型掺杂剂之后,利用离子注入过程使第二半导体区域106掺杂第二类型(如p型,特别是p+)掺杂剂。在一些实施例中,在利用气相扩散过程使第一半导体区域104掺杂第一类型掺杂剂之后,利用离子注入过程使第二半导体区域106掺杂第二类型(如p型,特别是p+)掺杂剂。

[0237] 图11D示出在第二半导体区域106上方形成的栅极绝缘层110。第二半导体区域106的一个或多个部分从栅极绝缘层110中曝露出来以限定源极和漏极。例如,栅极绝缘层110被图形蚀刻(如使用掩模)以暴露源极和漏极。

[0238] 如关于图1A和图1B所描述的,第二半导体区域106具有面向栅极绝缘层110的顶表面。第二半导体区域106具有与第二半导体区域106的顶表面反向的底表面。第二半导体区域106具有包括第二半导体区域106的顶表面的上部。第二半导体区域106具有包括第二半导体区域106的底表面的下部,并且下部与上部互相排斥。第一半导体区域104与第二半导体区域106的上部和下部都接触。第一半导体区域104至少在位于栅极下方的位置与第二半导体区域106的上部接触。

[0239] 图11E示出了形成位于栅极绝缘层110上方的栅极112。

[0240] 在一些实施例中,形成传感器阵列的方法包括在共同的硅衬底上同时形成多个器件。例如,多个器件的第三半导体区域108可以在单外延生长的过程中同时形成。随后,多个器件的第一半导体区域可以在单外延生长的过程中同时形成。之后,多个器件的第二半导体区域可以在单离子注入过程中同时形成。相似地,多个器件的栅极绝缘层可以同时形成,以及多个器件的栅极也可以同时形成。

[0241] 根据一些实施例,感测光的方法包括使光敏元件(如在图6中的GCMD)暴露在光下。

[0242] 方法还包括向光敏元件的源端提供固定电压(如通过将固定电压V1应用到选择晶体管并将VR应用到选择晶体管(图6))。基于在GCMD上的光强,GCMD的漏极电流改变。

[0243] 在一些实施例中,方法包括基于光敏元件(如GCMD)的漏极电流确定光强。漏极电流的改变指示光是否被光敏元件检测到。

[0244] 在一些实施例中,测量漏极电流包括将漏极电流转换成电压信号(如将漏极电流 $I_{GCMD}$ 转换成 $V_{tamp}$ ,图9A)。

[0245] 在一些实施例中,将漏极电流转换成电压信号包括使用互阻抗放大器(如互阻抗放大器904,图9A)将漏极电流转换成电压信号。

[0246] 在一些实施例中,测量漏极电流包括使用此处描述的任何转换器电路(如图9A-图9C)。

[0247] 在一些实施例中,方法包括激活传感器电路的选择晶体管(如选择晶体管604,图6)。激活选择晶体管允许漏极电流流过选择晶体管,从而允许漏极电流的测量。

[0248] 在一些实施例中,在将光敏元件暴露在光下之前,向光敏元件的源端提供固定电压。例如,在图6中,在将光敏元件602暴露在光下之前激活选择晶体管604。

[0249] 在一些实施例中,在将光敏元件暴露在光下以后,向光敏元件的源端提供固定电压。例如,在图6中,在将光敏元件602暴露在光下之后,激活选择晶体管604。

[0250] 根据一些实施例,检测光学图像的方法包括将此处描述的任何传感器阵列(如图10)曝露到光模式下。

[0251] 方法还包括,针对在传感器阵列中各自的传感器包括传感器电路的光敏元件,向各自的图像传感器的光敏元件的源端提供各自的电压。例如,各自的传感器的选择晶体管

(如选择晶体管604,图6)被激活以提供各自的电压,从而允许各自的传感器的漏极电流的测量。

[0252] 方法进一步包括测量光敏元件的漏极电流(如光敏元件602)。

[0253] 在一些实施例中,在传感器阵列中的光敏元件的源端同时接收各自的电压。例如,为了多个光敏元件的并发读,各自的电压被同时应用到多个光敏元件(如在同一排的光敏元件)。

[0254] 在一些实施例中,在传感器阵列中的光敏元件的源端顺序地接收各自的电压。例如,为了多个光敏元件的顺序读,将各自的电压顺序地应用到多个光敏元件(如在同一列的光敏元件)。

[0255] 在一些实施例中,在传感器阵列中的光敏元件的源端接收相同的电压。

[0256] 在一些实施例中,对在传感器阵列中的光敏元件的漏极电流进行批量地测量。例如,对在同一排的光敏元件的漏极电流进行成批(作为一组)测量。

[0257] 在一些实施例中,对在传感器阵列中的光敏元件的漏极电流进行同时测量。例如,对在同一排的光敏元件的漏极电流进行同时测量。

[0258] 在一些实施例中,对在传感器阵列中的光敏元件的漏极电流按顺序地进行测量。例如,对在同一列的光敏元件的漏极电流进行同时测量。

[0259] 为了解释的目的,对前面的说明书已经参考具体实施例进行了描述。但是,上面说明性的讨论并不旨在成为穷举的或者并不旨在将本发明限制成所公开的精确形式。鉴于上述的教导,许多修改和变化是可能的。对实施例进行选择 and 描述是为了最佳地阐述本发明的原理及其实际应用,以由此使得本领域其他技术人员能够最好地利用本发明和经各种修改的各实施例,这些修改适合预期的特定使用。

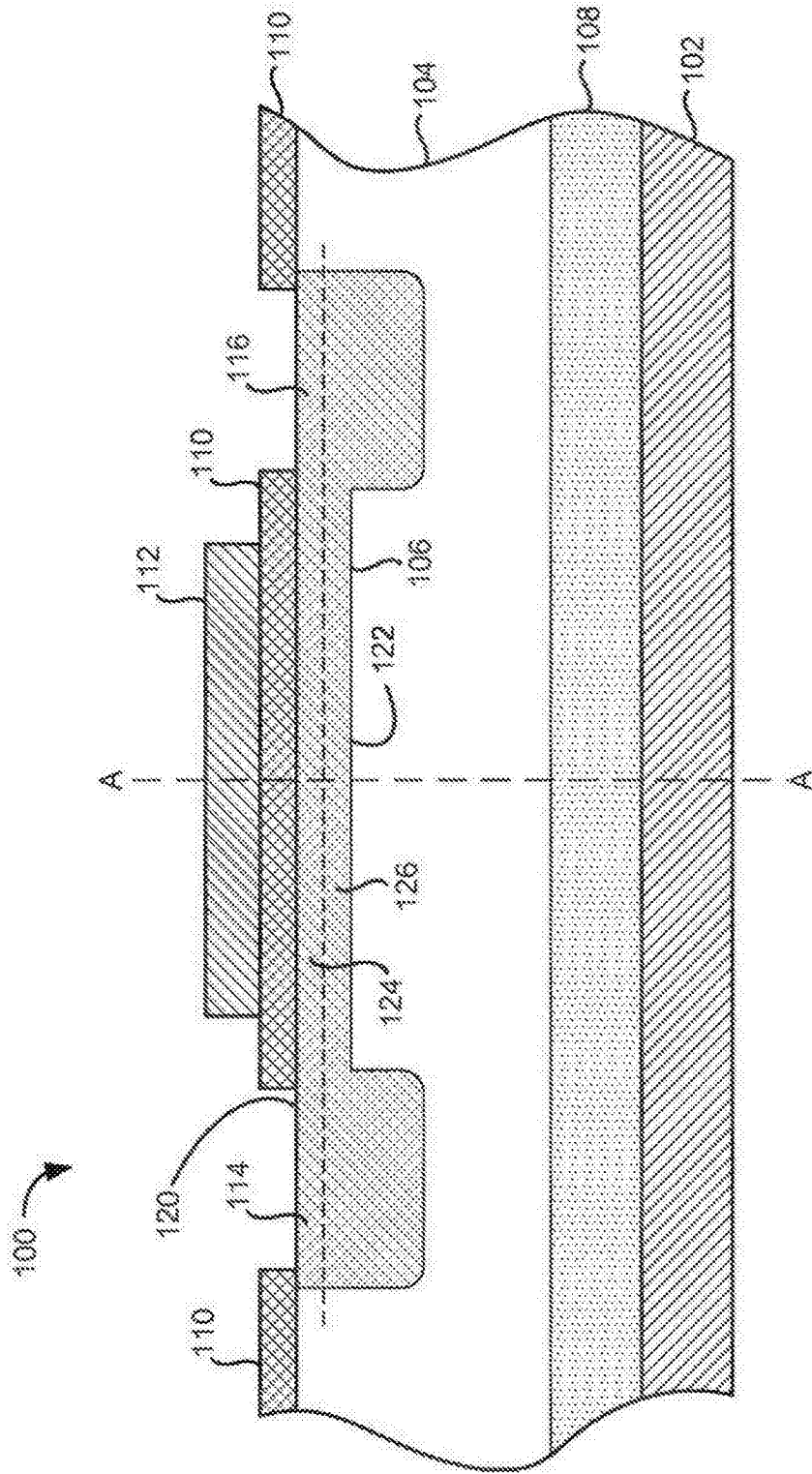


图1A

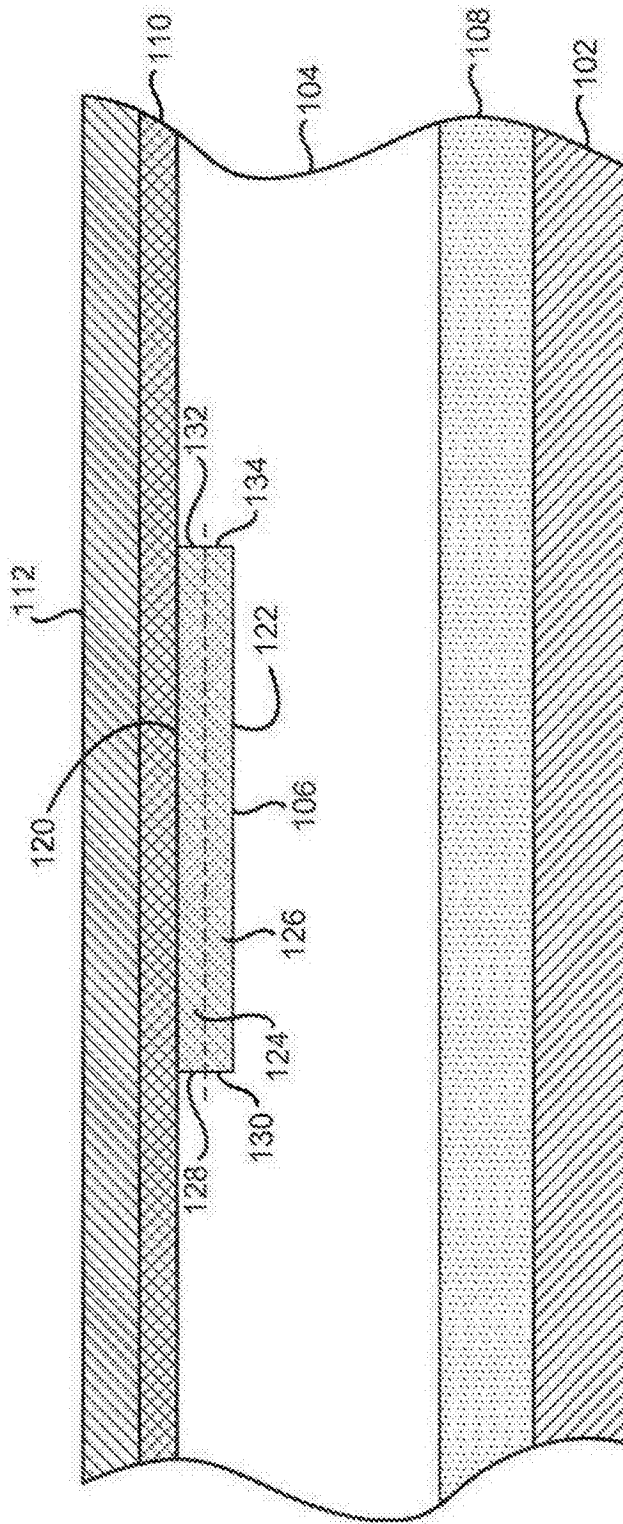


图1B

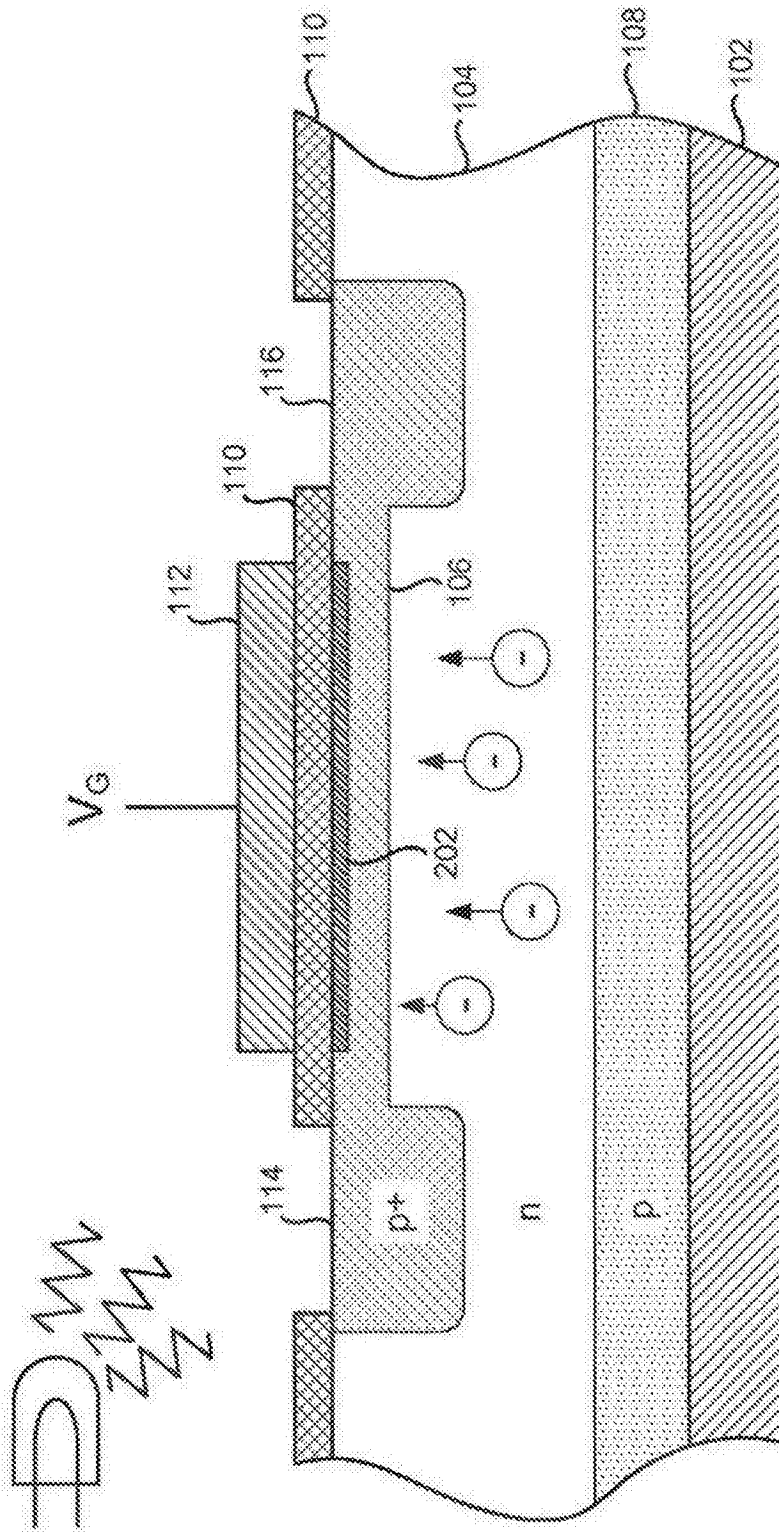


图2A



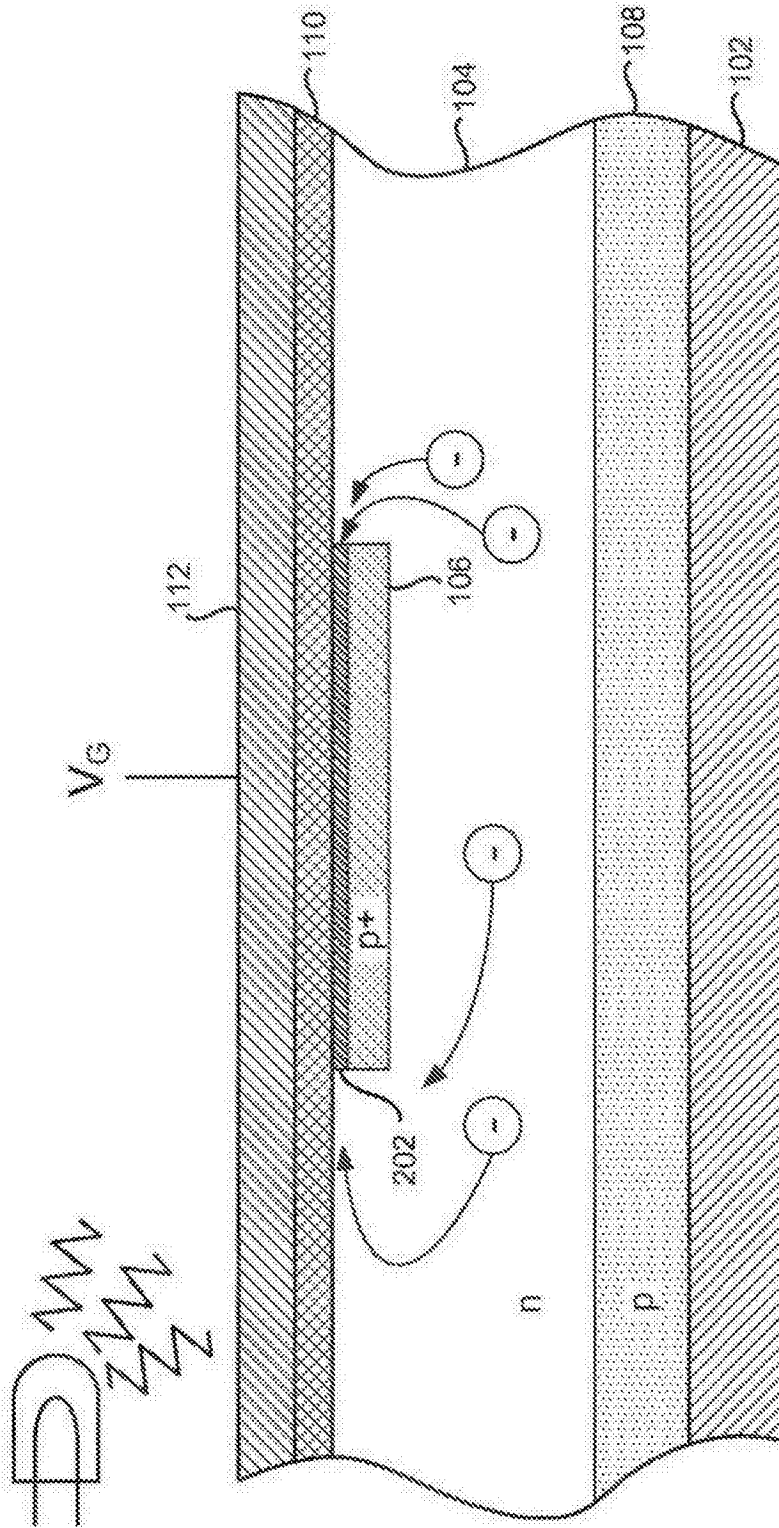


图2B

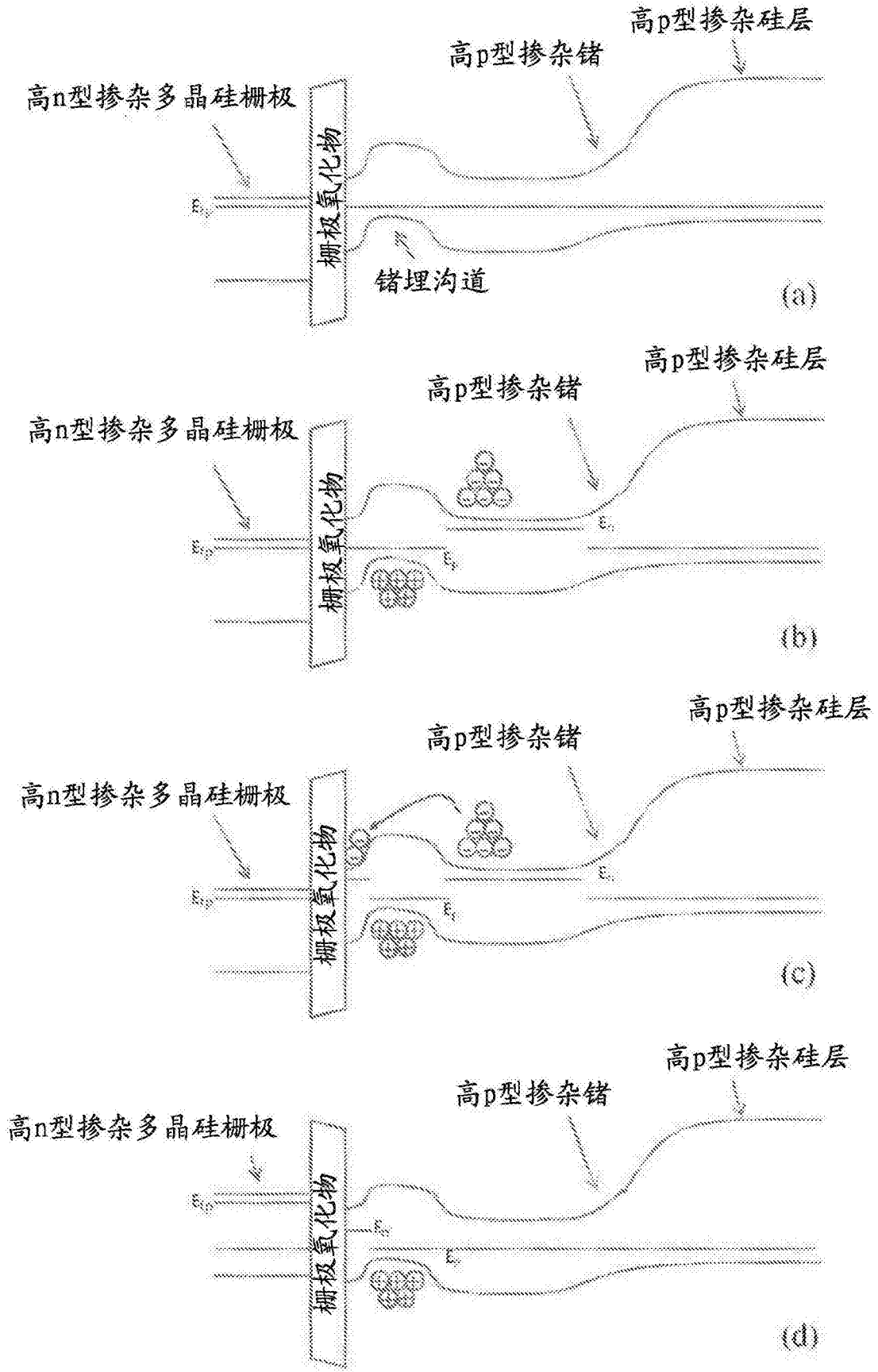


图3

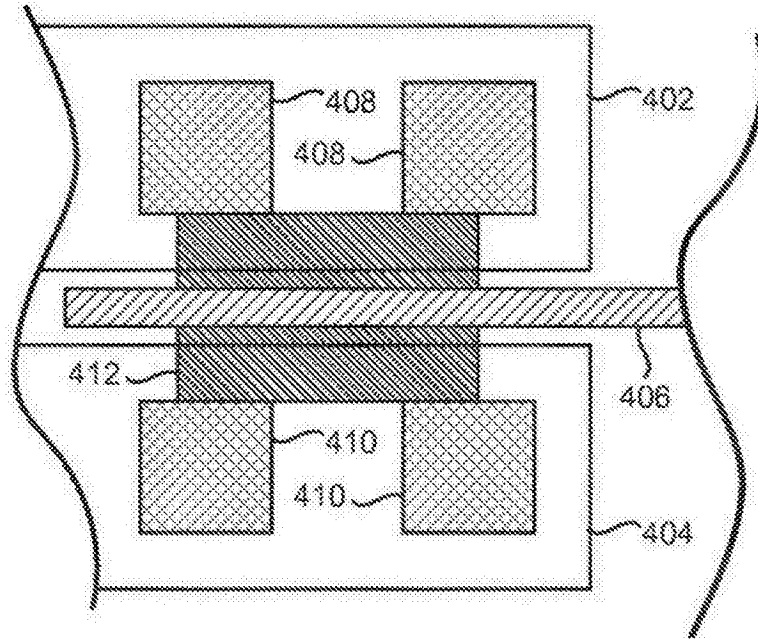


图4A

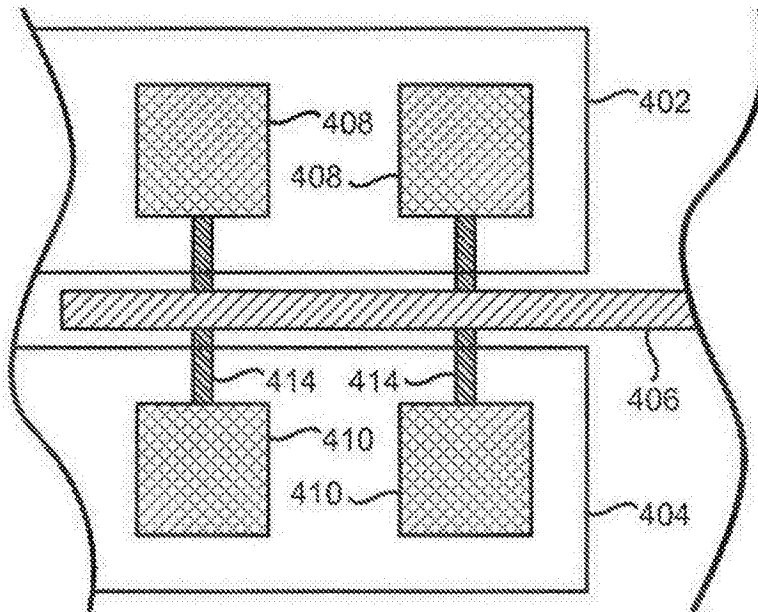


图4B

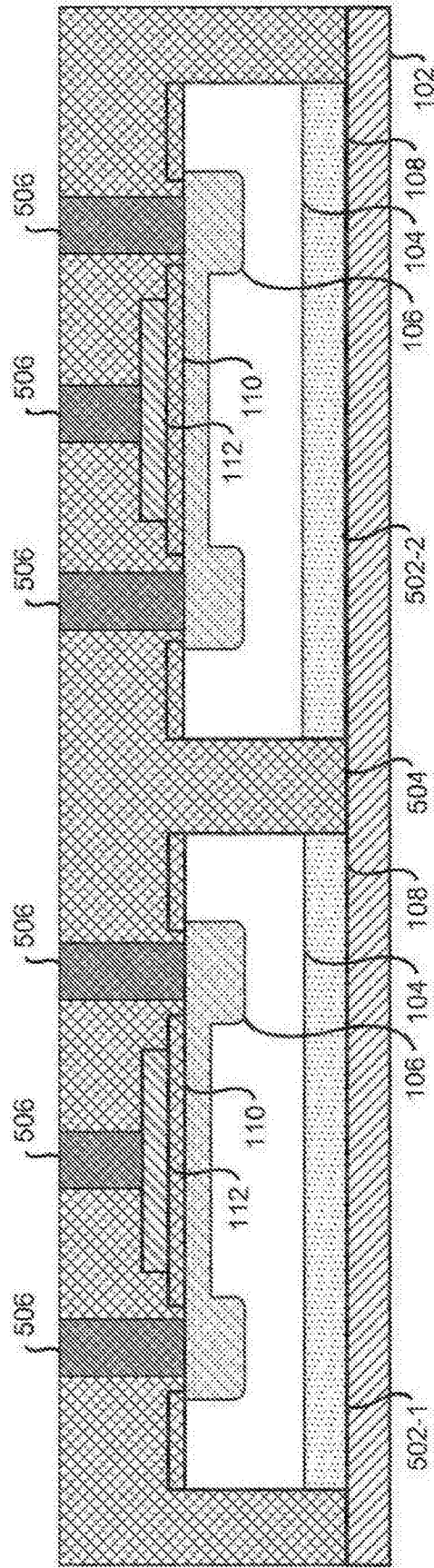


图5

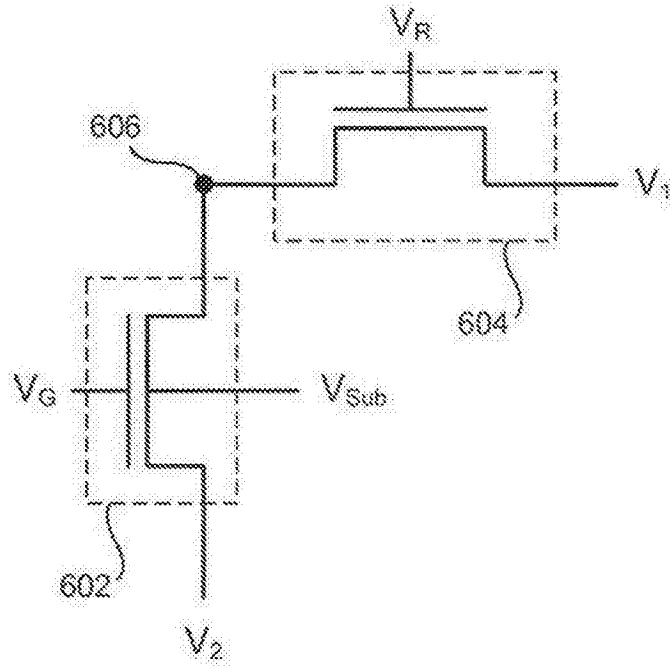


图6

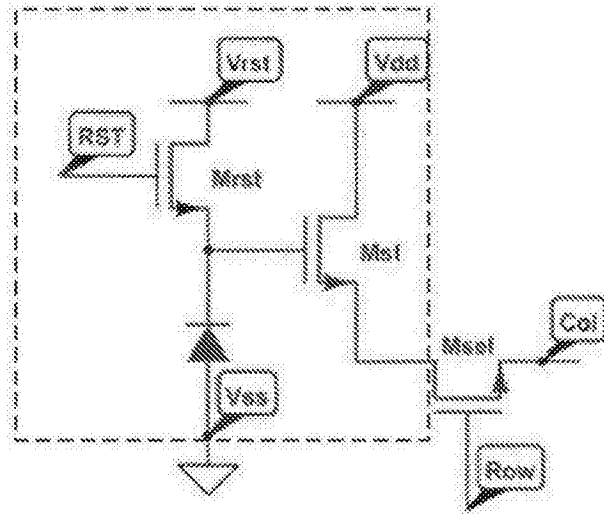


图7A

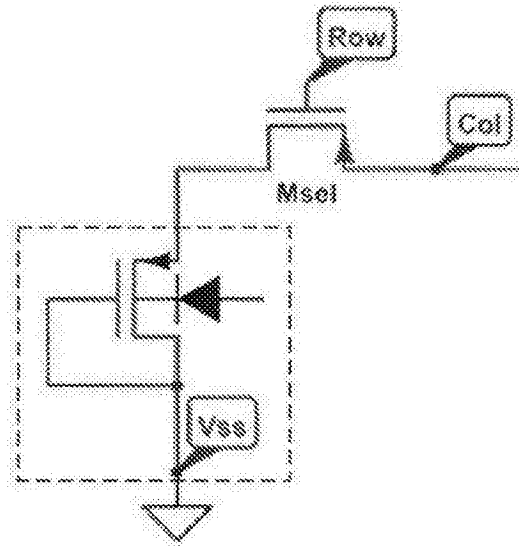


图7B

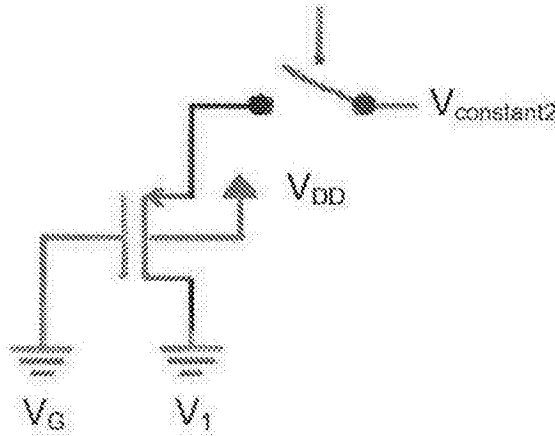


图8A

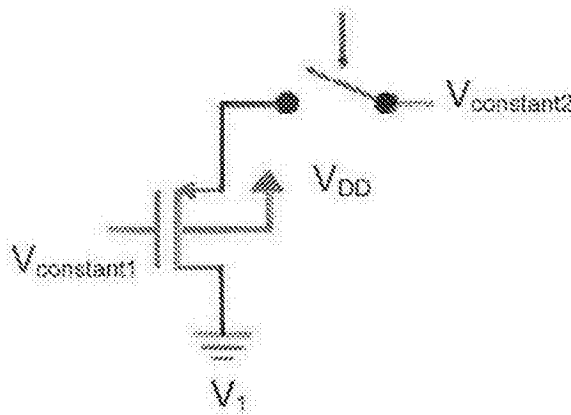


图8B

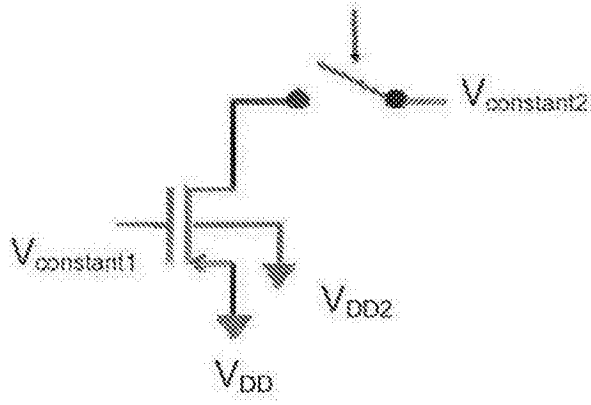


图8C

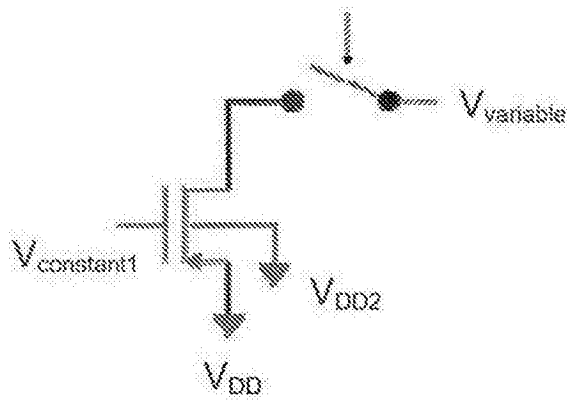


图8D

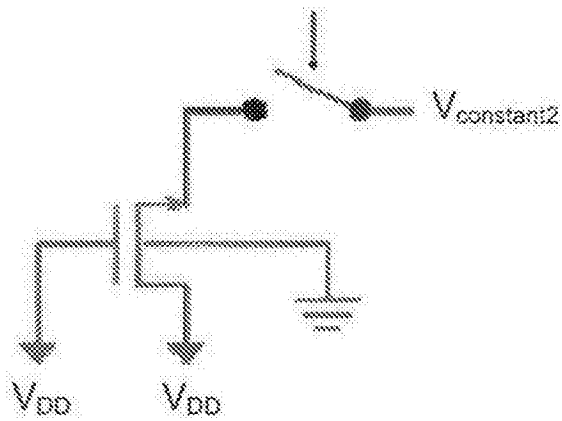


图8E

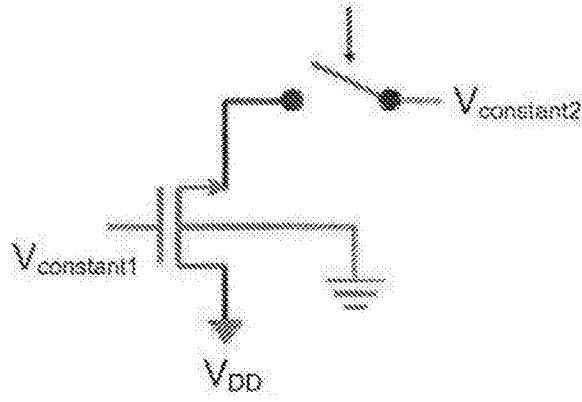


图8F

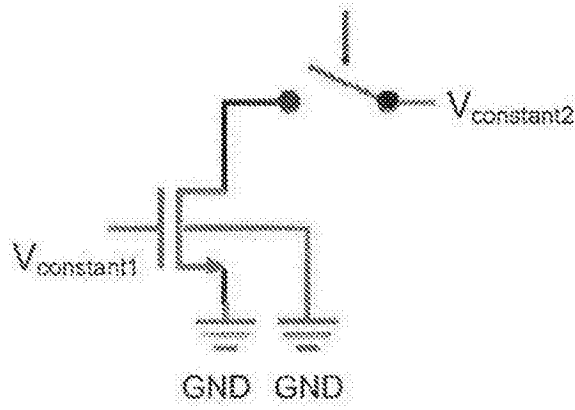


图8G

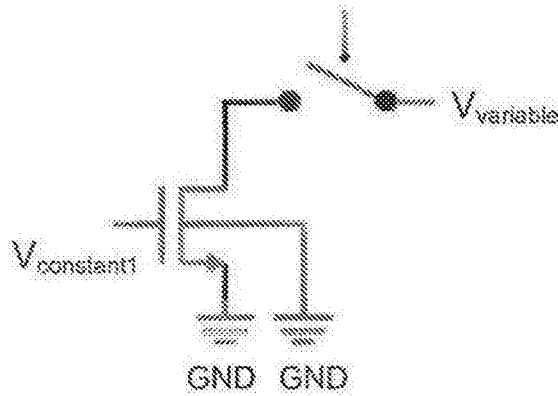


图8H



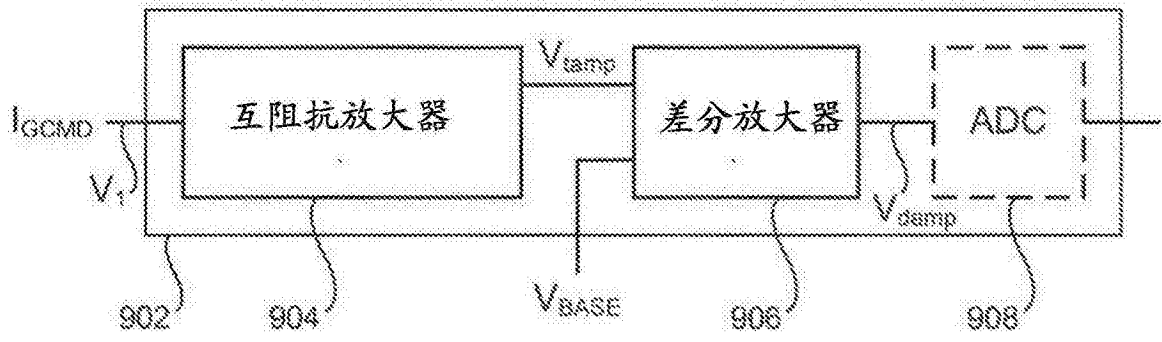


图9A

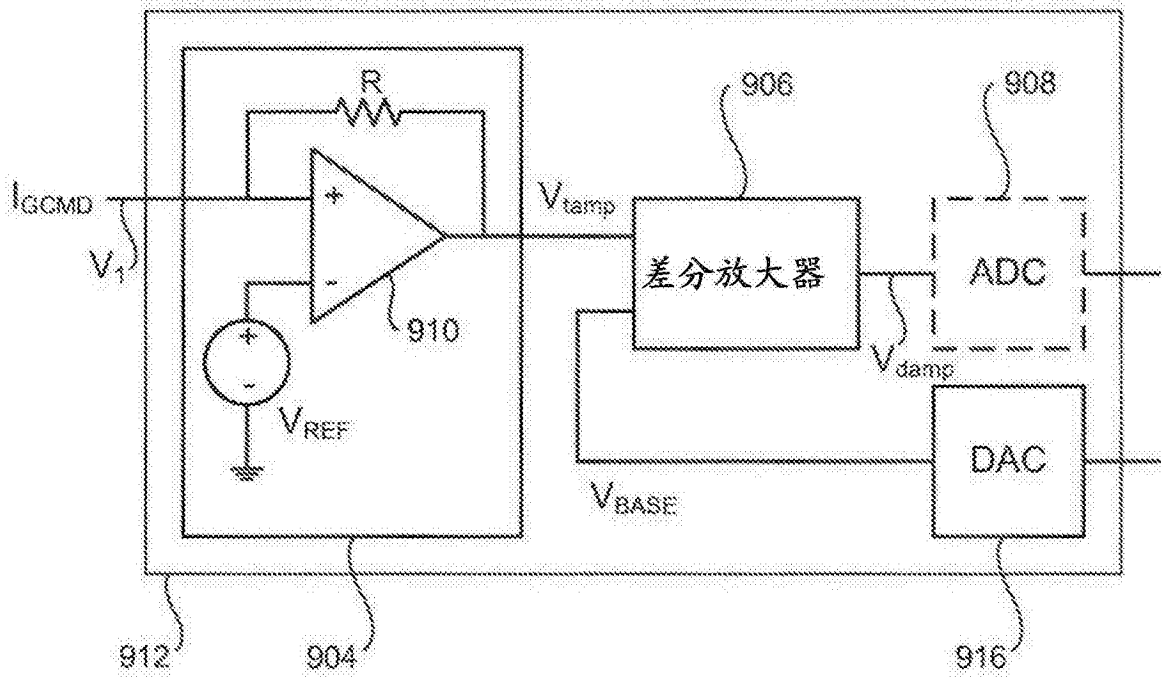


图9B

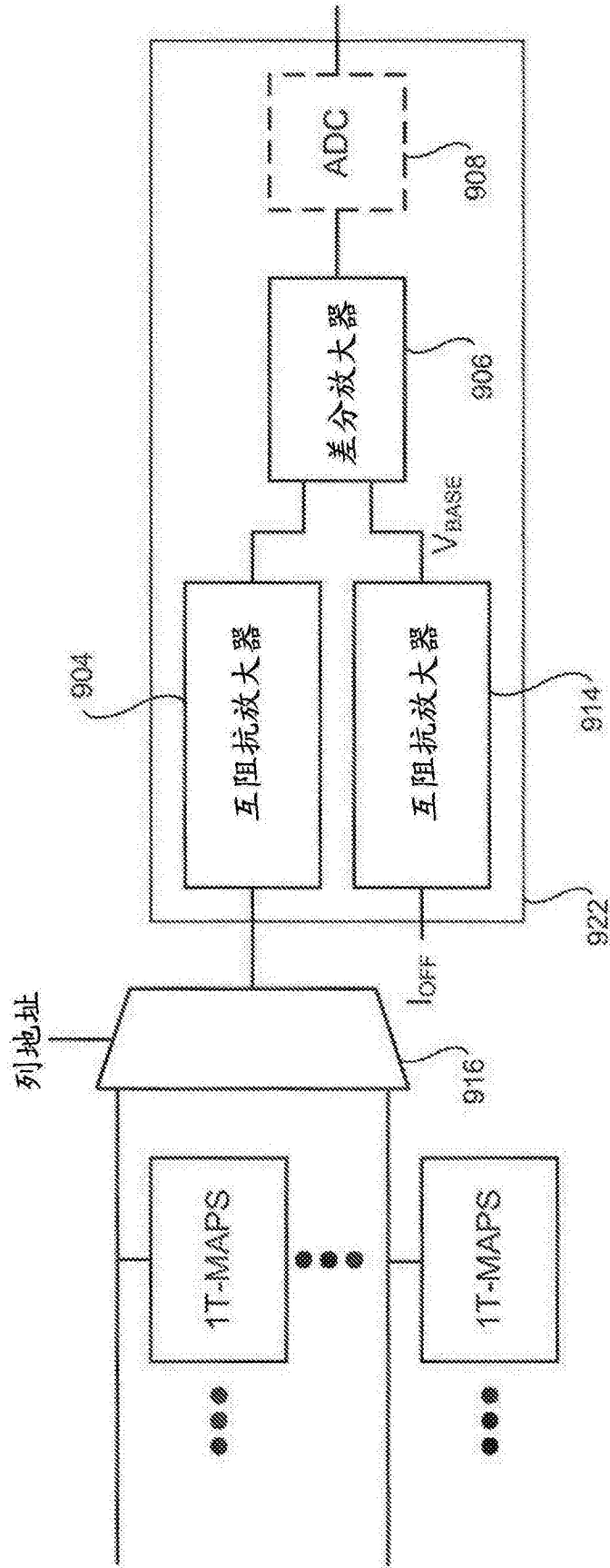


图9C

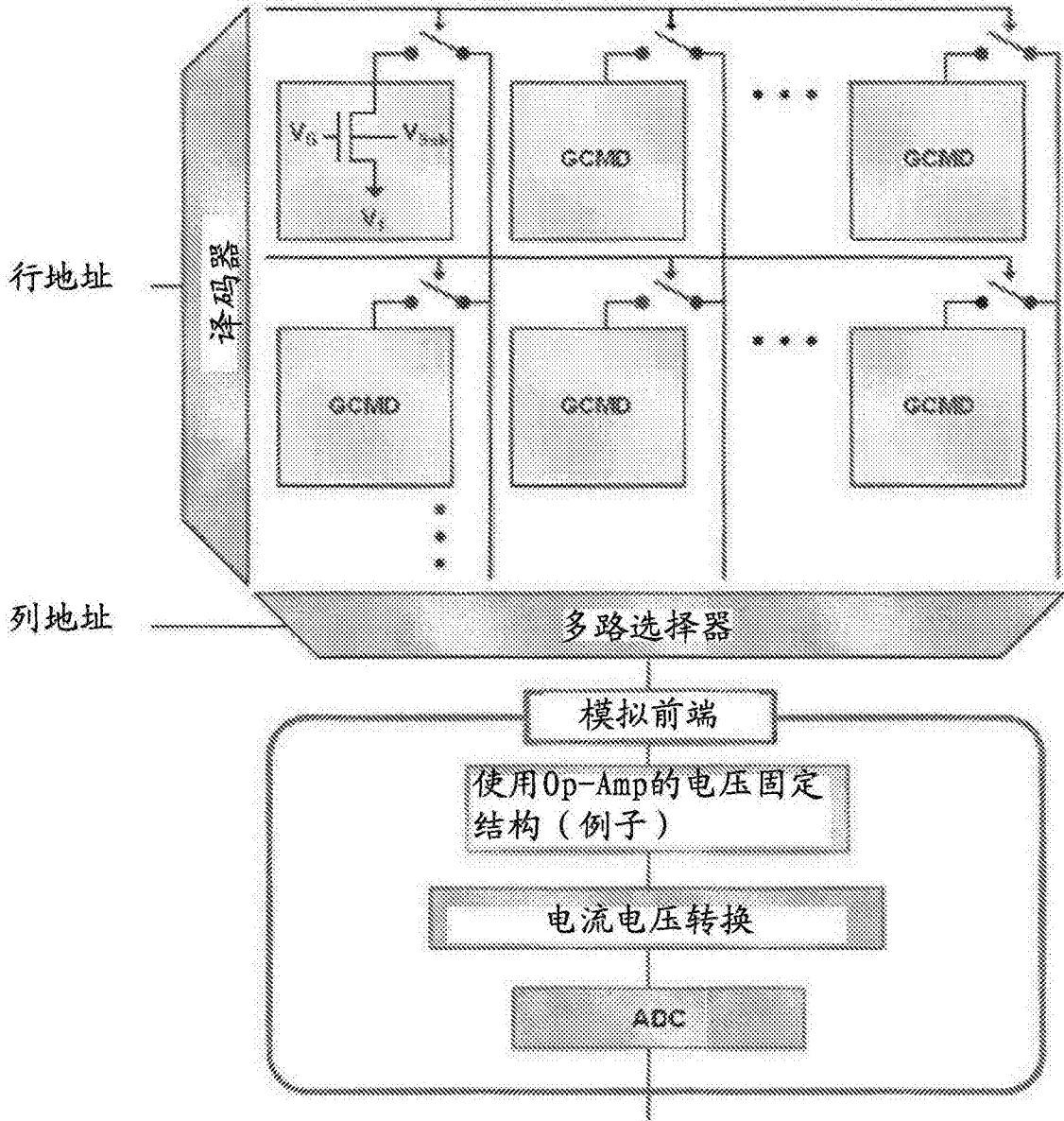


图10

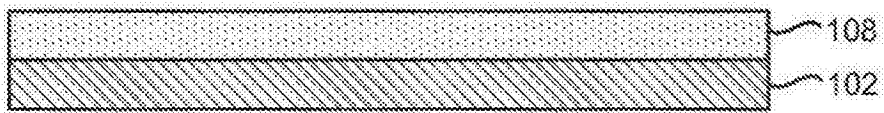


图11A

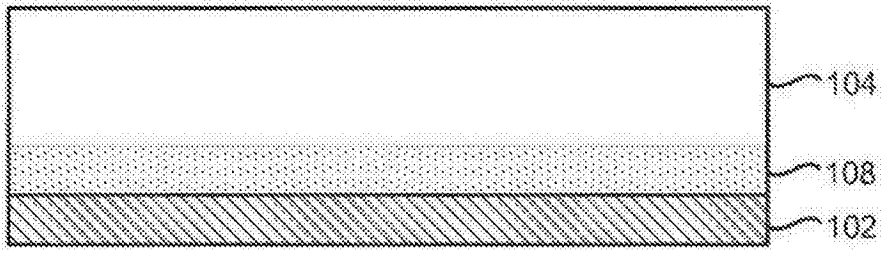


图11B

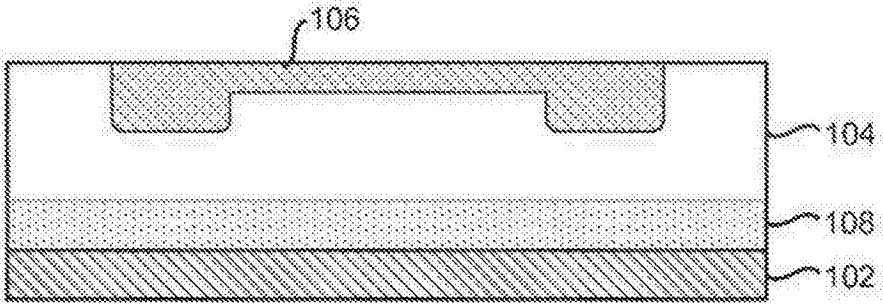


图11C

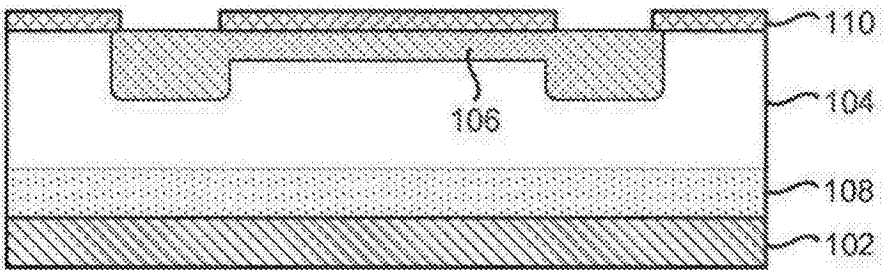


图11D

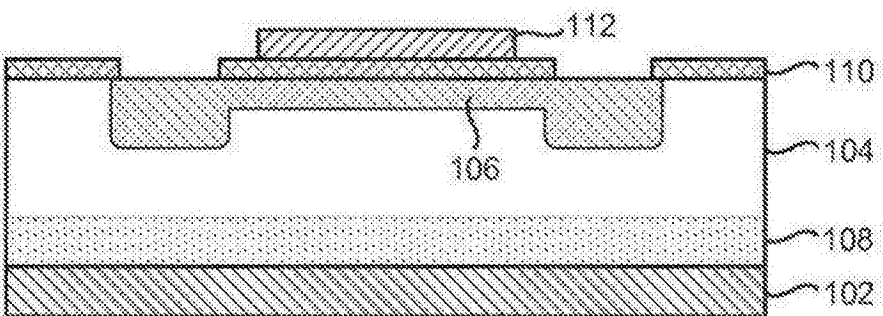


图11E