(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년04월07일
(11) 등록번호 10-2237584
(24) 등록일자 2021년04월01일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) *H01L 21/3205* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/11521* (2017.01)
H01L 29/423 (2006.01) *H01L 29/788* (2006.01)
(52) CPC특허분류
H01L 29/66825 (2013.01)
H01L 21/32055 (2013.01)
(21) 출원번호 10-2021-7005278(분할)
(22) 출원일자(국제) 2017년03월31일
심사청구일자 2021년03월04일
(85) 번역문제출일자 2021년02월22일
(65) 공개번호 10-2021-0024211
(43) 공개일자 2021년03월04일
(62) 원출원 특허 10-2020-7017319
원출원일자(국제) 2017년03월31일
심사청구일자 2020년07월07일
(86) 국제출원번호 PCT/US2017/025263
(87) 국제공개번호 WO 2017/184315
국제공개일자 2017년10월26일
(30) 우선권주장
201610247666.6 2016년04월20일 중국(CN)
15/474,879 2017년03월30일 미국(US)
(56) 선행기술조사문헌
KR1020020095356 A
US20140126299 A1
US20150137207 A1

(73) 특허권자
실리콘 스토리지 테크놀로지 인크
미국 캘리포니아주 95134 산호세 홀거 웨이 450
(72) 발명자
조우 펭
미국 캘리포니아주 94536 프리몬트 퍼킨스 스트리트 35910
리우 시안
미국 캘리포니아주 94087 써니베일 사전트 드라이브 1236
(뒷면에 계속)
(74) 대리인
특허법인태평양

전체 청구항 수 : 총 14 항 심사관 : 최정민

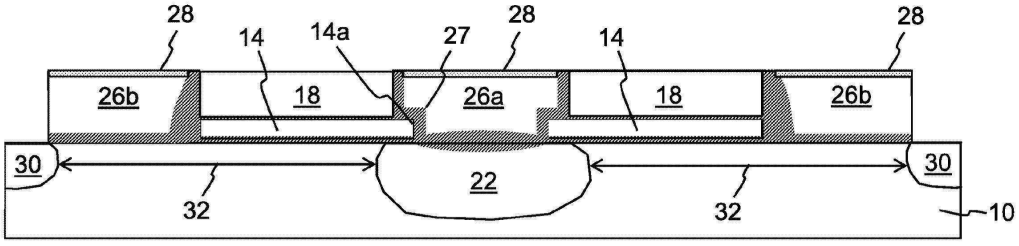
(54) 발명의 명칭 **2개의 폴리실리콘 증착 단계들을 이용하여 3-게이트 비휘발성 플래시 메모리 셀들의 쌍을 형성하는 방법**

(57) 요 약

2회의 폴리실리콘 증착을 이용하여 비휘발성 메모리 셀들의 쌍들을 형성하기 위한 간소화된 방법이 개시된다. 제1 폴리실리콘 층이 제1 폴리실리콘 증착 공정에서 반도체 기판 상에 형성되면서 그로부터 절연된다. 이격된 절연 블록들의 쌍이 제1 폴리실리콘 층 상에 형성된다. 제1 폴리실리콘 층의 폴리실리콘 블록들의 쌍을 각각 절연 블

(뒷면에 계속)

대 표 도 - 도1i



록들의 쌍의 하나의 절연 블록 아래에 배치한 상태로 유지하면서 제1 폴리실리콘 층의 노출된 부분들이 제거된다. 제2 폴리실리콘 층이 제2 폴리실리콘 증착 공정에서 기판 및 절연 블록들의 쌍 위에 형성된다. 제1 폴리실리콘 블록(절연 블록들의 쌍 사이에 배치됨), 제2 폴리실리콘 블록(하나의 절연 블록의 외부 측면에 인접하게 배치됨), 및 제3 폴리실리콘 블록(다른 절연 블록의 외부 측면에 인접하게 배치됨)을 유지하면서 제2 폴리실리콘 층의 부분들이 제거된다.

(52) CPC특허분류
H01L 21/823462 (2013.01)
H01L 27/11521 (2013.01)
H01L 29/42324 (2013.01)
H01L 29/788 (2013.01)

(72) 발명자
수 치엔-쉥
미국 캘리포니아주 95070 사라토가 컬크몬트 드라이브 20300
두 난
미국 캘리포니아주 95070 사라토가 월넛 애비뉴 20451
왕 춘밍
중국 상하이 201203 훠샹 로드 레인 238 넘버 16 룸 402

명 세 서

청구범위

청구항 1

비휘발성 메모리 셀들의 쌍을 형성하는 방법으로서,

반도체 기판 상에 제1 절연 층을 형성하는 단계;

제1 폴리실리콘 증착 공정에서 상기 제1 절연 층 상에 제1 폴리실리콘 층을 형성하는 단계;

상기 제1 폴리실리콘 층 상에 이격된 절연 블록들의 쌍을 형성하는 단계 - 상기 절연 블록들 각각은 서로를 향해 대면하는 제1 측면들 및 서로로부터 멀어지게 향하는 제2 측면들을 가짐 -;

상기 제1 및 제2 측면들에 인접하게 절연 스페이서들을 형성하는 단계;

상기 제1 측면들에 인접한 상기 절연 스페이서들의 폭을 감소시키는 단계;

상기 제1 폴리실리콘 층의 폴리실리콘 블록들의 쌍을 각각 상기 절연 블록들의 쌍의 하나의 절연 블록 및 상기 하나의 절연 블록의 제1 및 제2 측면들에 인접한 상기 절연 스페이서들 아래에 배치한 상태로 유지하면서 상기 제1 폴리실리콘 층의 부분들을 제거하는 단계;

상기 기판에 그리고 상기 절연 블록들의 쌍 사이에 소스 영역을 형성하는 단계;

상기 절연 스페이서들을 제거하여 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍 각각의 단부 부분들을 노출시키는 단계;

적어도 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍 각각의 상기 노출된 단부 부분들을 따라서 연장되는 절연 재료의 층을 형성하는 단계;

제2 폴리실리콘 증착 공정에서 상기 기판 및 상기 절연 블록들의 쌍 위에 제2 폴리실리콘 층을 형성하는 단계;

상기 제2 폴리실리콘 층의 제1 폴리실리콘 블록, 제2 폴리실리콘 블록, 및 제3 폴리실리콘 블록을 유지하면서 상기 제2 폴리실리콘 층의 부분들을 제거하는 단계

- 상기 제1 폴리실리콘 블록은 상기 절연 블록들의 쌍 사이에 그리고 상기 소스 영역 위에 배치되고,

상기 제2 폴리실리콘 블록은 상기 절연 블록들 중 하나의 절연 블록의 제2 측면에 인접하게 배치되고,

상기 제3 폴리실리콘 블록은 상기 절연 블록들 중 다른 하나의 절연 블록의 제2 측면에 인접하게 배치됨 -;

상기 기판에 그리고 상기 제2 폴리실리콘 블록에 인접하게 제1 드레인 영역을 형성하는 단계; 및

상기 기판에 그리고 상기 제3 폴리실리콘 블록에 인접하게 제2 드레인 영역을 형성하는 단계를 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 2

청구항 1에 있어서,

상기 제1 폴리실리콘 블록은 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍에 측방향으로 인접한 제1 부분, 및 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍 위로 그리고 그 위에서 연장되는 제2 부분을 포함하고,

상기 제2 폴리실리콘 블록은 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍의 하나의 폴리실리콘 블록에 측방향으로 인접한 제1 부분, 및 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍의 하나의 폴리실리콘 블록 위로 그리고 그 위에서 연장되는 제2 부분을 포함하고,

상기 제3 폴리실리콘 블록은 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍의 다른 하나의 폴리실리콘 블록에 측방향으로 인접한 제1 부분, 및 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍의 다른 하나의 폴리실리콘 블록 위로 그리고 그 위에서 연장되는 제2 부분을 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는

방법.

청구항 3

청구항 2에 있어서,

상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍의 어느 하나의 폴리실리콘 블록과 상기 제1 폴리실리콘 블록 사이의 수직 중첩의 양은 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍의 하나의 폴리실리콘 블록과 상기 제2 폴리실리콘 블록 사이의 수직 중첩의 양보다 적고, 상기 제1 폴리실리콘 층의 상기 폴리실리콘 블록들의 쌍의 다른 하나의 폴리실리콘 블록과 상기 제3 폴리실리콘 블록 사이의 수직 중첩의 양보다 적은, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 4

청구항 1에 있어서,

상기 이격된 절연 블록들은 질화물, 산화물, 또는 산화물과 질화물 양측 모두를 포함하는 층들의 합성물로 형성되는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 5

청구항 1에 있어서,

상기 제1 절연 층은 산화물 또는 질소 처리 산화물로 형성되는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 6

청구항 1에 있어서,

상기 제2 및 제3 폴리실리콘 블록들을 제거하는 단계;

상기 절연 블록들 중 하나의 절연 블록의 제2 측면에 인접하게 제1 금속 블록을 형성하는 단계; 및

상기 절연 블록들 중 다른 하나의 절연 블록의 제2 측면에 인접하게 제2 금속 블록을 형성하는 단계를 추가로 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 7

청구항 6에 있어서,

상기 제1 금속 블록과 상기 절연 블록들 중 하나의 절연 블록의 제2 측면 사이에 하이-k 절연 재료의 층을 형성하는 단계; 및

상기 제2 금속 블록과 상기 절연 블록들 중 다른 하나의 절연 블록의 제2 측면 사이에 하이-k 절연 재료의 층을 형성하는 단계를 추가로 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 8

비휘발성 메모리 셀들의 쌍을 형성하는 방법으로서,

반도체 기판 상에 제1 절연 층을 형성하는 단계;

제1 폴리실리콘 증착 공정에서 상기 제1 절연 층 상에 제1 폴리실리콘 층을 형성하는 단계;

서로 반대편인 제1 및 제2 측면들을 갖는 상기 제1 폴리실리콘 층 상에 절연 블록을 형성하는 단계;

상기 제1 폴리실리콘 상에서 상기 제1 측면에 인접하게 제1 절연 스페이서를 그리고 상기 제1 폴리실리콘 층 상에서 상기 제2 측면에 인접하게 제2 절연 스페이서를 형성하는 단계;

상기 제1 폴리실리콘 층의 폴리실리콘 블록을 상기 절연 블록 및 상기 제1 및 제2 절연 스페이서들 아래에 배치한 상태로 유지하면서 상기 제1 폴리실리콘 층의 부분들을 제거하는 단계;

상기 절연 블록을 제거하는 단계;

상기 제1 절연 스페이서와 상기 제2 절연 스페이서 사이에 배치된 상기 제1 폴리실리콘 층의 일부분을 제거하여

상기 제1 절연 스페이서 아래에 배치되는 상기 제1 폴리실리콘 층의 제1 폴리실리콘 블록 및 상기 제2 절연 스페이서 아래에 배치되는 상기 제1 폴리실리콘 층의 제2 폴리실리콘 블록을 형성하는 단계;

상기 기판에 그리고 상기 제1 절연 스페이서와 상기 제2 절연 스페이서 사이에 소스 영역을 형성하는 단계;

적어도 상기 제1 폴리실리콘 층의 상기 제1 및 제2 폴리실리콘 블록들 각각의 단부 부분을 따라서 연장되는 절연 재료를 형성하는 단계;

제2 폴리실리콘 증착 공정에서 상기 기판 및 상기 절연 스페이서들의 쌍 위에 제2 폴리실리콘 층을 형성하는 단계;

상기 제2 폴리실리콘 층의 제3 폴리실리콘 블록, 제4 폴리실리콘 블록, 및 제5 폴리실리콘 블록을 유지하면서 상기 제2 폴리실리콘 층의 부분들을 제거하는 단계

- 상기 제3 폴리실리콘 블록은 상기 절연 스페이서들의 쌍 사이에 그리고 상기 소스 영역 위에 배치되고,

상기 제4 폴리실리콘 블록은 상기 제1 절연 스페이서에 인접하게 배치되고,

상기 제5 폴리실리콘 블록은 상기 제2 절연 스페이서에 인접하게 배치됨 -;

상기 기판에 그리고 상기 제4 폴리실리콘 블록에 인접하게 제1 드레인 영역을 형성하는 단계; 및

상기 기판에 그리고 상기 제5 폴리실리콘 블록에 인접하게 제2 드레인 영역을 형성하는 단계를 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 9

청구항 8에 있어서,

상기 절연 블록의 제거 이전에,

상기 제1 폴리실리콘 층의 상부 표면에 대해 폴리 경사 에칭을 수행하여, 상기 상부 표면이 상기 절연 블록으로부터 멀어지게 연장됨에 따라, 상기 상부 표면이 하향 경사지게 하는 단계를 추가로 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 10

청구항 8에 있어서,

상기 제3 폴리실리콘 블록은 상기 제1 폴리실리콘 층의 상기 제1 및 제2 폴리실리콘 블록들에 측방향으로 인접한 제1 부분, 및 상기 제1 폴리실리콘 층의 상기 제1 및 제2 폴리실리콘 블록들 위로 그리고 그 위에서 연장되는 제2 부분을 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 11

청구항 8에 있어서,

상기 절연 블록은 질화물, 산화물, 또는 산화물과 질화물 양측 모두를 포함하는 층들의 합성물로 형성되는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 12

청구항 8에 있어서,

상기 제1 절연 층은 산화물 또는 질소 처리 산화물로 형성되는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

청구항 13

청구항 8에 있어서,

상기 제4 및 제5 폴리실리콘 블록들을 제거하는 단계;

상기 제1 절연 스페이서에 인접하게 제1 금속 블록을 형성하는 단계; 및

상기 제2 절연 스페이서에 인접하게 제2 금속 블록을 형성하는 단계를 추가로 포함하는, 비휘발성 메모리 셀들

의 쌍을 형성하는 방법.

청구항 14

청구항 13에 있어서,

상기 제1 금속 블록과 상기 제1 절연 스페이서 사이에 하이-k 절연 재료의 층을 형성하는 단계; 및

상기 제2 금속 블록과 상기 제2 절연 스페이서 사이에 하이-k 절연 재료의 층을 형성하는 단계를 추가로 포함하는, 비휘발성 메모리 셀들의 쌍을 형성하는 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원

[0002] 본 출원은 2016년 4월 20일자로 출원된 중국 특허 출원 제201610247666.6호의 이익을 주장한다.

[0003] 기술분야

[0004] 본 발명은 워드 라인(WL) 게이트, 플로팅 게이트, 및 소거 게이트를 갖는 비휘발성 플래시 메모리 셀에 관한 것이다.

배 경 기 술

[0005] 워드 라인(WL) 게이트, 플로팅 게이트, 및 소거 게이트를 갖는 분리형 게이트 비휘발성 플래시 메모리 셀들은 본 기술 분야에 주지되어 있다. 예를 들어, 전체가 본 명세서에 참고로 포함된 미국 특허 제7,315,056호를 참조한다.

[0006] 비휘발성 메모리 셀들이 크기 면에서 감소함에 따라, 자가-정렬형 요소들, 및 감소된 개수의 프로세싱 단계(예컨대, 마스킹 단계, 폴리 증착 단계 등)의 면에서 그러한 메모리 셀들을 제조하는 것은 더욱 어려워지고 있다. 따라서, 메모리 셀들이 크기 면에서 계속해서 축소됨에 따라 제조 공정을 간소화시키는 것이 본 발명의 목적들 중 하나이다.

발명의 내용

[0007] 비휘발성 메모리 셀들의 쌍을 형성하기 위한 간소화된 방법은, 반도체 기판 상에 제1 절연 층을 형성하는 단계, 제1 폴리실리콘 증착 공정에서 제1 절연 층 상에 제1 폴리실리콘 층을 형성하는 단계, 제1 폴리실리콘 층 상에 이격된 절연 블록들의 쌍을 형성하는 단계 - 절연 블록들 각각은 서로를 향해 대면하는 제1 측면들 및 서로로부터 멀어지게 향하는 제2 측면들을 가짐 -, 제1 폴리실리콘 층의 부분들을 절연 블록들의 쌍 아래에 그리고 절연 블록들의 쌍 사이에 배치한 상태로 유지하면서 제1 폴리실리콘 층의 부분들을 제거하는 단계, 제1 측면들에 인접하게 그리고 절연 블록들의 쌍 사이에 배치되는 제1 폴리실리콘 층의 일부분 위에 이격된 절연 스페이서들의 쌍을 형성하는 단계, 제1 폴리실리콘 층의 폴리실리콘 블록들의 쌍을 각각 절연 블록들의 쌍의 하나의 절연 블록 및 절연 스페이서들의 쌍의 하나의 절연 스페이서 아래에 배치한 상태로 유지하면서 절연 스페이서들 사이에 배치되는 제1 폴리실리콘 층의 일부분을 제거하는 단계, 기판에 그리고 절연 블록들의 쌍 사이에 소스 영역을 형성하는 단계, 절연 스페이서들의 쌍을 제거하는 단계, 적어도 폴리실리콘 블록들의 쌍 각각의 단부 부분을 따라서 연장되는 절연 재료를 형성하는 단계, 제2 폴리실리콘 증착 공정에서 기판 및 절연 블록들의 쌍 위에 제2 폴리실리콘 층을 형성하는 단계, 제2 폴리실리콘 층의 제1 폴리실리콘 블록, 제2 폴리실리콘 블록, 및 제3 폴리실리콘 블록을 유지하면서 제2 폴리실리콘 층의 부분들을 제거하는 단계(제1 폴리실리콘 블록은 절연 블록들의 쌍 사이에 그리고 소스 영역 위에 배치되고, 제2 폴리실리콘 블록은 절연 블록들 중 하나의 절연 블록의 제2 측면에 인접하게 배치되고, 제3 폴리실리콘 블록은 절연 블록들 중 다른 하나의 절연 블록의 제2 측면에 인접하게 배치됨), 기판에 그리고 제2 폴리실리콘 블록에 인접하게 제1 드레인 영역을 형성하는 단계, 및 기판에 그리고 제3 폴리실리콘 블록에 인접하게 제2 드레인 영역을 형성하는 단계를 포함한다.

[0008] 비휘발성 메모리 셀들의 쌍을 형성하는 간소화된 방법은, 반도체 기판 상에 제1 절연 층을 형성하는 단계, 제1 폴리실리콘 증착 공정에서 제1 절연 층 상에 제1 폴리실리콘 층을 형성하는 단계, 제1 폴리실리콘 층 상에 이격된 절연 블록들의 쌍을 형성하는 단계 - 절연 블록들 각각은 서로를 향해 대면하는 제1 측면들 및 서로로부터

멀어지게 향하는 제2 측면들을 가짐 -, 제1 폴리실리콘 층의 폴리실리콘 블록들의 쌍을 각각 절연 블록들의 쌍의 하나의 절연 블록 아래에 배치한 상태로 유지하면서 제1 폴리실리콘 층의 부분들을 제거하는 단계, 제1 및 제2 측면들에 인접하게 절연 스페이서들을 형성하는 단계, 제1 측면들에 인접한 절연 스페이서들을 제거하는 단계, 기판에 그리고 절연 블록들의 쌍 사이에 소스 영역을 형성하는 단계, 적어도 제1 측면들을 따라서 그리고 제2 측면들에 인접한 절연 스페이서들을 따라서 연장되는 절연 재료의 층을 형성하는 단계, 제2 폴리실리콘 증착 공정에서 기판 및 절연 블록들의 쌍 위에 제2 폴리실리콘 층을 형성하는 단계, 제2 폴리실리콘 층의 제1 폴리실리콘 블록, 제2 폴리실리콘 블록, 및 제3 폴리실리콘 블록을 유지하면서 제2 폴리실리콘 층의 부분들을 제거하는 단계(제1 폴리실리콘 블록은 절연 블록들의 쌍 사이에 그리고 소스 영역 위에 배치되고, 제2 폴리실리콘 블록은 절연 블록들 중 하나의 절연 블록의 제2 측면에 인접하게 배치되고, 제3 폴리실리콘 블록은 절연 블록들 중 다른 하나의 절연 블록의 제2 측면에 인접하게 배치됨), 기판에 그리고 제2 폴리실리콘 블록에 인접하게 제1 드레인 영역을 형성하는 단계, 및 기판에 그리고 제3 폴리실리콘 블록에 인접하게 제2 드레인 영역을 형성하는 단계를 포함한다.

[0009] 비휘발성 메모리 셀들의 쌍을 형성하는 간소화된 방법은, 반도체 기판 상에 제1 절연 층을 형성하는 단계, 제1 폴리실리콘 증착 공정에서 제1 절연 층 상에 제1 폴리실리콘 층을 형성하는 단계, 제1 폴리실리콘 층 상에 이격된 절연 블록들의 쌍을 형성하는 단계 - 절연 블록들 각각은 서로를 향해 대면하는 제1 측면들 및 서로로부터 멀어지게 향하는 제2 측면들을 가짐 -, 제1 및 제2 측면들에 인접하게 절연 스페이서들을 형성하는 단계, 제1 측면들에 인접한 절연 스페이서들의 폭을 감소시키는 단계, 제1 폴리실리콘 층의 폴리실리콘 블록들의 쌍을 각각 절연 블록들의 쌍의 하나의 절연 블록 및 하나의 절연 블록의 제1 및 제2 측면들에 인접한 절연 스페이서들 아래에 배치한 상태로 유지하면서 제1 폴리실리콘 층의 부분들을 제거하는 단계, 기판에 그리고 절연 블록들의 쌍 사이에 소스 영역을 형성하는 단계, 절연 스페이서들을 제거하여 제1 폴리실리콘 층의 폴리실리콘 블록들의 쌍 각각의 단부 부분들을 노출시키는 단계, 적어도 제1 폴리실리콘 층의 폴리실리콘 블록들의 쌍 각각의 노출된 단부 부분들을 따라서 연장되는 절연 재료의 층을 형성하는 단계, 제2 폴리실리콘 증착 공정에서 기판 및 절연 블록들의 쌍 위에 제2 폴리실리콘 층을 형성하는 단계, 제2 폴리실리콘 층의 제1 폴리실리콘 블록, 제2 폴리실리콘 블록, 및 제3 폴리실리콘 블록을 유지하면서 제2 폴리실리콘 층의 부분들을 제거하는 단계(제1 폴리실리콘 블록은 절연 블록들의 쌍 사이에 그리고 소스 영역 위에 배치되고, 제2 폴리실리콘 블록은 절연 블록들 중 하나의 절연 블록의 제2 측면에 인접하게 배치되고, 제3 폴리실리콘 블록은 절연 블록들 중 다른 하나의 절연 블록의 제2 측면에 인접하게 배치됨), 기판에 그리고 제2 폴리실리콘 블록에 인접하게 제1 드레인 영역을 형성하는 단계, 및 기판에 그리고 제3 폴리실리콘 블록에 인접하게 제2 드레인 영역을 형성하는 단계를 포함한다.

[0010] 비휘발성 메모리 셀들의 쌍을 형성하는 간소화된 방법은, 반도체 기판 상에 제1 절연 층을 형성하는 단계, 제1 폴리실리콘 증착 공정에서 제1 절연 층 상에 제1 폴리실리콘 층을 형성하는 단계, 서로 반대편인 제1 및 제2 측면들을 갖는 제1 폴리실리콘 층 상에 절연 블록을 형성하는 단계, 제1 폴리실리콘 상에서 제1 측면에 인접하게 제1 절연 스페이서를 그리고 제1 폴리실리콘 층 상에서 제2 측면에 인접하게 제2 절연 스페이서를 형성하는 단계, 제1 폴리실리콘 층의 폴리실리콘 블록을 절연 블록 및 제1 및 제2 절연 스페이서들 아래에 배치한 상태로 유지하면서 제1 폴리실리콘 층의 부분들을 제거하는 단계, 절연 블록을 제거하는 단계, 제1 절연 스페이서와 제2 절연 스페이서 사이에 배치된 제1 폴리실리콘 층의 일부분을 제거하여 제1 절연 스페이서 아래에 배치되는 제1 폴리실리콘 층의 제1 폴리실리콘 블록 및 제2 절연 스페이서 아래에 배치되는 제1 폴리실리콘 층의 제2 폴리실리콘 블록을 형성하는 단계, 기판에 그리고 제1 절연 스페이서와 제2 절연 스페이서 사이에 소스 영역을 형성하는 단계, 적어도 제1 폴리실리콘 층의 제1 및 제2 폴리실리콘 블록들 각각의 단부 부분을 따라서 연장되는 절연 재료를 형성하는 단계, 제2 폴리실리콘 증착 공정에서 기판 및 절연 스페이서들의 쌍 위에 제2 폴리실리콘 층을 형성하는 단계, 제2 폴리실리콘 층의 제3 폴리실리콘 블록, 제4 폴리실리콘 블록, 및 제5 폴리실리콘 블록을 유지하면서 제2 폴리실리콘 층의 부분들을 제거하는 단계(제3 폴리실리콘 블록은 절연 스페이서들의 쌍 사이에 그리고 소스 영역 위에 배치되고, 제4 폴리실리콘 블록은 제1 절연 스페이서에 인접하게 배치되고, 제5 폴리실리콘 블록은 제2 절연 스페이서에 인접하게 배치됨), 기판에 그리고 제4 폴리실리콘 블록에 인접하게 제1 드레인 영역을 형성하는 단계, 및 기판에 그리고 제5 폴리실리콘 블록에 인접하게 제2 드레인 영역을 형성하는 단계를 포함한다.

[0011] 본 발명의 다른 목적들 및 특징들은 명세서, 청구범위, 및 첨부된 도면의 검토에 의해 명백해질 것이다.

도면의 간단한 설명

[0012] 도 1a 내지 도 1i는 본 발명의 메모리 셀들의 쌍을 형성함에 있어서의 단계들을 도시한 단면도들이다.

도 2는 본 발명의 메모리 셀들의 쌍을 형성하기 위한 다른 대안의 실시예의 단면도이다.

도 3a 내지 도 3d는 본 발명의 메모리 셀들의 쌍을 형성하기 위한 다른 대안의 실시예에서의 단계들을 도시한 단면도들이다.

도 4a 내지 도 4d는 본 발명의 메모리 셀들의 쌍을 형성하기 위한 다른 대안의 실시예에서의 단계들을 도시한 단면도들이다.

도 5a 내지 도 5c는 본 발명의 메모리 셀들의 쌍을 형성하기 위한 다른 대안의 실시예에서의 단계들을 도시한 단면도들이다.

도 6은 본 발명의 메모리 셀들의 쌍을 형성하기 위한 다른 대안의 실시예의 단면도이다.

도 7은 본 발명의 메모리 셀들의 쌍을 형성하기 위한 다른 대안의 실시예의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 감소된 개수의 프로세싱 단계들(예컨대, 단 2개의 폴리실리콘 증착 단계들)로 메모리 셀들의 쌍들을 제조하는 방법이다. 도 1a 내지 도 1i를 참조하면, 메모리 셀들의 쌍들을 제조하는 공정에 있어서의 단계들의 단면도들이 도시되어 있다(메모리 셀들의 단일 쌍의 형성만이 도면에 도시되어 있지만, 그러한 메모리 셀 쌍들의 어레이가 동시에 형성된다는 것이 이해되어야 한다). 공정은 P 타입 단결정 실리콘의 기판(10) 상에 실리콘 이산화물(산화물)의 층(12)을 형성함으로써 시작된다. 산화물 층(12)은 80 내지 100 A 두께일 수 있다. 그 후, 폴리실리콘(또는 비결정성 실리콘)의 층(14)이 실리콘 이산화물의 층(12) 상에 형성된다. 폴리 층(14)은 200 내지 300 A 두께일 수 있다. 도 1a에 도시된 바와 같이, 다른 절연 층(16)(예컨대, 산화물)이 폴리 층(14) 상에 형성되고, 또 다른 절연 층(18)(예컨대, 실리콘 질화물(질화물))이 산화물 층(16) 상에 형성된다. 산화물 층(16)은 20 내지 50 A 두께일 수 있고, 질화물 층(18)은 약 500 A 두께일 수 있다.

[0014] 포토레지스트 재료(도시되지 않음)가 구조물 상에 코팅되고, 마스킹 단계가 수행되어, 포토레지스트 재료의 선택된 부분들을 노출시킨다. 포토레지스트는 포토레지스트의 부분들이 제거되도록 현상된다. 남아 있는 포토레지스트를 마스크로서 사용하여, 구조물이 에칭된다. 구체적으로, 질화물 및 산화물 층들(18, 16)은 (폴리 층(14)을 에칭 정지부로서 사용하여) 이방성으로 에칭되어, (포토레지스트가 제거된 후에) 도 1b에 도시된 바와 같은 질화물 블록들(18)의 쌍들을 남긴다. 질화물 블록들(18) 사이의 공간은 본 명세서에서 "내부 영역"으로 지칭되고, 질화물 블록들의 쌍의 외부의 공간들은 본 명세서에서 "외부 영역들"로 지칭된다. 포토레지스트 재료가 구조물 상에 다시 코팅되고, 마스킹 및 현상 단계들을 이용하여 패턴화되어 내부 영역을 커버한다. 이어서, 이방성 폴리 에칭을 이용하여, (포토레지스트가 제거된 후에) 도 1c에 도시된 바와 같이, 외부 영역들의 폴리 층(14)의 그러한 부분들을 제거한다.

[0015] 이어서, 산화물 스페이서들(20)이 구조물의 측면들 상에 형성된다. 스페이서들의 형성은 본 기술 분야에 주지되어 있고, 구조물의 윤곽 위에 재료를 증착시키고, 뒤이어 이방성 에칭 공정이 이어지는 것을 수반하는데, 이에 의해 재료가 구조물의 수평 표면들로부터 제거되는 한편, 재료는 구조물의 (둥근 상부 표면을 갖는) 수직 배향 표면들 상에 크게 변형되지 않은 상태로 남아 있게 된다. 생성된 구조물이 도 1d에 도시되어 있다. 이어서, 폴리 에칭을 이용하여, 내부 영역의 폴리 층(14)의 노출된 부분을 제거한다. 이어서, 주입 공정(예컨대, 주입 및 어닐링)이 수행되어, 내부 영역의 기판에 소스 영역(22)을 형성한다. 생성된 구조물이 도 1e에 도시되어 있다.

[0016] 포토레지스트가 구조물 상에 형성되고 내부 영역으로부터 제거되며, 산화물 에칭을 이용하여, 내부 영역의 산화물 스페이서들(20) 및 소스 영역 위의 산화물 층(12)을 제거한다. 포토레지스트 제거 이후, 이어서, 도 1f에 도시된 바와 같이, 터널 산화물 층(24)이 내부 영역의 폴리 층(14)의 노출된 부분들을 포함한 구조물 위에 (예컨대, 고온 산화물 HTO에 의해) 형성된다. 폴리실리콘의 두꺼운 층(26)이 구조물 위에 형성되고(도 1g 참조), 그 뒤에 폴리 에칭(예컨대, 에칭 정지부로서 질화물(18)을 사용한 CMP)이 이어져서, 도 1h에 도시된 바와 같이, 내부 영역에는 폴리 블록(26a)을 그리고 외부 영역들에는 폴리 블록들(26b)을 남긴다. 선택적 폴리 에칭을 이용하여, 폴리 블록들(26a, 26b)의 높이를 (즉, 질화물 블록들(18)의 상단 아래로) 감소시킬 수 있었다.

[0017] 포토레지스트가 구조물 상에 형성되고, 폴리 블록들(26b)의 일부분들을 노출된 상태로 남기도록 패턴화되고, 그 뒤에 폴리 에칭이 이어져서 폴리 블록들(26)의 노출된 부분들을 제거한다(즉, 폴리 블록들(26b)의 외측 에지들을 한정함). 이어서, 주입이 수행되어, 기판에 폴리 블록들(26b)의 외측 에지들에 인접하게 드레인 영역들(30)을 형성한다. 이어서, (개선된 전도도를 위해) 살리사이드(salicide)(28)가 폴리 블록들(26a, 26b)의 노출된 상부 표면들 상에 형성된다. 최종 구조물이 도 1i에 도시되어 있고, 메모리 셀들의 쌍을 포함한다. 각각의 메모리

셀은 소스 영역(22), 드레인 영역(30), 소스 영역과 드레인 영역 사이의 기판의 채널 영역(32), 채널 영역(32)의 제1 부분 위에 배치되면서 그로부터 절연된 플로팅 게이트(14), 채널 영역(32)의 제2 부분 위에 배치되면서 그로부터 절연되는 워드 라인 게이트(26b), 및 소스 영역(22) 위에 배치되면서 그로부터 절연되는 소거 게이트(26a)를 포함한다. 소거 게이트(26a)는 플로팅 게이트(14)에 측방향으로 인접한 제1 부분, 및 플로팅 게이트(14)의 일부분 위로 그리고 그 위에서 연장되는 제2 부분을 갖는다.

[0018] 전술된 제조 방법은 여러 가지 이점들을 갖는다. 먼저, 단지 2회의 폴리 증착을 이용하여, 3개의 게이트 모두(플로팅 게이트(14), 소거 게이트(26a) 및 워드 라인 게이트(26b))를 형성한다. 플로팅 게이트(14)는 개선된 소거 효율성을 위해 소거 게이트(26a)의 노치(27)와 대면하는 날카로운 팁 또는 에지(14a)를 갖는다. 플로팅 게이트(14)는 상대적으로 얇은 반면, 플로팅 게이트(14) 위의 질화물 블록(18)은 상대적으로 두껍고, 신뢰성있는 하드 마스크로서 작용하고, 폴리 CMP 정지 층으로서의 역할을 한다.

[0019] 도 2 내지 도 7을 참조하면, 메모리 셀들의 쌍들을 제조하기 위한 공정의 대안의 실시예들의 단면도들이 도시되어 있다(이러한 도면들에는 단 하나의 메모리 셀의 형성만이 도시되어 있지만, 미러(mirror) 메모리 셀이 메모리 셀들의 쌍의 일부로서 소스 영역의 다른 측면 상에 동시에 형성되고, 그러한 메모리 셀 쌍들의 어레이가 동시에 형성된다는 것을 이해해야 한다).

[0020] 도 2는 도 1a 내지 도 1i의 공정의 대안의 실시예를 도시하는데, 여기서 내부 영역의 플로팅 게이트(14) 위에 형성된 스페이서(42)는 제조 공정을 간소화시키기 위해 소거 게이트(50a)의 형성 이전의 남아 있는 상태(즉, 내부 영역 산화물 에칭이 없음)로 남겨진다.

[0021] 도 3a 내지 도 3d는 도 1a 내지 도 1i의 공정의 또 다른 대안의 실시예를 도시하는데, 여기서 공정은, 전술되고 도 1a에 도시된 동일한 프로세싱 단계들로 시작된다. 그러나, 도 1c에 도시된 바와 같이 외부 영역들에서 폴리 층(14)의 노출된 부분들만을 제거하는 폴리 에칭과는 달리, 폴리 에칭를 이용하여, 도 3a에 도시된 바와 같이, 내부 영역 및 외부 영역 양측 모두에서 폴리 층(14)을 제거한다. 바람직하게는, 추가 산화물 층(60)이 질화물 블록들(18) 상에 형성된다. 도 3b에 도시된 바와 같이, 절연 스페이서들(62)(예컨대 산화물과 질화물 양측 모두로 또는 산화물만으로 형성된 합성물)이 질화물 블록(18) 및 폴리 층(14)의 측면을 따라서 형성된다. 포토레지스트(64)가 구조물 상에 형성되고, 내부 영역으로부터 제거된다. 노출된 ON 또는 산화물 스페이서(62)는 질화물/산화물 에칭에 의해 제거된다. 이어서, 도 3c에 도시된 바와 같이, 주입 공정을 이용하여, 소스 영역(66)을 형성한다. 포토레지스트 제거 후, 산화물 층(68)이 구조물 위에 형성된다. 이어서, 폴리 증착, CMP 및 폴리 에칭이 수행되어, 소거 게이트(70a) 및 워드 라인 게이트(70b)를 형성한다. 이어서, 주입을 이용하여, 드레인(72)을 형성한다. 최종 구조물이 도 3d에 도시되어 있다. 이러한 실시예에서, 소거 게이트(70a)와 플로팅 게이트(14)와 질화물 블록(18) 사이의 간격은 오로지 산화물 층(68)에 의해 좌우된다.

[0022] 도 4a 내지 도 4d는 도 1a 내지 도 1i의 공정의 또 다른 대안의 실시예를 도시하는데, 여기서 공정은, 전술되고 도 1a에 도시된 동일한 프로세싱 단계들로 시작된다. 절연 재료(예컨대, 산화물)의 스페이서들(74)이 질화물 블록(18)의 양쪽 측면들 상에 형성된다. 포토레지스트(76)가 구조물 상에 형성되고, 외부 영역으로부터 선택적으로 제거된다. 폴리 에칭을 이용하여, 폴리 층(14)의 노출된 부분들을 제거한다. 도 4a에 도시된 바와 같이, WLVT 주입을 이용하여, 외부 영역들에 기판을 주입한다. 포토레지스트 제거 후, 포토레지스트(78)가 구조물 상에 형성되고, 내부 영역으로부터 선택적으로 제거된다. 산화물 습식 에칭이 수행되어, (소거 게이트와 플로팅 게이트의 궁극적인 중첩을 독립적으로 제어하기 위해) 내부 영역의 노출된 스페이서들(74)을 박막화한다. 이어서, 폴리 에칭이 수행되어, 내부 영역의 폴리 층(14)의 노출된 부분들을 제거한다. 이어서, 도 4b에 도시된 바와 같이, 주입 공정이 수행되어, 소스 영역(80)을 형성한다. 포토레지스트 제거 후, 산화물 에칭이 수행되어, 스페이서들(74), 및 산화물 층(12)의 노출된 부분들을 제거한다. 도 4c에 도시된 바와 같이, 열 산화 공정을 이용하여, 폴리 층(14) 및 기판(10)의 노출된 표면들 상에 산화물 층(82)을 형성한다. 도 4d에 도시된 바와 같이, 폴리 증착 및 에칭을 이용하여, 소거 게이트(84a) 및 워드 라인 게이트(84b)를 형성하고, 주입을 이용하여 드레인 영역(86)을 형성한다. 소거 게이트(84a) 및 워드 라인 게이트(84b) 양측 모두는, 향상된 소거 효율성 및 용량성 커플링을 위해, 플로팅 게이트에 측방향으로 인접한 제1 부분 및 플로팅 게이트 위로 그리고 그 위에서 연장되는 제2 부분을 갖는다. 워드 라인 게이트에 비해 소거 게이트에 의한 플로팅 게이트의 중첩의 양은 독립적으로 제어되고 산화물 스페이서 박막화 단계에 의해 좌우된다.

[0023] 도 5a 내지 도 5c는 도 2a 내지 도 1i의 공정의 또 다른 대안의 실시예를 도시하는데, 여기서 공정은, 전술되고 도 1a에 도시된 동일한 프로세싱 단계들로 시작된다. 그러나, 이러한 실시예에서, 소거 게이트는 질화물 블록(18) 옆에 형성되는 것이 아니라 그를 대체한다. 구체적으로, 도 5a에 도시된 바와 같이, 절연 재료(예컨대, 스

페이서들(88)을 위한 산화물-질화물(선택적임), 그리고 스페이서들(90)을 위한 산화물)의 스페이서들(88(선택적), 90)이 질화물 블록(18)의 양쪽 측면 상에 형성된다. 폴리 에칭을 이용하여, 질화물 블록(18) 및 스페이서들(88, 90)에 의해 보호되지 않는 폴리 층(14)의 이러한 부분들을 제거한다. 이어서, 도 5b에 도시된 바와 같이, 절연 재료(예컨대, 산화물)의 스페이서들(92)이, 폴리 층의 노출된 단부들을 포함한 구조물의 측면들 상에 형성된다. 질화물 에칭을 이용하여, 질화물 블록(18)을 제거하여 트렌치를 뒤에 남기고 트렌치의 저부에 있는 폴리 층(14)의 일부분을 노출시킨다. 폴리 에칭을 이용하여, 폴리 층(14)의 노출된 부분을 제거한다. 주입 공정을 이용하여, 소스 영역(93)을 형성한다. 스페이서들(88)이 제거 또는 박막화되거나, 또는 스페이서(90)가 선택적 스페이서(88) 없이 박막화되고, 산화물(94)이 질화물 블록(18)의 제거에 의해 뒤에 남겨진 트렌치의 측벽들을 따라서 형성된다. 폴리 증착 및 에칭이 수행되어, 소거 게이트(96a) 및 워드 라인 게이트들(96b)을 형성한다. 이어서, 주입 공정을 이용하여, 드레인 영역(98)을 형성한다. 생성된 구조물이 도 5c에 도시되어 있다.

[0024] 도 6은 도 5a 내지 도 5c의 공정의 대안의 실시예를 도시하는데, 여기서 스페이서들(90)이 형성되기 전에, 폴리 경사 에칭이 수행되어, 폴리 층(14)의 상부 표면이 질화물 블록(18)으로부터 멀리 연장됨에 따라 그것이 하향으로 경사지게 한다. 이는 각각의 플로팅 게이트가 소거 게이트의 노치와 대면하는 더 날카로운 에지에서 종단되는 상향 경사 표면을 갖게 한다.

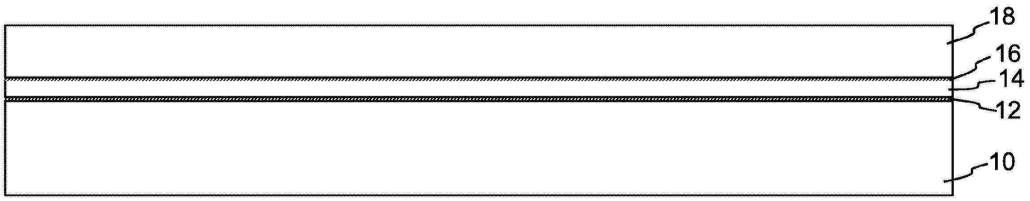
[0025] 도 7은 도 1 내지 도 6의 공정들의 다른 대안의 실시예를 도시하는데, 여기서 워드 라인 게이트를 형성하는 폴리 블록이 폴리 에칭에 의해 제거되고, 하이-K 재료(즉, HfO2, ZrO2, TiO2 등과 같은 산화물의 유전 상수(K)보다 더 큰 유전 상수를 가짐)의 절연 층, 및 금속 재료의 블록으로 대체된다. 예를 들어, 도 2의 실시예와 관련하여, 폴리 블록(50b)이 폴리 에칭에 의해 제거되고, 하이-K 재료의 절연 층(56) 및 금속 재료의 블록(58)으로 대체되는데, 이는 도 7에 도시된 바와 같다. 금속으로 형성된 워드 라인 게이트(58)를 가짐으로써, 보다 큰 게이트 전도도가 달성될 수 있다. 동일한 사항이 도 1i의 폴리 블록(26b), 도 3d의 폴리 블록(70b), 도 4d의 폴리 블록(84b), 및 도 5c 및 도 6의 폴리 블록(96b)에 대해 행해질 수 있다.

[0026] 본 발명은 전술되고 본 명세서에 예시된 실시예(들)로 제한되는 것이 아니라, 첨부된 청구범위의 범주 내에 있는 임의의 그리고 모든 변형들을 포괄한다는 것이 이해될 것이다. 예를 들어, 본 명세서에서 본 발명에 대한 언급은 임의의 청구항 또는 청구항 용어의 범주를 제한하도록 의도되는 것이 아니라, 대신에, 청구항들 중 하나 이상에 의해 커버될 수 있는 하나 이상의 특징들에 대해 언급하는 것일 뿐이다. 전술된 재료들, 공정들, 및 수치 예들은 단지 예시적일 뿐이며, 청구범위를 제한하는 것으로 간주되어서는 안 된다. 예를 들어, 질화물 블록들(18)이, 대신에, 산화물, 또는 산화물-질화물-산화물 또는 산화물-질화물을 갖는 복합 층들로 제조될 수 있었다. 워드 라인 게이트들(26b, 50b, 70b, 84b, 96b) 아래의 절연체는 실리콘 산화물, 또는 NO, N2O 어닐링 또는 DPN(decoupled plasma nitridation)을 이용한 질소 처리 산화물일 수 있으며, 이러한 예들로 제한되지는 않는다. 또한, 청구범위 및 명세서로부터 자명한 바와 같이, 모든 방법 단계들이 도시되거나 청구되는 정확한 순서로 수행되어야 하는 것이 아니라, 보다 정확히 말해서, 본 발명의 메모리 셀의 적절한 형성을 허용하는 임의의 순서로 수행되면 된다. 마지막으로, 재료의 단일 층들이 그러한 또는 유사한 재료들의 다수의 층들로서 형성될 수 있고, 그 역도 성립한다.

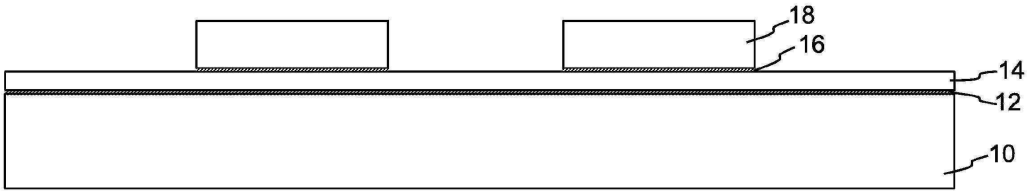
[0027] 본 명세서에 사용되는 바와 같이, "~ 위에" 및 "~ 상에"라는 용어들 양쪽 모두는 포괄적으로 "~ 상에 직접적으로"(사이에 어떠한 중간의 재료들, 요소들 또는 공간도 배치되지 않음)와 "~ 상에 간접적으로"(사이에 중간의 재료들, 요소들 또는 공간이 배치됨)를 포함한다는 것에 주의하여야 한다. 마찬가지로, "인접한"이라는 용어는 "직접적으로 인접한"(사이에 어떠한 중간의 재료들, 요소들 또는 공간도 배치되지 않음)과 "간접적으로 인접한"(사이에 중간의 재료들, 요소들 또는 공간이 배치됨)을 포함하고, "~에 실장되는"이라는 용어는 "~에 직접적으로 실장되는"(사이에 어떠한 중간의 재료들, 요소들 또는 공간도 배치되지 않음)과 "~에 간접적으로 실장되는"(사이에 중간의 재료들, 요소들 또는 공간이 배치됨)을 포함하고, 그리고 "전기적으로 커플링되는"이라는 용어는 "~에 전기적으로 직접적으로 커플링되는"(사이에 요소들을 전기적으로 함께 접속시키는 어떠한 중간의 재료들 또는 요소들도 없음)과 "~에 전기적으로 간접적으로 커플링되는"(사이에 요소들을 전기적으로 함께 접속시키는 중간의 재료들 또는 요소들이 있음)을 포함한다. 예를 들어, "기판 위에" 요소를 형성하는 것은 어떠한 중간의 재료들/요소들도 사이에 두지 않고 기판 상에 직접적으로 요소를 형성하는 것뿐만 아니라 하나 이상의 중간의 재료들/요소들을 사이에 두고 기판 상에 간접적으로 요소를 형성하는 것을 포함할 수 있다.

도면

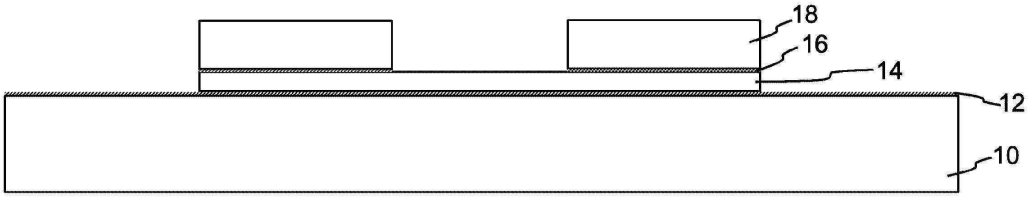
도면1a



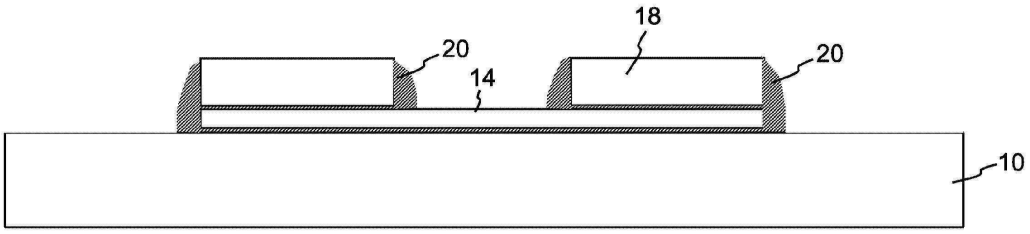
도면1b



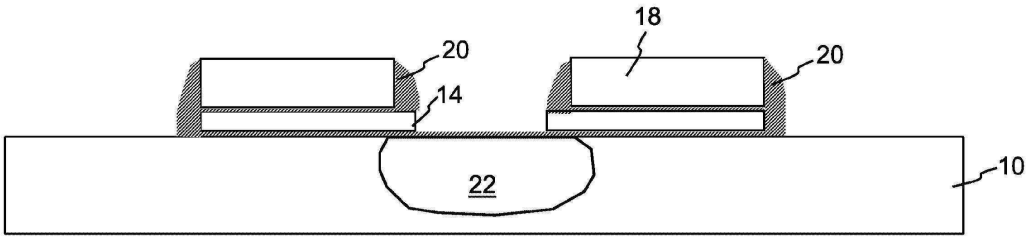
도면1c



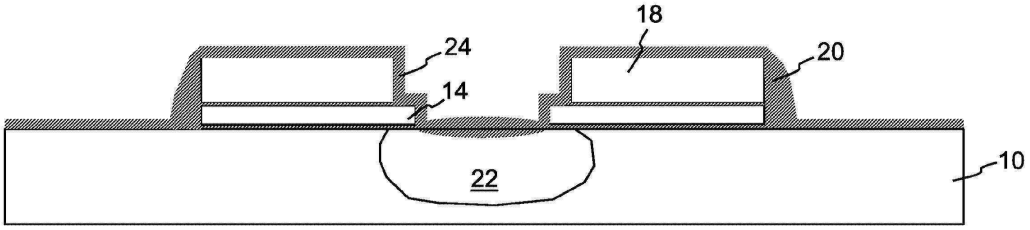
도면1d



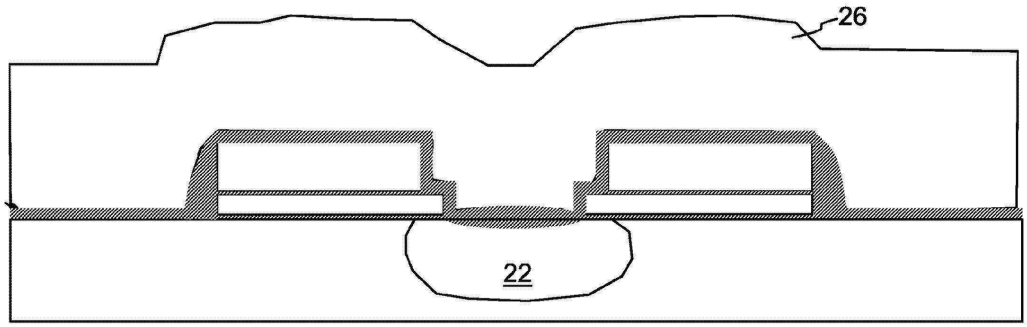
도면1e



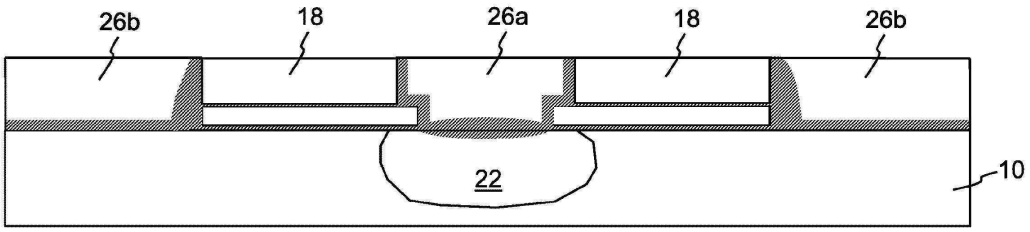
도면1f



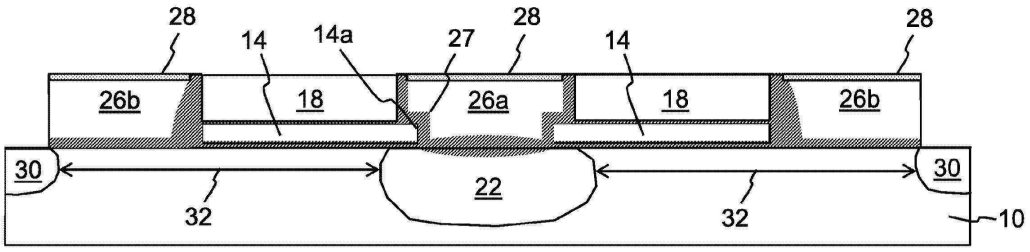
도면1g



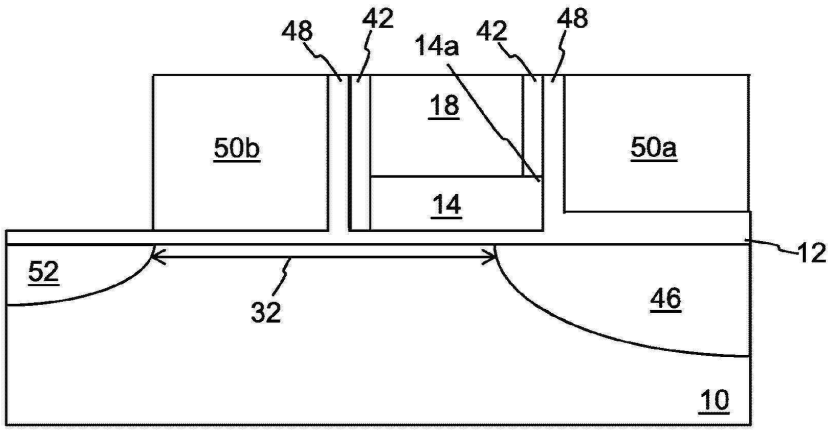
도면1h



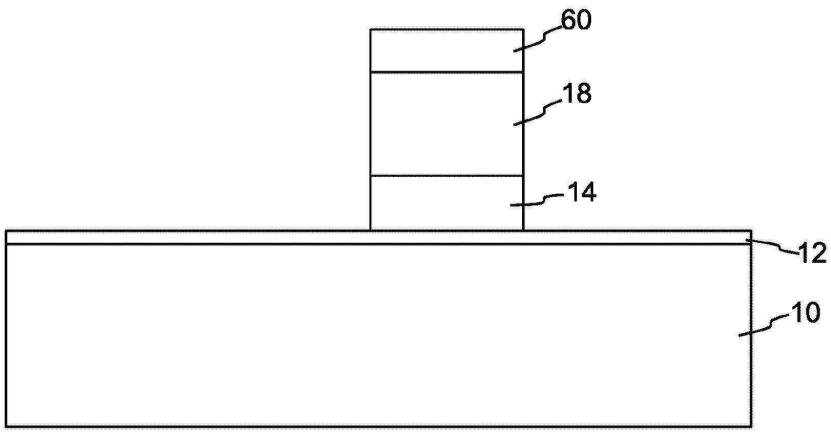
도면1i



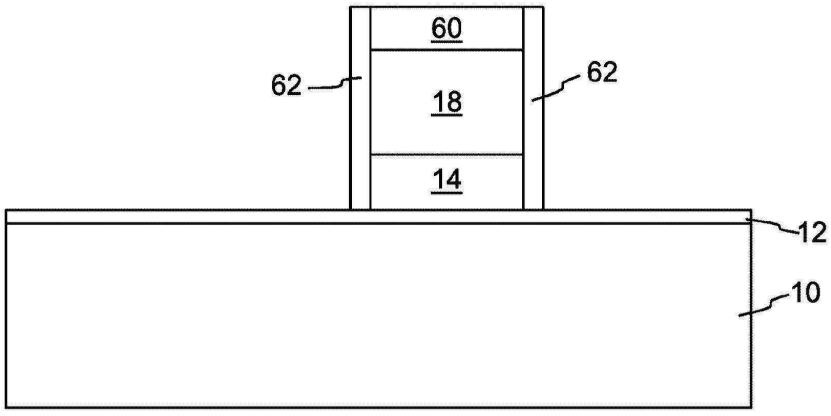
도면2



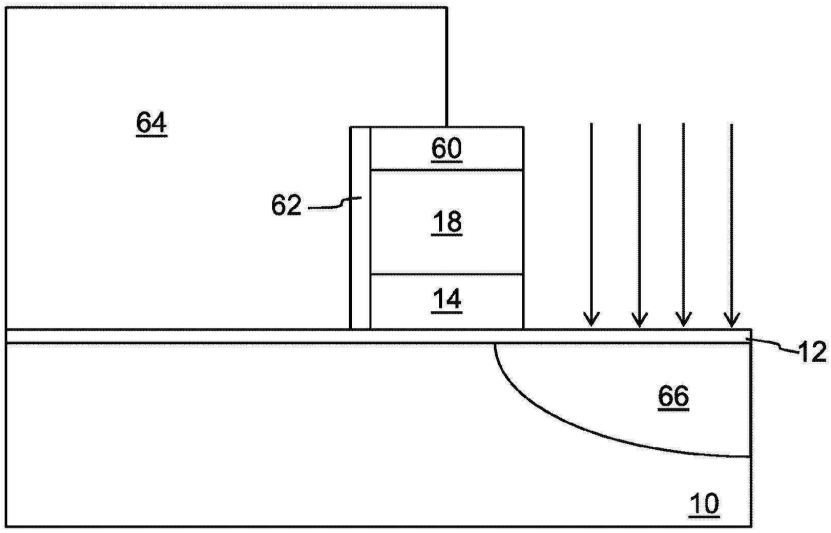
도면3a



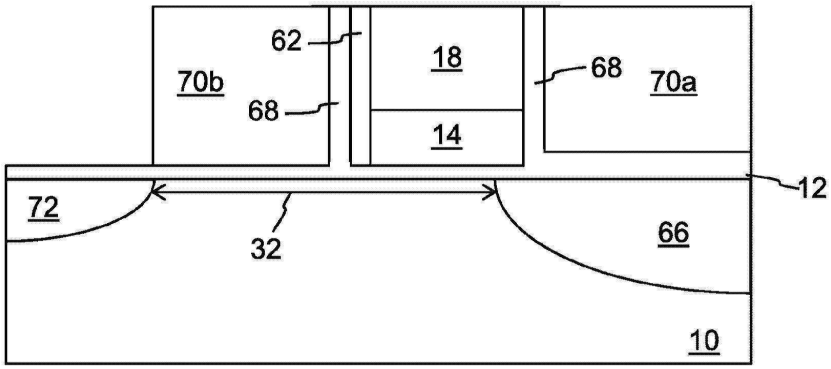
도면3b



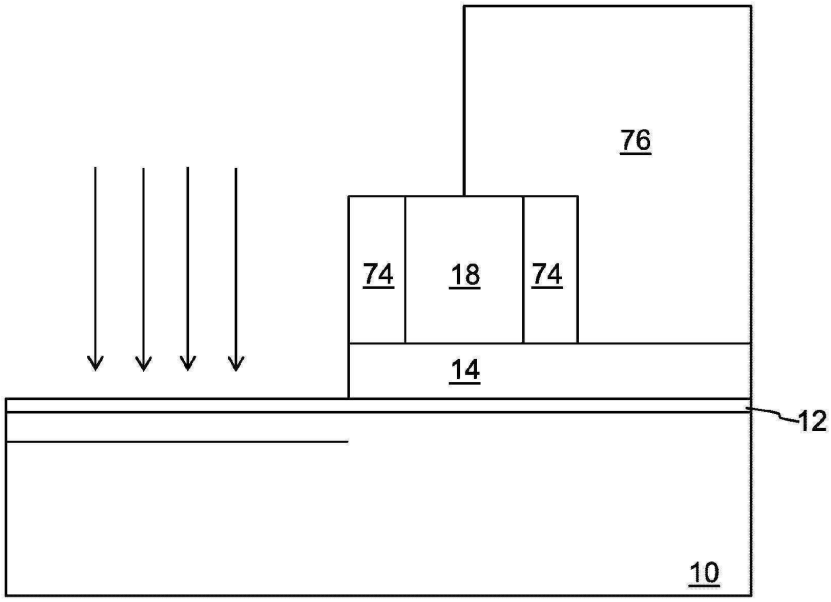
도면3c



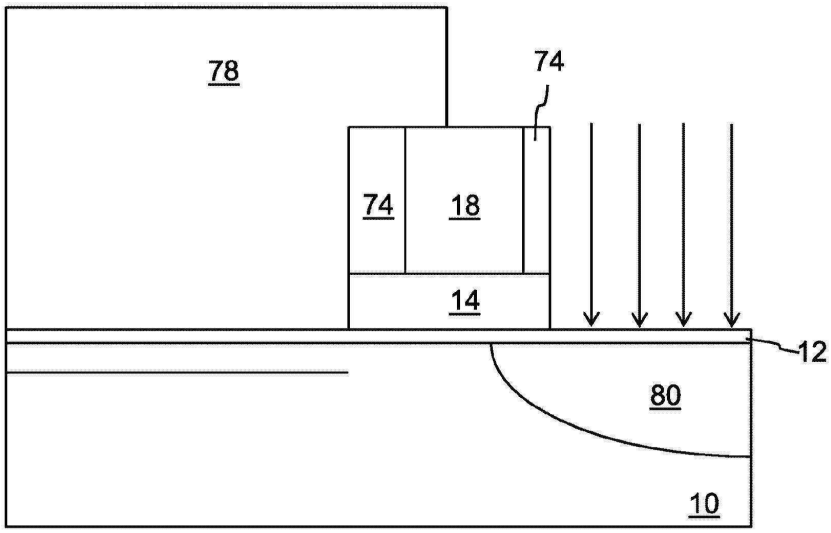
도면3d



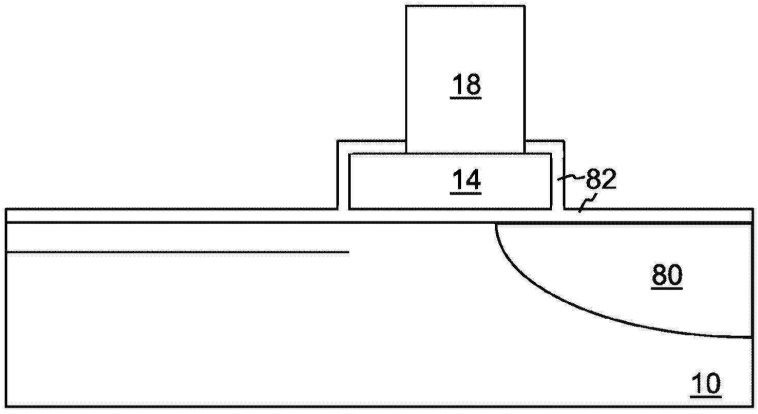
도면4a



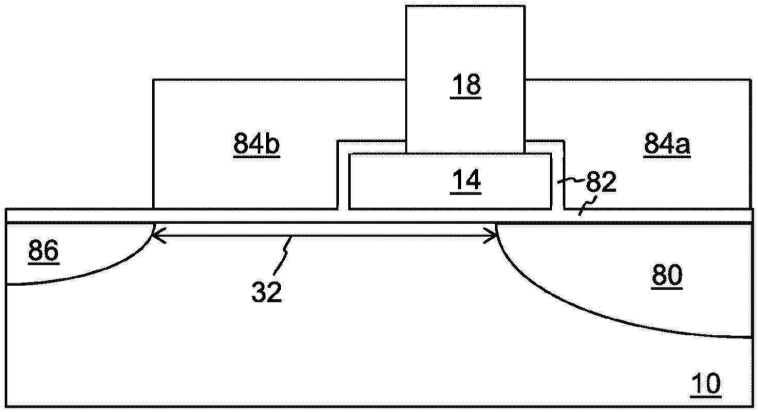
도면4b



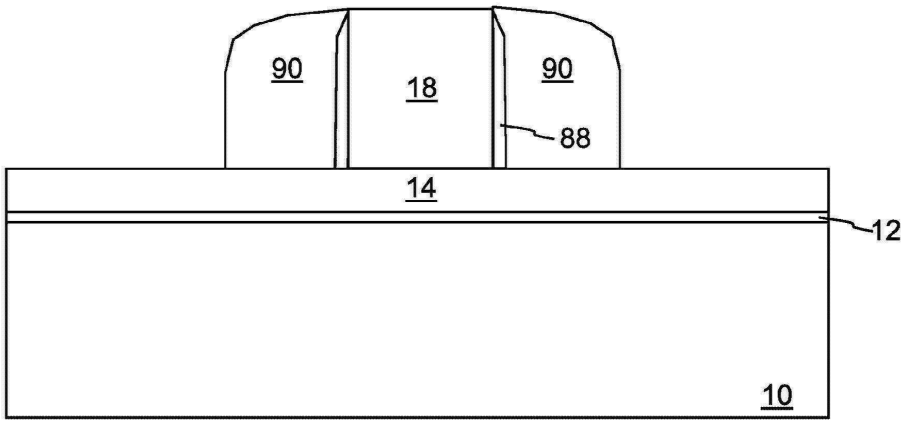
도면4c



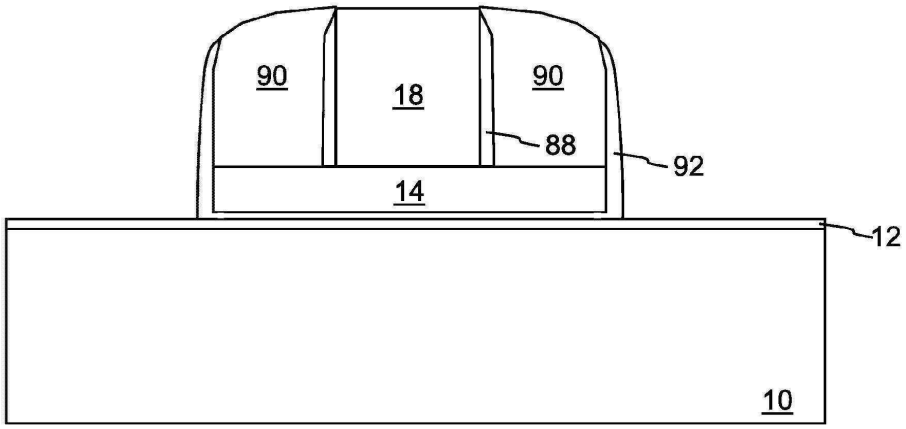
도면4d



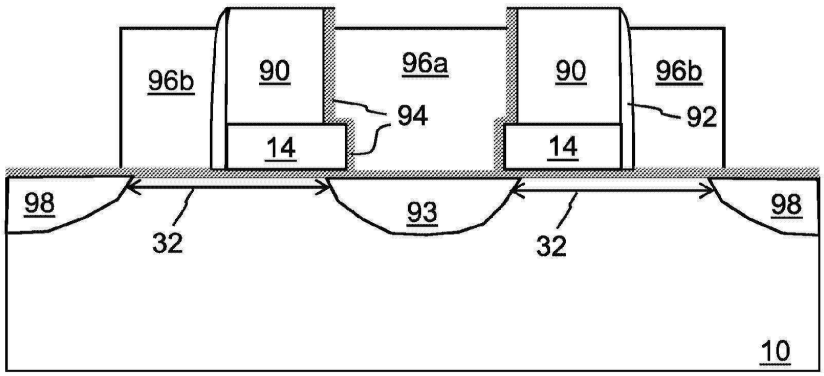
도면5a



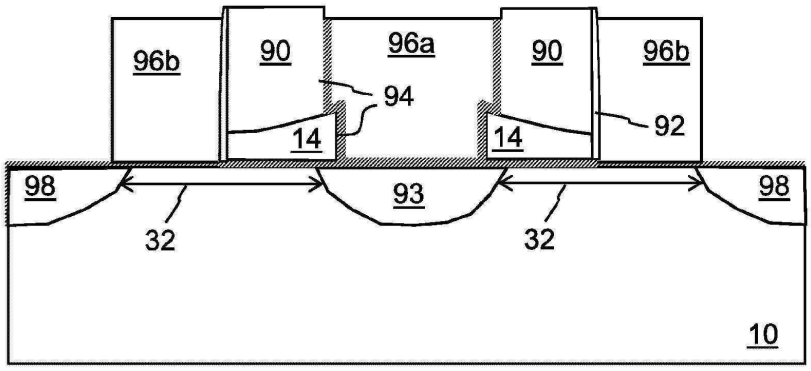
도면5b



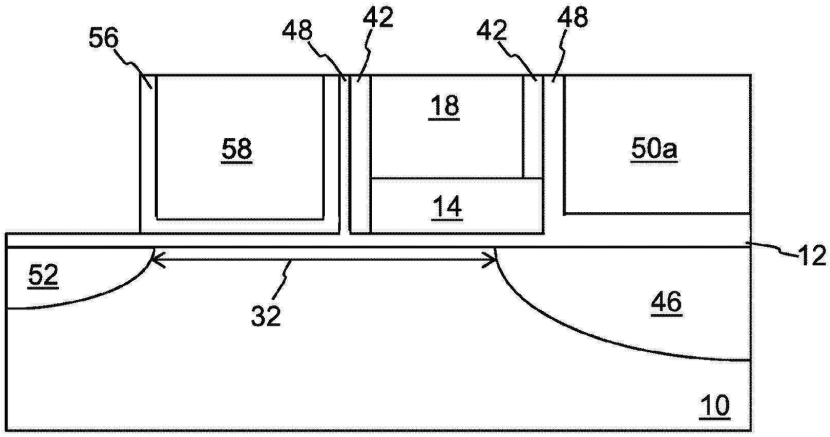
도면5c



도면6


96b
90
96a
90
96b
94
92
14
14
98
93
98
32
32
10

도면7


56
48
42
42
48
18
58
50a
14
12
52
32
46
10