

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3584893号
(P3584893)

(45) 発行日 平成16年11月4日(2004.11.4)

(24) 登録日 平成16年8月13日(2004.8.13)

(51) Int. Cl.⁷

F I

H03H	11/04	H03H	11/04	D
H03F	3/45	H03F	3/45	Z
H03F	3/68	H03F	3/68	Z
H03H	11/12	H03H	11/12	C

請求項の数 8 (全 15 頁)

<p>(21) 出願番号 特願2001-72572 (P2001-72572)</p> <p>(22) 出願日 平成13年3月14日(2001.3.14)</p> <p>(65) 公開番号 特開2002-280877 (P2002-280877A)</p> <p>(43) 公開日 平成14年9月27日(2002.9.27)</p> <p>審査請求日 平成15年1月16日(2003.1.16)</p>	<p>(73) 特許権者 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号</p> <p>(74) 代理人 100094053 弁理士 佐藤 隆久</p> <p>(72) 発明者 長谷川 恭正 東京都品川区北品川6丁目7番35号 ソニー株式会社内</p> <p>審査官 高木 進</p>
---	--

最終頁に続く

(54) 【発明の名称】 フィルタ回路

(57) 【特許請求の範囲】

【請求項1】

入力端子に入力信号が印加される第1のトランスコンダクタンスと、入力端子に出力信号が印加される第2のトランスコンダクタンスと、

上記第1および第2のトランスコンダクタンスの出力側に接続され、当該トランスコンダクタンスによって駆動される負荷容量素子とを含むトランスコンダクタ - C (Gm - C) 回路と、

上記第1および第2のトランスコンダクタの出力信号と制御電圧に応じて、当該第1および第2のトランスコンダクタの差動出力信号の平均電圧と上記制御電圧とが一致するようにバイアス電圧を生成して上記第1および第2のトランスコンダクタに供給する同相電位制御回路と、を有し、

上記第1および第2のトランスコンダクタの各々は、

上記バイアス電圧によって出力電流が制御される第1および第2の電流源と、

ゲートが正相入力端子に接続され、ソースが接地され、ドレインに上記第1の動作電流を供給する第1の電流源が接続されている第1のMOSトランジスタと、

ゲートが逆相入力端子に接続され、ソースが接地され、ドレインに第2の動作電流を供給する上記第2の電流源が接続されている第2のMOSトランジスタと、を含む、

フィルタ回路。

【請求項2】

上記同相電位制御回路は、上記第1と第2のMOSトランジスタからなる差動回路から出

10

20

力される差動出力信号と上記制御電圧とに応じて、上記制御信号を生成する
請求項 1 記載のフィルタ回路。

【請求項 3】

上記第 1 と第 2 のトランジスタのゲートに入力される同相電位が、所望のトランスコンダクタンス値になるように制御される

請求項 1 記載のフィルタ回路。

【請求項 4】

上記第 1 と第 2 のトランジスタのチャネル幅とチャネル長との比を、所望のトランスコンダクタンス値になるように設定される

請求項 1 記載のフィルタ回路。

【請求項 5】

入力端子に入力信号が印加される第 1 のトランスコンダクタンスと、入力端子に出力信号が印加され、出力端子が上記第 1 のトランスコンダクタンスの出力端子に接続された第 2 のトランスコンダクタンスと、入力端子が上記第 1 および第 2 のトランスコンダクタンスの出力端子に接続された第 3 のトランスコンダクタンスと、入力端子に出力信号が印加され、出力端子が上記第 3 のトランスコンダクタンスの出力端子に接続された第 4 のトランスコンダクタンスと、

上記第 1 および第 2 のトランスコンダクタンスの出力側に接続され、当該トランスコンダクタンスによって駆動される第 1 の負荷容量素子と、上記第 3 および第 4 のトランスコンダクタンスの出力側に接続され、当該トランスコンダクタンスによって駆動される第 2 の負荷容量素子とを含むトランスコンダクタ - C (G m - C) 回路と、

上記第 1 および第 2 のトランスコンダクタの出力信号と制御電圧に応じて、当該第 1 および第 2 のトランスコンダクタの差動出力信号の平均電圧と上記制御電圧とが一致するようにバイアス電圧を生成して上記第 1 および第 2 のトランスコンダクタに供給する第 1 の同相電位制御回路と、を有し、

上記第 3 および第 4 のトランスコンダクタの出力信号と制御電圧に応じて、当該第 3 および第 4 のトランスコンダクタの差動出力信号の平均電圧と上記制御電圧とが一致するようにバイアス電圧を生成して上記第 3 および第 4 のトランスコンダクタに供給する第 2 の同相電位制御回路と、を有し、

上記第 1、第 2、第 3、および第 4 のトランスコンダクタの各々は、

上記バイアス電圧によって出力電流が制御される第 1 および第 2 の電流源と、

ゲートが正相入力端子に接続され、ソースが接地され、ドレインに上記第 1 の動作電流を供給する第 1 の電流源が接続されている第 1 の MOS トランジスタと、

ゲートが逆相入力端子に接続され、ソースが接地され、ドレインに第 2 の動作電流を供給する上記第 2 の電流源が接続されている第 2 の MOS トランジスタと、を含む、

フィルタ回路。

【請求項 6】

上記第 1 および第 2 の同相電位制御回路は、上記第 1 と第 2 の MOS トランジスタからなる差動回路から出力される差動出力信号と上記制御電圧とに応じて、上記制御信号を生成する

請求項 5 記載のフィルタ回路。

【請求項 7】

上記第 1 と第 2 のトランジスタのゲートに入力される同相電位、並びに上記第 3 と第 4 のトランジスタのゲートに入力される同相電位が、所望のトランスコンダクタンス値になるように制御される

請求項 5 記載のフィルタ回路。

【請求項 8】

上記第 1 と第 2 のトランジスタのチャネル幅とチャネル長との比、並びに上記第 3 と第 4 のトランジスタのチャネル幅とチャネル長との比を、所望のトランスコンダクタンス値になるように設定される

10

20

30

40

50

請求項 5 記載のフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フィルタ回路、特に $G_m - C$ (トランスコンダクタ - C) フィルタと呼ばれるアクティブフィルタ回路及びこのようなフィルタ回路の構成要素となるトランスコンダクタに関するものである。

【0002】

【従来の技術】

アクティブフィルタ、例えば、 $G_m - C$ フィルタを構成要素とする集積化フィルタ回路に関し、フィルタの Q 値を保ったまま、カットオフ周波数 f_c を容易にしかもリニア (線形的) に調整できるものが望まれる。

10

【0003】

磁気あるいは光ディスクなどの情報記録媒体からの記録情報を再生する記録データ再生系 (リードチャネル) に、 $PRML$ (Partial Response - Maximum Likelihood) に代表される波形等化手法が一般的に取り入れられている。通常、記録媒体から光ピックアップまたは磁気ヘッドを介して再生される信号波形は隣接するビットデータ間の信号漏れ込み、即ち、 ISI (Inter-Symbol Interference) が大きく、当該サンプル時刻の信号レベルのみによるデータの再生が困難である。 PR (Partial Response) 等化手法は、隣接する 2 ~ 5 サンプル時刻に限り ISI を許容する一方、それ以外のサンプル時刻への信号の漏れをなくすことで、後段のビタビ (Viterbi) 復号アルゴリズムなどと合わせて高密度記録と再生を可能にする方法である。

20

【0004】

再生信号が本質的に微分系である磁気媒体を例にとると、等化法として $PR4$ (書き込み符号 1 を隣接する 3 サンプル列 1, 0, -1 に等化)、 $EPR4$ (同じく、1, 1, -1, -1 に等化)、 $EEPR4$ (同じく 1, 2, 0, -2, -1) に等化などの微分系列が用いられ、具体的には高域強調したアナログ - ローパスフィルタが等化器として用いられる。例えば、Geert A. De Veirman 及び Richard G. Yamasaki は、文献 "Design of a Bipolar 10-MHz Programmable Continuous-Time 0.05° Equiripple Linear Phase Filter", IEEE Journal of Solid-State Circuits, vol. 27, no. 3, March 1992 において、 $G_m - C$ バイクワッドフィルタ (Biquadratic Filter、双 2 次状態変数フィルタ、以下、便宜上単に 2 次状態変数フィルタという) を構成要素とする 7 極 2 零点 (7-Pole, 2-Zero) フィルタを提案している。このフィルタ構成はデジタルリードチャネルに要求される位相特性のリニアリティ、即ち、良好で一定な群遅延特性を有しており、アナログ等化フィルタとして一般的に用いられている。

30

【0005】

図 5 には、このフィルタの構成を示すブロック図である。

40

図示のように、このフィルタは、縦続接続されている 2 次状態変数フィルタ / イコライザ 101 (Biquad 1 / Equalizer)、102 (Biquad 2)、103 (Biquad 3) 及びローパスフィルタ (LPF) 104 によって構成されている。なお、2 次状態変数フィルタ / イコライザ 101 は、等化のためのイコライジング機能を有する。図 5 に示すフィルタ構成において、再生信号 S_{in} は、所望のゲインコントロール (利得制御) を施されたあと、まず、初段の 2 次状態変数フィルタ / イコライザ 101 に入力され、ここでは高周波ブースト量が調整され、さらに等化のためのイコライジングが行われる。そして、後続の 2 次状態変数フィルタ 102、103 及びローパスフィルタ 104 とあわせて群遅延が一定の位相特性が達成される。上述した Veirman 及

50

び Y a m a s a k i によると、各フィルタの構成要素の極周波数及びその Q 値は、図 6 に示す通りである。

【 0 0 0 6 】

図 6 における極周波数は、等化フィルタのカットオフ周波数で規格化されており、例えば、400Mbps のデータレートのリードチャンネルでは、等化フィルタのカットオフ周波数は 100MHz 程度となる。これにより等化フィルタのカットオフ周波数が 100MHz とすると、図 6 により、例えば、3 段目の 2 次状態変数フィルタ 103 の極周波数、即ち、カットオフ周波数は 231.74MHz となる。なお、図 6 の極周波数 / Q 値の組み合わせ、即ち極の配置は、フィルタ設計において良く知られている「0.05°等リップル誤差を持つ線形位相フィルタ」であるが、他の極周波数 / Q 値においても適用可能で、ここでの極配置は一例に過ぎない。

10

【 0 0 0 7 】

ディスク媒体の再生データレートは、内周、外周で約 2.5 倍の開きがあり、また、最適なカットオフ周波数に外部コントロール手段によって調整可能であることが要求される。このとき、フィルタの構成要素となる各 2 次状態変数フィルタ及びローパスフィルタでは、その Q 値が常に図 6 に示す値を保持し、また、各 2 次状態変数フィルタ及びローパスフィルタの極周波数の比は等化フィルタ全体のカットオフ周波数にかかわらず、常に図 6 に示される比であることが必要である。言い換えれば、再生データレートの変化に応じて等化フィルタ全体のカットオフ周波数を調整するに当たり、構成要素となる各 2 次状態変数フィルタ及びローパスフィルタはそれぞれの Q 値を一定に保ったまま、各極周波数が単調に増加または減少する必要がある。

20

【 0 0 0 8 】

次に、等化フィルタを Gm - C フィルタで構成する場合の各構成要素の回路例を示し、上記カットオフ周波数及び Q 値の設計法について述べる。

図 7 に 2 次状態変数フィルタ 102、103 の基本構成を示し、図 8 に 2 次状態変数フィルタ / イコライザ 101 に使われるフィードフォワードバルススリミング構成を示している。さらに、図 9 には、1 次のローパスフィルタ 104 の構成を示している。

【 0 0 0 9 】

図 7 は、差動構成を有する 2 次状態変数の一構成例を示している。図示のように、Gm - C で構成される積分器が 2 段カスケード接続され、さらに出力端子に別の Gm セルで構成された負帰還ループが接続されている。なお、図 7 において、負荷容量 C を差動容量として表現しているが、一般的には寄生容量分を考慮した容量設定のし易さや、同相帰還ループにおける位相補償容量の機能を併せ持たせるなどの理由から正相、逆相信号線と接地電位との間にそれぞれ 2 C の容量を接続する。

30

【 0 0 1 0 】

図 7 に示す構成を有し、等化フィルタとして用いられる 2 次状態変数フィルタ 102 及び 103 の伝達関数は、次式によって与えられる。

【 0 0 1 1 】

【 数 1 】

$$\frac{V_{lp}}{V_i} = \frac{g_{m1}g_{m3}/C^2}{s^2 + s(g_{m2}/C) + (g_{m1}g_{m3}/C^2)} \quad \text{----- (1)}$$

40

【 0 0 1 2 】

従って、極周波数 ω_0 及びフィルタの Q (Quality Factor) は、それぞれ次式によって表される。

【 0 0 1 3 】

【 数 2 】

$$\omega_0 = \frac{\sqrt{g_{m1}g_{m3}}}{C}, Q = \frac{\sqrt{g_{m1}g_{m3}}}{g_{m2}} \quad \text{----- (2)}$$

【 0 0 1 4 】

図 8 は、フィードフォワード増幅器 K により、高域ブースト量を調整可能なイコライザ部を含む等化フィルタの一構成例を示している。この等化フィルタの伝達関数は、次式によって与えられる。

10

【 0 0 1 5 】

【 数 3 】

$$\frac{V_{lp}}{V_i} = \frac{(g_{m1}g_{m3}/C^2) - Ks^2}{s^2 + s(g_{m2}/C) + (g_{m1}g_{m3}/C^2)} \quad \text{----- (3)}$$

【 0 0 1 6 】

同様に、このフィルタの極周波数及び Q は、それぞれ次式によって表される。

【 0 0 1 7 】

20

【 数 4 】

$$\omega_0 = \frac{\sqrt{g_{m1}g_{m3}}}{C}, Q = \frac{\sqrt{g_{m1}g_{m3}}}{g_{m2}} \quad \text{----- (4)}$$

【 0 0 1 8 】

ここで、高域ブーストを 2 次状態変数フィルタ/イコライザ 1 0 1 で実現する理由は、図 6 から分かるように、相対的に小さい K で高域ブーストができるためである。このため、高域ブーストの実現は、2 次状態変数フィルタ/イコライザ 1 0 1 に限られず、他の 2 次状態変数によって実現することも可能である。

30

【 0 0 1 9 】

図 9 は、ローパスフィルタ 1 0 4 の一構成例を示している。図示のように、このフィルタの伝達関数は、次式によって与えられる。

【 0 0 2 0 】

【 数 5 】

$$\frac{V_{lp}}{V_i} = \frac{(g_m/C)}{s + (g_m/C)} \quad \text{----- (5)}$$

40

【 0 0 2 1 】

その極周波数 ω_0 は、次のように求められる。

【 0 0 2 2 】

【 数 6 】

$$\omega_0 = \frac{g_m}{C} \quad \text{----- (6)}$$

【0023】

群遅延特性が一定で、カットオフ周波数可変の等化フィルタの実現は、図6に示される極周波数の比とQ値を満たすべく、各2次状態変数フィルタの極周波数 ω_0 及びQを設定することで行われる。これは通常各2次状態変数フィルタを構成する g_m を制御することで実現できる。式(1)~(5)によれば、容量Cを変化させることで、それぞれのフィルタのカットオフ周波数を可変とすることも原理的には可能だが、バリキャップなどの可変容量素子を標準CMOS製造プロセスに集積化することは、製造プロセスの工程数を増やし、コストの上昇を招くので、通常避けるべきである。ただし、この場合においても各Gm-C積分器に接続する容量値をC, 2C, 3CのようにC単位、あるいは0.5C単位で段階的に変えることによってフィルタのカットオフ周波数を比較的広範囲に粗く変化させ、さらに g_m 値を制御してフィルタのカットオフ周波数を連続的にしかも精度良く調整することは一般的に行われる。

10

【0024】

容量Cを固定とした場合、 ω_0 及びQの二つの値を決定するのに g_{m1} , g_{m2} , g_{m3} のパラメータ(自由度)を調整することができる。通常、 $g_{m2} = g_{m3}$ 、または $g_{m1} = g_{m3}$ とするのが一般的である。 $g_{m2} = g_{m3}$ とすることによって式(2)あるいは式(4)は、次の式に書き改められる。

20

【0025】

【数7】

$$\omega_0 = \frac{\sqrt{g_{m1}g_{m2}}}{C}, Q = \sqrt{\frac{g_{m1}}{g_{m2}}} \quad \text{----- (7)}$$

30

【0026】

一方、 $g_{m1} = g_{m3}$ とすると、式(2)あるいは式(4)は、次のように書き改められる。

【0027】

【数8】

$$\omega_0 = \frac{g_{m1}}{C}, Q = \frac{g_{m1}}{g_{m2}} \quad \text{----- (8)}$$

40

【0028】

上記いずれの場合でも、2次状態変数フィルタのを構成する g_m がすべてリニアに変化することによって、Qを一定に保ちつつ、 ω_0 をやはりリニアに変化させることができる。例えば、一例として、 g_{m1} と g_{m2} をともに2倍にすれば、Qを不変に保ちつつ、カットオフ周波数 ω_0 を2倍に変化させることができる。

【0029】

以上の説明から分かるように、Gm-C構成の2次状態変数フィルタ及び一次ローパスフィルタを設計する場合、回路レベルのGm-C積分器として、その g_m の値が外的手段によって制御でき、しかもリニアに制御できることが好都合となる。

50

【0030】

従来よりこのような高周波フィルタ用途には、シリコンバイポーラ素子が利用されてきた。バイポーラ素子においては、周知のように、その g_m (以下、MOSトランジスタの g_m と区別するために、 $g_{m, bip}$ と表記する) は次の式によって示される。

【0031】

【数9】

$$g_{m,bip} = \frac{\partial}{\partial V_{BE}} \left(I_S \exp \frac{V_{BE}}{V_T} \right) = \frac{I_S}{V_T} \exp \frac{V_{BE}}{V_T} = \frac{I_C}{V_T} \quad \text{----- (9)}$$

10

【0032】

式(9)によれば、バイポーラトランジスタの $g_{m, bip}$ が、そのコレクタ電流 I_C に比例することを示し、比較的簡単に $g_{m, bip}$ をリニアに変化させることが可能である。

【0033】

一方で、PRMLリードチャネル機能は前述のビタビ復号処理、あるいはエラー訂正アルゴリズムであるリード・ソロモンなどに代表される次段論理処理と不可分であり、これらの純デジタル処理ブロックと親和性の高いCMOS製造プロセスでアナログPR等化処理を行いたいという要望は強い。

20

【0034】

MOS素子の g_m (以下、明確するために、 $g_{m, MOS}$ と表記する) は、周知のように、次式によって示される。

【0035】

【数10】

$$g_{m,MOS} = \frac{\partial}{\partial V_{GS}} (K(V_{GS} - V_{th})^2) = 2\sqrt{KI_D} = 2KV_{eff} \quad \text{----- (10)}$$

30

【0036】

ここで、 V_{th} はMOSトランジスタのしきい値電圧(閾値電圧)であり、 $K = \mu C_o \times W/2L$ 、且つ $V_{eff} = V_{GS} - V_{th}$ である。

【0037】

式(10)と式(9)とを比較すると、バイポーラ素子の g_m はコレクタ電流 I_C に対しリニアである一方、CMOS素子の g_m はドレイン電流 I_D のルートに対してリニアであるため、CMOS素子の場合、何らかの外的手段によってドレイン電流 I_D を変化させることによってその g_m を制御する場合は、通常、各トランスコンダクタ毎に上記ルート特性を補償するための変換機構を設け、変化範囲内における最低の $g_{m, min}$ から、最大 $g_{m, max}$ に至るまでリニアに変化した方が制御性の点において望ましい。

40

【0038】

【発明が解決しようとする課題】

ところで、上述した従来のCMOS素子で構成された等化フィルタにおいて、例えば、PR等化フィルタのカットオフ周波数調整は5~6ビット幅程度の調整手段によって行われる。この場合、上記ルート特性を補正する変換機構は、例えば、ルックアップテーブルによるデジタル領域の処理によっても実現でき、また、別にアナログ領域でルート特性を補償することもできる。

しかし、いずれの場合も、付加回路による回路規模の増大、消費電力の増大を招き、また

50

これによるフィルタ特性そのものの劣化を引き起こしている。

【0039】

また、別の問題として、ドレイン電流 I_D で CMOS 素子の g_m をコントロールする場合、一般に何らかのリニアライズ手段が必要であり、その結果、CMOS 素子本来のトランスコンダクタンスが回路 g_m として得られないという不利が生じるほか、回路規模の増加及びそれによる消費電力の増加が避けられない。

例えば、図10に示すMOSトランジスタからなる差動回路では、バイアス電流 I_B で MOSトランジスタの g_m を制御できる、その関係は次式によって表される。

【0040】

【数11】

$$I1 - I2 = K(V1 - V2) \sqrt{\frac{2I_B}{K} - (V1 - V2)^2} \quad \text{----- (11)}$$

【0041】

式(11)に示すように、非線形項が含まれる。このため、様々なリニアライズ手法によって線形化する必要があり、この結果得られる g_m は、式(10)に示されるMOS素子の本来の $g_{m, MOS}$ の値より大幅に小さいものになってしまう。

【0042】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路規模の増加を抑制でき、回路設計が容易に行え、定電源電圧動作による消費電力の低減を実現でき、オフセット周波数を安定に制御できるフィルタ回路を提供することにある。

【0043】

【課題を解決するための手段】

上記目的を達成するため、本発明のフィルタ回路は、入力端子に入力信号が印加される第1のトランスコンダクタンスと、入力端子に出力信号が印加される第2のトランスコンダクタンスと、上記第1および第2のトランスコンダクタンスの出力側に接続され、当該トランスコンダクタンスによって駆動される負荷容量素子とを含むトランスコンダクタ - C ($G_m - C$) 回路と、上記第1および第2のトランスコンダクタの出力信号と制御電圧に応じて、当該第1および第2のトランスコンダクタの差動出力信号の平均電圧と上記制御電圧とが一致するようにバイアス電圧を生成して上記第1および第2のトランスコンダクタに供給する同相電位制御回路と、を有し、上記第1および第2のトランスコンダクタの各々は、上記バイアス電圧によって出力電流が制御される第1および第2の電流源と、ゲートが正相入力端子に接続され、ソースが接地され、ドレインに上記第1の動作電流を供給する第1の電流源が接続されている第1のMOSトランジスタと、ゲートが逆相入力端子に接続され、ソースが接地され、ドレインに第2の動作電流を供給する上記第2の電流源が接続されている第2のMOSトランジスタと、を含む。

【0044】

また、本発明のフィルタ回路は、入力端子に入力信号が印加される第1のトランスコンダクタンスと、入力端子に出力信号が印加され、出力端子が上記第1のトランスコンダクタンスの出力端子に接続された第2のトランスコンダクタンスと、入力端子が上記第1および第2のトランスコンダクタンスの出力端子に接続された第3のトランスコンダクタンスと、入力端子に出力信号が印加され、出力端子が上記第3のトランスコンダクタンスの出力端子に接続された第4のトランスコンダクタンスと、上記第1および第2のトランスコンダクタンスの出力側に接続され、当該トランスコンダクタンスによって駆動される第1の負荷容量素子と、上記第3および第4のトランスコンダクタンスの出力側に接続され、当該トランスコンダクタンスによって駆動される第2の負荷容量素子とを含むトランスコンダクタ - C ($G_m - C$) 回路と、上記第1および第2のトランスコンダクタの出力信号

10

20

30

40

50

と制御電圧に応じて、当該第1および第2のトランスコンダクタの差動出力信号の平均電圧と上記制御電圧とが一致するようにバイアス電圧を生成して上記第1および第2のトランスコンダクタに供給する第1の同相電位制御回路と、を有し、上記第3および第4のトランスコンダクタの出力信号と制御電圧に応じて、当該第3および第4のトランスコンダクタの差動出力信号の平均電圧と上記制御電圧とが一致するようにバイアス電圧を生成して上記第3および第4のトランスコンダクタに供給する第2の同相電位制御回路と、を有し、上記第1、第2、第3、および第4のトランスコンダクタの各々は、上記バイアス電圧によって出力電流が制御される第1および第2の電流源と、ゲートが正相入力端子に接続され、ソースが接地され、ドレインに上記第1の動作電流を供給する第1の電流源が接続されている第1のMOSトランジスタと、ゲートが逆相入力端子に接続され、ソースが接地され、ドレインに第2の動作電流を供給する上記第2の電流源が接続されている第2のMOSトランジスタと、を含む。

10

【0045】

また、本発明では、好適には、上記同相電位制御回路は、上記第1と第2のMOSトランジスタからなる差動回路から出力される差動出力信号と所定の基準電位とに応じて、上記制御信号を生成する。

【0046】

また、本発明では、好適には、上記同相電位制御回路は、上記第1と第2のMOSトランジスタからなる差動回路から出力される差動出力信号の平均電位が上記基準電位と一致するように上記制御信号を生成する。

20

【0047】

また、本発明では、好適には、上記第1と第2のトランジスタのゲートに入力される同相電位が、所望のトランスコンダクタンス値になるように制御される。

【0048】

さらに、本発明では、好適には、上記第1と第2のトランジスタのチャンネル幅とチャンネル長との比を、所望のトランスコンダクタンス値になるように設定される。

【0049】

【発明の実施の形態】

図1は本発明に係るフィルタ回路の一実施形態を示す回路図である。

図示のように、本実施形態のフィルタ回路は、トランスコンダクタンスセル（以下、便利のため g_m セルと称する）、キャパシタ、及びバイアス回路によって構成されている。なお、このフィルタ回路は、例えば、等化フィルタとして用いられる2次状態変数フィルタ、あるいはローパスフィルタである。

30

【0050】

図1は、 g_m セルによって構成されている2次状態変数フィルタの一実施形態を示している。図示のように、このフィルタ回路は、 g_m セル10（第2のトランスコンダクタンス）、20（第1のトランスコンダクタンス）、30（第4のトランスコンダクタンス）、40（第3のトランスコンダクタンス）及びバイアス回路50（第1の同相電位制御回路）、60（第2の同相電位制御回路）によって構成されている。

【0051】

g_m セル10、20、30、40は、CMOSトランジスタによって構成されたトランスコンダクタンスセルであり、それぞれ予め設計された g_m 及びQを持つように形成されている。バイアス回路50と60は、それぞれ g_m セル10、20及び30、40に共通の同相フィードバック電圧を供給する同相フィードバック回路（CMFB）で構成されている。

40

キャパシタC1は、 g_m セル10と20によって駆動され、キャパシタC2は、 g_m セル30と40によって駆動される。

【0052】

図示のように、 g_m セル20と g_m セル40は、直列接続されている。 g_m セル20の入力側に、入力信号 V_i が印加される。 g_m セル20の出力端子にキャパシタC

50

1が接続され、 g_m セル40の出力端子にキャパシタC2が接続されている。また、 g_m セル10は、 g_m セル20と並列に接続され、その入力端子に g_m セル40の出力信号 V_{1p} が印加されている。 g_m セル30は、 g_m セル40と並列に接続され、その入力側に、 g_m セル40の出力信号 V_{1p} が印加される。即ち、図1に示すフィルタ回路において、キャパシタC1は、 g_m セル10と20の負荷容量であり、キャパシタC2は、 g_m セル30と40の負荷容量である。

【0053】

なお、図1に示す構成では、 g_m セルの負荷容量を形成するキャパシタC1とC2は、それぞれ差動容量として表現しているが、一般的に寄生容量分を考慮した場合、容量値の設定のし易さまたは同相帰還ループにおける位相補償容量の機能を併せ持たせるなどの理由から、例えば、負荷容量をCとすると、この負荷容量をそれぞれ g_m セルの正相、逆相出力端子と接地電位との間に接続されている2Cのキャパシタで構成することが望ましい。

10

【0054】

バイアス回路50は、 g_m セル20および g_m セル10の出力 V_o と外部から入力される同相電位設定端子電圧(制御電圧 V_c)に応じてバイアス電圧 $V_{b s 1}$ を生成し、 g_m セル10と20にそれぞれ供給する。また、バイアス回路60は、 g_m セル40および g_m セル30の出力 V_{1p} と外部から入力される制御電圧 V_c に応じてバイアス電圧 $V_{b s 2}$ を生成し、 g_m セル30と40にそれぞれ供給する。

なお、バイアス回路50と60は、 g_m セルから出力される差動出力信号の同相成分、即ち、差動出力信号の平均電圧と制御電圧 V_c とが一致するように、バイアス電圧 $V_{b s 1}$ バイアス電圧 $V_{b s 2}$ を生成する。

20

【0055】

上述した構成を有するフィルタ回路において、CMOS素子の g_m が $V_{eff} = V_{G_s} - V_{t_h}$ に対してリニアに変化することを利用する、即ち、それぞれの g_m セルの g_m 値を決定するMOS素子の動作点における V_{G_s} を共通電位とし、フィルタを構成する各2次状態変数フィルタまたはローパスフィルタが図6に示す極周波数及びQ値を満たすように、その g_m 値を決定するMOS素子のK、具体的には、チャネル幅Wを各素子毎に予め設定し、レイアウトしておき、フィルタのカットオフ周波数調整は共通電位である V_{G_s} を変化させることによって行われる。

30

【0056】

図1のフィルタ回路を構成する g_m セルは、例えば、図2に示すMOSトランジスタからなる差動回路によって構成することができる。

図2に示すように、 g_m セルは、MOSトランジスタM1とM2及びこれらのトランジスタにそれぞれ動作電流を供給する電流源IS1とIS2によって構成されている。トランジスタM1とM2のゲートが、例えば、それぞれ g_m セルの正相入力端子と逆相入力端子に接続され、ソースがともに接地されている。トランジスタM1のドレインに電流源IS1が接続され、トランジスタM2のドレインに電流源IS2が接続されている。電流源IS1とIS2は、バイアス回路50または60から供給されるバイアス電圧 $V_{b s}$ (例えば、図1に示す $V_{b s 1}$ または $V_{b s 2}$)によって出力電流が制御される。図2に示すように、これらの電流源によって、トランジスタM1とM2にそれぞれ同相電流成分の変化分 i_f が供給される。

40

【0057】

図示の g_m セルにおいて、電流 i_1 及び i_2 は、トランジスタM1とM2からなる差動対によって出力される差動電流である。このため、 g_m セルの出力差動電流 $i_o d$ は、次式によって与えられる。

【0058】

【数12】

$$i_{od} = i_1' \left(= -i_2' \right) = \frac{i_1' - i_2'}{2} = \frac{i_1 - i_2}{2} = K(V_C - V_{th})(v_1 - v_2)$$

----- (12)

【0059】

式(12)から分かるように、 g_m セルの出力差動電流 i_{od} は、同相入力電圧 $v_1 - v_2$ に対してリニアに変化する。

10

【0060】

このように、図2に示す g_m セルを用いて、2次状態変数フィルタ、またはローパスフィルタを構成し、さらに、これらのフィルタによって図1に示す本実施形態のフィルタ回路(等化フィルタ)を構成することがによって、等化フィルタのカットオフ周波数は各 g_m セルに共通に接続されているバイアス回路で供給されるバイアス電圧によって制御される。さらに、各 g_m セルの g_m の比は不変に保たれることによって各2次状態変数フィルタ及びローパスフィルタのQ、及び群遅延特性などを保つため、各2次状態変数フィルタの極周波数の比が一定に保たれる。各 g_m セルの g_m は外部から入力される制御電圧 V_C に対してリニアに変化するため、関数変換機構を必要としない。

さらに、図2に示すように、 g_m セルとしてソース接地MOSトランジスタからなる差動対を用いることで、入力振幅に対して原理的にリニアな g_m を得ることが可能である。

20

【0061】

以下、上述した g_m セルによって構成された本実施形態のフィルタ回路の動作について説明する。

容量負荷C1を駆動する g_m セル10と20は、共通のバイアス回路50によって、バイアス電圧 V_{bs1} が供給される。これによって、これらの g_m セルにおいてそれぞれの同相出力電位がバイアス電圧 V_{bs1} によって設定された所望の値になるようにフィードバック制御が行われる。

【0062】

また、同様に、容量負荷C2を駆動する g_m セル30と40は、共通のバイアス回路60によって、バイアス電圧 V_{bs2} が供給される。これによって、これらの g_m セルにおいてそれぞれの同相出力電位がバイアス電圧 V_{bs2} によって設定された所望の値になるようにフィードバック制御が行われる。

30

【0063】

さらに、図1に示すように、各 g_m セルの出力端子がそれぞれ他の g_m セル、あるいは場合によって自分自身の入力端子に接続されているため、その結果、すべての g_m セルの入出力端子が共通の同相電位で動作し、この電位は、各 g_m セルの同相電位設定端子に与えられたバイアス電圧 V_{bs1} または V_{bs2} で共通に設定される。

【0064】

ここで、MOS素子、例えば、MOSトランジスタから構成された差動対のトランスコンダクタンス $g_{m, MOS}$ は、前述した式(10)によって与えられる。この式によれば、MOS素子の g_m は、電圧 V_{eff} 即ち、MOSトランジスタのゲート-ソース間電圧 V_{GS} とそのしきい値電圧 V_{th} との差 $V_{GS} - V_{th}$ に対して、リニアに変化することが分かる。本実施形態では、この特徴を利用して、バイアス回路50と60によって共通設定されたバイアス電圧を用いてそれぞれの g_m セルのMOSトランジスタのゲート-ソース間に印加することによって、ソース接地MOSトランジスタを g_m セルの入力トランジスタとすることで同相電位、即ちMOSトランジスタのゲート-ソース間電圧 V_{GS} に対してリニアな g_m を獲得する。

40

【0065】

50

ここでは、図2に示す g_m セルによって構成された図5の2次状態変数フィルタ103について説明する。なお、図5における他の構成要素、例えば、2次状態変数フィルタ/イコライザ101、2次状態変数フィルタ102及びローパスフィルタ104についても同様の説明が当てはまる。

【0066】

図6に示すように、2次状態変数フィルタ103では正規化極周波数が 2.3174 Hz 、 Q 値が 2.0229 で、 $Q > 1$ である。このため、 $g_{m3} = g_{m2}$ よりも $g_{m3} = g_{m1}$ とした方が g_{m1} を提供する g_m セルのカットオフ周波数を小さくでき、消費電力の観点から一般的に有利である。ここで、 $g_{m3} = g_{m1}$ として説明する。

【0067】

このとき、 $\omega_0 = g_{m1} / C$ 、 $Q = g_{m1} / g_{m2}$ であるから、例えば、等化フィルタ全体のカットオフ周波数を 100 MHz 、 $C = 1\text{ pF}$ とすると、 $g_{m1} = 1.4553\text{ mS}$ 、 $g_{m2} = 719.4\text{ }\mu\text{S}$ となる。式(10)により、 $g_{m1} = 2K_1 V_{eff}$ 、また $g_{m2} = 2K_2 V_{eff}$ として、 $K_1 / K_2 = 1.4553 / 0.7194$ となるように、MOS素子のサイズを設定すれば、各 g_m セル共通の制御電圧 V_{eff} を変化させることによって、各 g_m 値の比、即ち Q 値を変えることなく、フィルタ回路のカットオフ周波数 f_c を調整することができる。

【0068】

なお、各等化フィルタの極周波数を常に図6に示す比を保つ必要があるため、結局すべての g_m セルの g_m 値は常に互いに固定の比を保つ必要がある。このため、本実施形態のフィルタ回路において、各 g_m セルの g_m 値をきめるMOS素子の K 、実際にはMOSトランジスタのチャネル幅 W を上記固定の比に設定する。このようにすることで、等化フィルタ全体のカットオフ周波数の制御は g_m セルの共通の動作点電圧 V_{GS} または同相電位を変化させるだけで済み、取り立てて関数変換をする必要はない。

【0069】

また、 g_m 値を決める各MOS素子の K を予め決めるに当たり、チャネル長 L をパラメータにすることも可能であるが、一般的に大きな g_m 値を獲得するために短チャネルになる傾向で、この場合短チャネル効果などによりチャネル長 L と g_m 値が比例関係からずれる傾向がある。このため、各MOS素子の K はチャネル幅 W で決めることがもっとも望ましい。ただし、本発明では、これに限定されるものではなく、MOS素子のチャネル長 L またはチャネル幅 W の何れかによって g_m セルの K を決めることができ、それによって g_m 値を決めることができる。

【0070】

図3は、本実施形態のフィルタ回路の利得特性を示すグラフであり、 v_c 端子電圧を変化させるときのフィルタの利得特性の変化を示す図である。

【0071】

また、図4は、本実施形態のフィルタ回路の群遅延特性を示すグラフであり、 v_c 端子電圧を変化させるときのフィルタの群遅延特性の変化を示す図である。

【0072】

【発明の効果】

以上説明したように、本発明のフィルタ回路によれば、フィルタを構成する各トランスコンダクタは共通の制御電圧によってそれぞれのトランスコンダクタンス(g_m)が制御される。このため、フィルタ回路のカットオフ周波数の調整は容易に実現でき、ルックアップテーブルによる関数変換機構あるいは関数変換回路などは一切不要である。これにより回路規模の縮小、及びそれによる消費電力の低減と付加的な外乱の排除を両立できる。また、本発明において、トランスコンダクタからなる各2次状態変数フィルタの Q 値を不変に保ちつつ、さらにフィルタの群遅延特性を達成するために重要となる各 $G_m - C$ 積分器間の g_m 値の比は、経年変化などの影響を受けないMOS素子の形状パラメータ、即ちチャネル幅 W とチャネル長 L の比で決定されるので、安定なカットオフ周波数の調整を実現できる。

10

20

30

40

50

さらに、本発明のトランスコンダクタによれば、出力同相電位は外部で設定された同相電位制御電圧と同電位となり、出力同相電位が次段のあるいはこの出力端子と接続された他のトランスコンダクタの入力同相電位となり、その結果フィルタ全体を構成するすべてのトランスコンダクタが同一の同相電位で動作する。これによって、フィルタ回路全体の動作点の設計を容易にでき、入出力におけるダイナミックレンジの拡大、さらに低消費電力化を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るフィルタ回路の一実施形態を示す回路図である。

【図2】本発明のフィルタ回路を構成するコンダクタンスセルの構成を示す回路図である。

【図3】本発明のフィルタ回路の利得特性を示すグラフである。

【図4】本発明のフィルタ回路の群遅延特性を示すグラフである。

【図5】等化フィルタの一構成例を示すブロック図である。

【図6】フィルタの構成要素の極周波数及びQ値を示す図である。

【図7】等化フィルタを構成する2次状態変数フィルタの構成を示す回路図である。

【図8】等化フィルタを構成する2次状態変数フィルタ/イコライザの構成を示す回路図である。

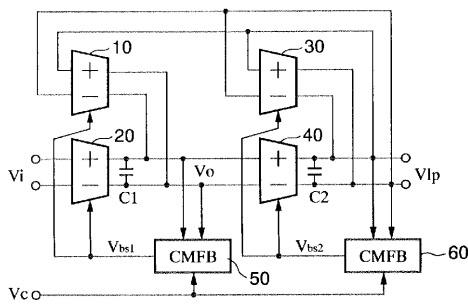
【図9】等化フィルタを構成するローパスフィルタの構成を示す回路図である。

【図10】従来のトランスコンダクタンスセルの一構成例を示す回路図である。

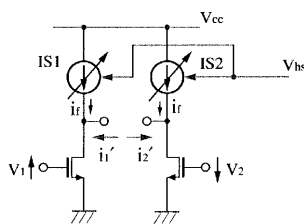
【符号の説明】

10, 20, 30, 40 ... コンダクタンスセル (g_m セル)、50, 60 ... バイアス回路、101 ... 2次状態変数フィルタ/イコライザ、102, 103 ... 2次状態変数フィルタ、104 ... ローパスフィルタ、 V_{CC} ... 電源電圧、GND ... 接地電位。

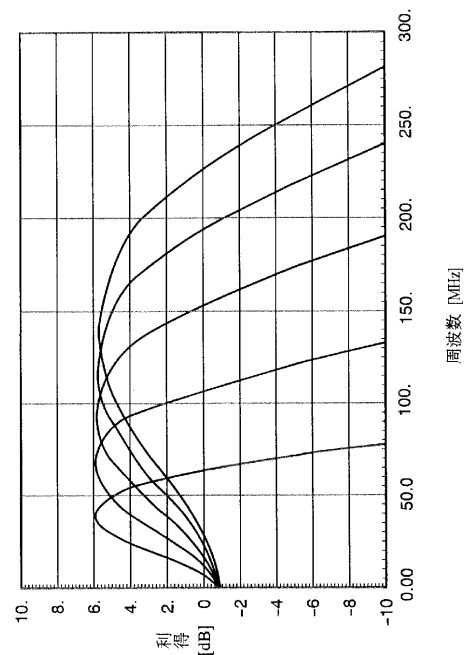
【図1】



【図2】



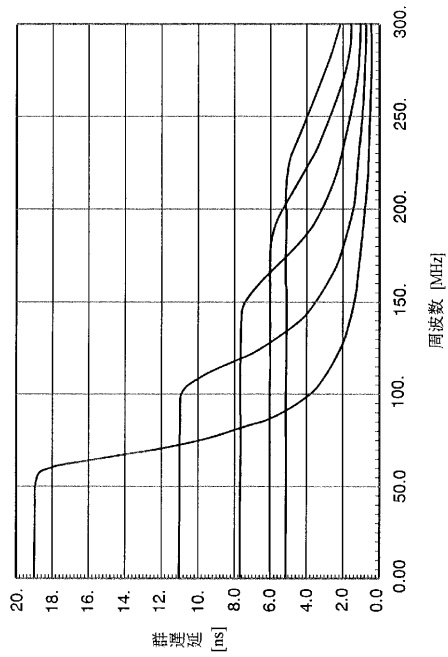
【図3】



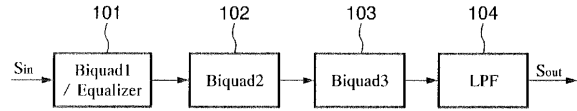
10

20

【 図 4 】



【 図 5 】

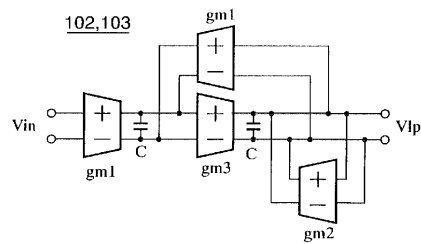


【 図 6 】

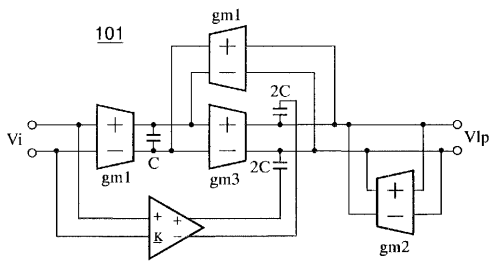
フィルタ構成要素のPole周波数及びQ値

	Pole周波数	Q値
Biquad1/Equalizer	1.14762	0.68110
Biquad2	1.71796	1.11409
Biquad3	2.3174	2.02290
Low-pass	0.86133	

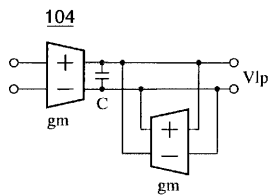
【 図 7 】



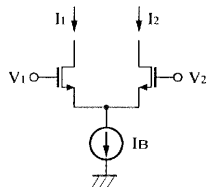
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 特開平10 - 276053 (JP, A)
特開平10 - 322143 (JP, A)
特開平10 - 126214 (JP, A)
特開2000 - 068761 (JP, A)
特開平11 - 17466 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03H 11/04
H03F 3/45
H03F 3/68
H03H 11/12