



[12] 发明专利说明书

专利号 ZL 03101951. X

[45] 授权公告日 2005 年 11 月 23 日

[11] 授权公告号 CN 1228827C

[22] 申请日 2003.1.30 [21] 申请号 03101951. X

[71] 专利权人 矽品精密工业股份有限公司

地址 台湾省台中县

[72] 发明人 普翰屏

审查员 郭 强

[74] 专利代理机构 北京三幸商标专利事务所

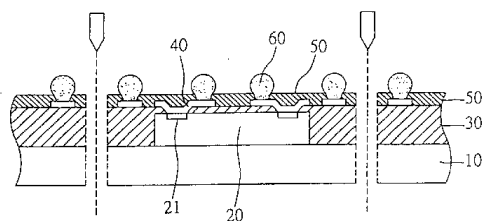
代理人 刘激扬

权利要求书 2 页 说明书 5 页 附图 3 页

[54] 发明名称 半导体芯片封装结构及工序

[57] 摘要

一种半导体芯片封装结构及工序，能够以成批的方式在同一片载具上制作出多个高密度及小尺寸的半导体芯片封装件。该半导体芯片封装结构及工序的特点是在芯片上形成绝缘隔绝层，再利用重布线路技术在该绝缘隔绝层上形成焊点数组，并将这些重布线路电性连接至芯片上的焊垫。可使重布后的焊点数组被安置在超出芯片的表面范围之外的区域，而不是像现有技术那样，焊点数组仅局限在芯片电路面上，因此能应用在新一代微型化(如小于 90 纳米)芯片的封装结构。



1. 一种半导体芯片封装工序，其特征在于，该封装工序包括以下步骤：
- 5 (1) 预制一载具，其具有一正面和一背面；
 (2) 进行一置晶程序，用以安置至少一半导体芯片至该载具正面上，该芯片具有一作用表面及一相对的非作用表面，使该半导体芯片的非作用表面与载具相接触，且该作用表面上形成有多条焊垫；
 (3) 进行一绝缘隔绝层工序，以于该芯片及载具上形成一绝缘隔绝
10 层，该绝缘隔绝层上形成有多条开口以使芯片上各该焊垫外露；
 (4) 进行一重布线路工序，以在该绝缘隔绝层上形成多条重布线路，其中，各条重布线路电性连接至该芯片上一对应的焊垫，并在线路端形成一焊接点；
 (5) 进行一绝缘保护层工序，用以形成一覆盖各条重布线路的绝缘
15 保护层，并曝露出各条重布线路的焊接点；
 (6) 进行一植球程序，以在各外露的重布线路焊接点上分别植设焊球从而形成一球栅阵列；以及
 (7) 进行一切单工序，以切割该载具而形成多个半导体封装件。
2. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤
20 (1) 所述的载具是一硅制基板。
3. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤
(1) 所述的载具是一铜制基板。
4. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤
(1) 所述的载具是一 BT 基板。
- 25 5. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤
(1) 所述的载具是一陶瓷基板。
6. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤
(3) 所述的绝缘隔绝层工序是采用旋转涂布技术，将一绝缘材料涂布在
该载具的正面上，形成该绝缘隔绝层。
- 30 7. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤
(4) 所述的重布线路工序是采用溅镀技术在该绝缘隔绝层上形成这些
重布线路。
8. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤
(4) 所述的重布线路工序是采用无电解电镀技术在该绝缘隔绝层上形
35 成这些重布线路。
9. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤

(5)所述的绝缘保护层工序是采用聚酰亚胺形成该绝缘保护层。

10. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤(5)所述的绝缘保护层工序是采用环氧聚合物形成该绝缘保护层。

11. 如权利要求 1 所述的半导体芯片封装工序，其特征在于，步骤(5)所述的绝缘保护层工序是采用拒焊剂层形成该绝缘保护层。

12. 一种半导体芯片封装结构，其特征在于，该结构至少包括：
一载具，其具有一正面和一背面；
一芯片，其具有一电路面和一非电路面，且该电路面上设置有一组焊垫，该芯片安置于载具正面上，且该芯片的非电路面与载具相接触；

一绝缘隔绝层，且令该绝缘隔绝层完全覆盖住该芯片，但曝露出该芯片电路面上的焊垫；

多条重布线路，形成在该绝缘隔绝层上，其中，各重布线路电性连接至该芯片上一对应的焊垫，并在线路端形成一焊接点；

一绝缘保护层，覆盖住各条重布线路，并曝露出各条重布线路的焊接点；以及

一球栅阵列，其进一步包括多个植接在该重布线路外露焊接点上的焊球。

13. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该载具是一硅制基板。

14. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该载具是一铜制基板。

15. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该载具是一 BT 基板。

16. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该载具为一陶瓷基板。

17. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该载具正面上对应于该半导体芯片置晶区域上开设有容纳芯片的开口。

18. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该绝缘保护层的材质是聚酰亚胺。

19. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该绝缘保护层的材质是环氧树脂。

20. 如权利要求 12 所述的半导体芯片封装结构，其特征在于，该绝缘保护层的材质是拒焊剂层。

半导体芯片封装结构及工序

5 技术领域

本发明是关于一种半导体芯片封装技术，特别是关于一种半导体芯片封装结构及工序，它能够以成批的方式在同一片载具上制作出多个高密度及小尺寸的半导体芯片封装件。

10 背景技术

芯片尺寸级封装技术(Chip Scale Package, CSP)作为一种先进的封装技术，可将封装件的尺寸制作成略大于所封装芯片的尺寸，因此可使封装件达到最小化的程度，符合轻薄短小的要求。

晶圆级的 CSP 封装技术(Wafer Level CSP)则是一种更为先进的封装技术，可将每一片晶圆切割出的所有芯片，以成批的方式进行芯片尺寸级的封装工序，一次可完成多个封装件。

晶圆级的 CSP 封装技术的相关专利包括有：美国专利第 5,886,409 号 "ELECTRODE STRUCTURE OF WIRING SUBSTRATE OF SEMICONDUCTOR DEVICE HAVING EXPANDED PITCH"; 美国专利第 5,892,179 号 "SOLDER BUMPS AND STRUCTURES FOR INTEGRATED REDISTRIBUTION ROUTING CONDUCTORS "; 美国专利第 6,103,552 号 "WAFER SCALE PACKAGING SCHEME"; 美国专利第 6,350,668 号 "LOW COST CHIP SIZE PACKAGE AND METHOD OF FABRICATING THE SAME"; 美国专利第 6,433,427 号 "WAFER LEVEL PACKAGE INCORPORATING DUAL STRESS BUFFER LAYERS FOR I/O REDISTRIBUTION AND ,METHOD FOR FABRICATION".

晶圆级的 CSP 封装技术通常是采用重新布线技术(Redistribution Layer, RDL)，将芯片上非等距分布的电源及信号输出、入焊点，借由重新布线技术整合到芯片上预先定义的一个等距排列的焊垫数组区域，再用焊块(solder bumps)焊接到此焊点数组上，从而形成球栅阵列(Ball Grid Array, BGA)，借由此球栅阵列将封装件焊接及电性连接到外部的印刷电路板。

然而上述重新布线技术是将焊点数组配置在芯片表面上，随着半

导体工序技术的进步，芯片面积逐渐缩小，缩小尺寸的芯片没有多余的表面空间来容纳重新布线的焊点数组，因此适应新一代封装件芯片微小化(小于 90 纳米)的趋势，半导体业界需要开发一种新的半导体芯片封装结构及工序。

5

发明内容

为克服上述现有技术的缺点，本发明的主要目的在于提供一种适用于如小于 90 纳米的新一代微型化芯片封装的半导体芯片封装结构及工序。

10 本发明的半导体芯片封装工序至少包含:(1)预制一载具，该载具具有一正面和一背面；(2)进行一置晶程序，将至少一芯片安置在该载具的正面上；其中该芯片具有一电路面和一非电路面，且该电路面上形成有多条焊垫；(3)进行一绝缘隔绝层工序，借此在该载具的正面上形成一绝缘隔绝层，且令该绝缘隔绝层完全覆盖住该芯片，并曝露出该
15 芯片电路面上的焊垫；(4)进行一重新布线工序，借此在该绝缘隔绝层上形成多条重布线路；其中各条重布线路的一端点是电性连接至该芯片电路面上的一对应焊垫，而另一端点则预定为焊接点；(5)进行一绝缘保护层工序，借此形成一绝缘保护层来覆盖住各条重布线路，但曝露出各条重布线路的预定焊接点；(6)进行一植球程序，借此将多个焊
20 球焊接到各条重布线路上未被该绝缘保护层覆盖的焊接点上，以形成一球栅阵列结构；以及(7)进行一切单工序，借此切割该载具，分割出多个半导体封装件。

本发明的半导体芯片封装结构至少包括：(a)一载具，其具有一正面和一背面；(b)芯片，其具有一电路面和一非电路面，且该电路面上形成有多条焊垫；(c)一绝缘隔绝层，该绝缘隔绝层是完全覆盖住各个
25 芯片，并且曝露出各芯片电路面上的多条焊垫；(d)多条重布线路，它是形成在该绝缘隔绝层上，其中各条重布线路的一端点是电性连接至该芯片电路面上的一对应焊垫，另一端点预定为焊接点；(e)一绝缘保护层，用以覆盖各条重布线路，但曝露出各条重布线路的预定焊接点；
30 以及(f)一球栅阵列，包括多个焊球，且各个焊球是焊接到各条重布线路上未被该绝缘保护层所覆盖的焊接点上。

本发明的半导体芯片封装结构及工序的特点是，在芯片上形成一绝缘隔绝层，再以重布线路在该绝缘隔绝层上形成焊点数组，将这些重布线路电性连接至芯片焊垫上。使需要线路重布的焊点数组能够安
35 置在超出芯片表面范围以外的区域，而不仅局限在芯片表面上，使新

一代(如 90 纳米以下)的微型化芯片可借由树脂增层技术来弥补芯片电路布局面积不足的缺点。

附图说明

5 图 1 是剖面结构示意图, 显示本发明的半导体芯片封装结构及工序采用的载具及芯片的剖面结构形态;

图 2 是剖面结构示意图, 显示本发明的半导体芯片封装工序中的置晶程序;

10 图 3 是剖面结构示意图, 显示本发明的半导体芯片封装工序中的绝缘隔绝层工序;

图 4 是剖面结构示意图, 显示本发明的半导体芯片封装工序中的重布线路工序;

图 5 是剖面结构示意图, 显示本发明的半导体芯片封装工序中的绝缘保护层工序;

15 图 6 是剖面结构示意图, 显示本发明的半导体芯片封装工序中的植球程序;

图 7 为一剖面结构示意图, 其中显示本发明的半导体芯片封装工序中的分割程序;

20 图 8 是剖面结构示意图, 显示本发明的半导体芯片封装结构的另一实施例。

具体实施方式

实施例

25 以下即配合附图, 详细说明本发明的半导体芯片封装结构及工序的实施过程。此处须注意的是, 图 1 至图 7 均为简化的示意图, 以示意的的方式说明本发明的基本构想, 因此仅显示与本发明有关的组件, 且所显示的组件并非以实际实施时的数目、形状及尺寸比例来绘制; 其实际实施时的数目、形状及尺寸比例可以是一种随意性的设计选择, 且其组件布局形态可能更为复杂。

30 首先, 请参阅图 1, 本发明的半导体芯片封装工序的初始步骤是先预制备载具 10, 该载具 10 具有正面 10a 和背面 10b, 它可以选自 BT (Bismaleimide Triazine)基板、金属制基板(例如铜制基板)、陶瓷基板、硅制基板等。此外, 该载具正面上预先规划出多条切割线 11, 用以区分出各个封装件的实体范围。

35 上述载具 10 同时搭载一批芯片 20(注: 由于这些芯片 20 的封装程

序均相同，因此为了简化附图及说明，在图 1 及后续的附图中仅显示一个芯片)，这些芯片 20 是先将其原先的晶圆(附图中未显示)的厚度研磨到 3 mil 以下，再切割成多条单一的芯片 20。各芯片 20 均具有一个电路面 20a 和一个非电路面 20b，且其电路面 20a 上形成有多个提供电源及信号输出入的焊垫 21。

其次，请参阅图 2，下一个步骤是进行置晶程序，也就是将各个芯片 20 的非电路面 20b，用胶粘剂(如银胶)粘贴到载具 10 的正面 10a 上，使芯片 20 的电路面 20a 朝上。

之后，请参阅图 3，下一个步骤是进行绝缘隔绝层工序，借此在该载具 10 的正面 10a 上形成绝缘隔绝层 30，使该绝缘隔绝层 30 完全覆盖住各个芯片 20，但绝缘隔绝层 30 形成有多个开口 31，用来外露出芯片 20 的电路面 20a 上的所有的焊垫 21。绝缘隔绝层工序是采用现有的旋转涂布技术(spin coating)，将绝缘材料(dielectric)涂布在载具 10 的正面 10a 上，从而形成该绝缘隔绝层 30。

再有，请参阅图 4，下一个步骤是进行重新布线工序(Redistribution Layer, RDL)，借此在该绝缘隔绝层 30 上实施金属化(metallization)以形成多条重布线路 40；其中各条重布线路 40 的一个端点是电性连接到该芯片 20 的电路面 20a 上一个对应的焊垫 21，将重布线路 40 的另一端点定义为焊接点 41。该重布线路工序可采用溅镀技术(sputtering)或无电镀镀膜技术(Electroless-plating)形成上述重布线路 40。

之后，请参阅图 5，下一个步骤是进行绝缘保护层工序，借此形成一个绝缘保护层(passivation layer)50 来覆盖上述所有的重布线路 40，该绝缘保护层 50 上形成有多个开口 51，外露出各条重布线路 40 上预定的焊接点 41。该绝缘保护层 50 材质可选用聚酰亚胺(polyimide)、环氧聚合物(epoxy)或拒焊剂层(Solder Mask)。

接着，请参阅图 6，下一个步骤是进行植球程序，借此将多个焊球 60 焊接到各条重布线路 40 上未被该绝缘保护层 50 所覆盖的焊接点 41 上，从而形成球栅阵列。

请参阅图 7，下一个步骤是进行切单工序；将该载具 10 沿其切割线 11 进行切单，借此分割出多个封装件，即完成本发明的半导体芯片封装工序。

总而言之，本发明提供了一种新颖的半导体芯片封装结构及工序，其特点是在芯片上形成绝缘隔绝层，再用重新布线技术在该绝缘隔离层上形成焊点数组，使这些重布线路分别电性连接到芯片的焊垫上。可使完成线路重布的焊点数组能够安置在超出芯片表面范围之外的区

域，而不是仅局限在芯片表面上，因此新一代(如小于 90 纳米)的微型化芯片可借由本发明的封装工序技术，弥补芯片电路布局面积不足的缺失。

5 图 8 是本发明的半导体芯片封装结构的另一实施例，此实施例采用的工序以及结构与上述实施例大致相同，其不同之处在于该载具 10 上预先规划的封装件范围所对应的置晶区域上，开设有一处面积大于半导体芯片 20 的开口 100，在置晶程序进行时，将芯片 20 粘设到该开口 100 内，使传统安置在载具 10 上方的芯片 20 可借由该开口 100 的收纳，可进一步缩减半导体封装件的整体高度。

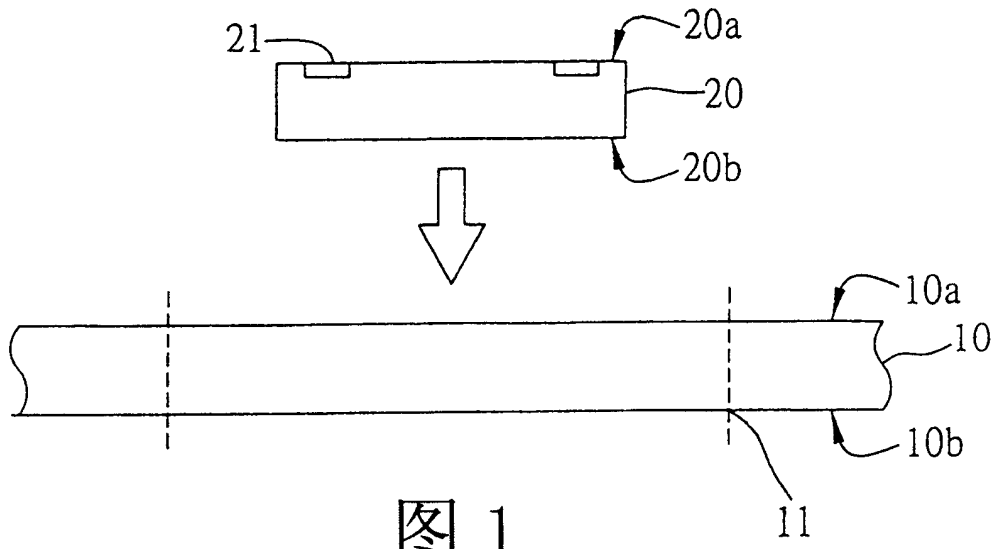


图 1

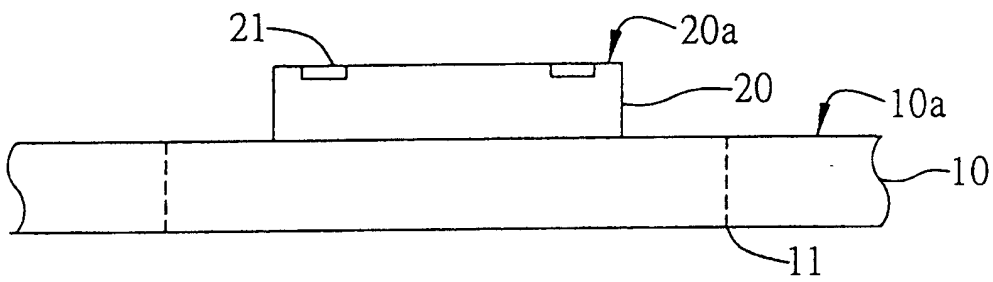


图 2

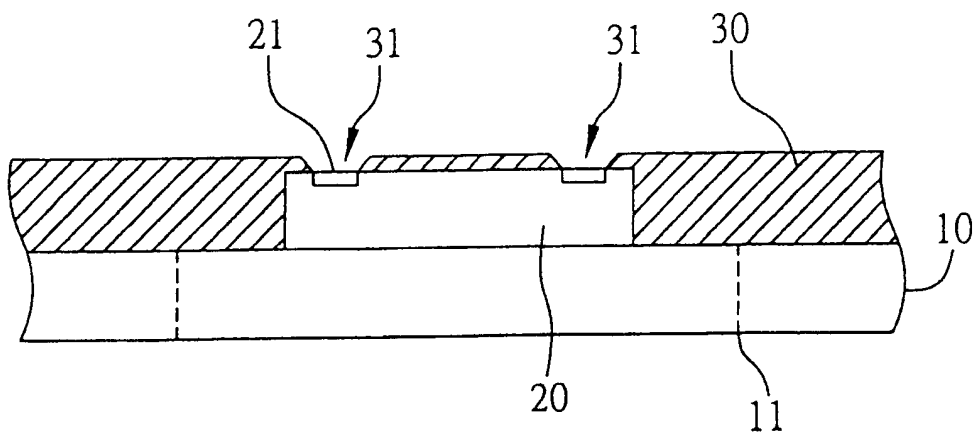


图 3

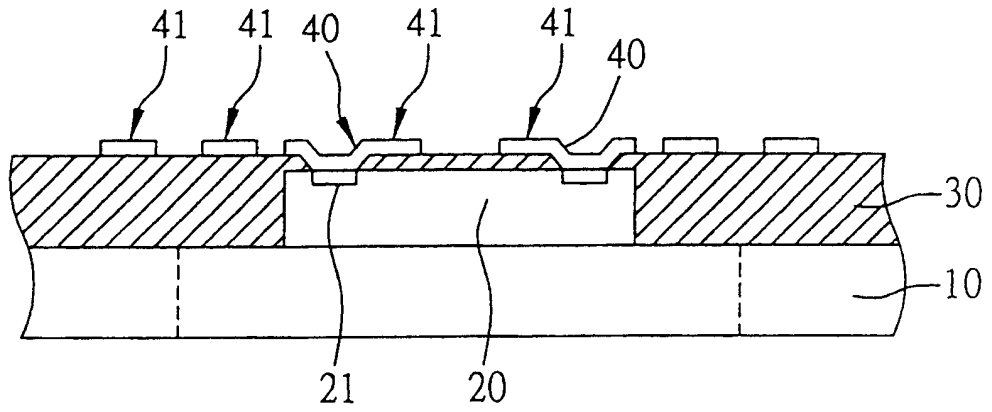


图 4

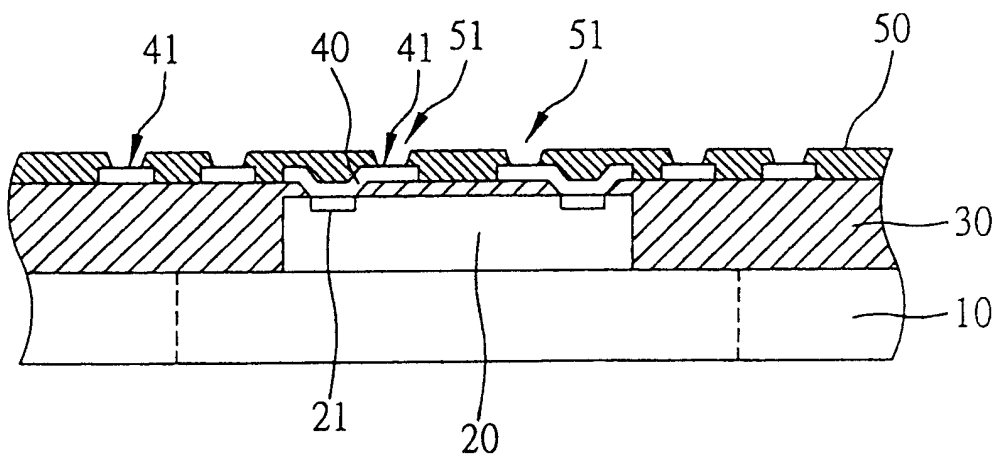


图 5

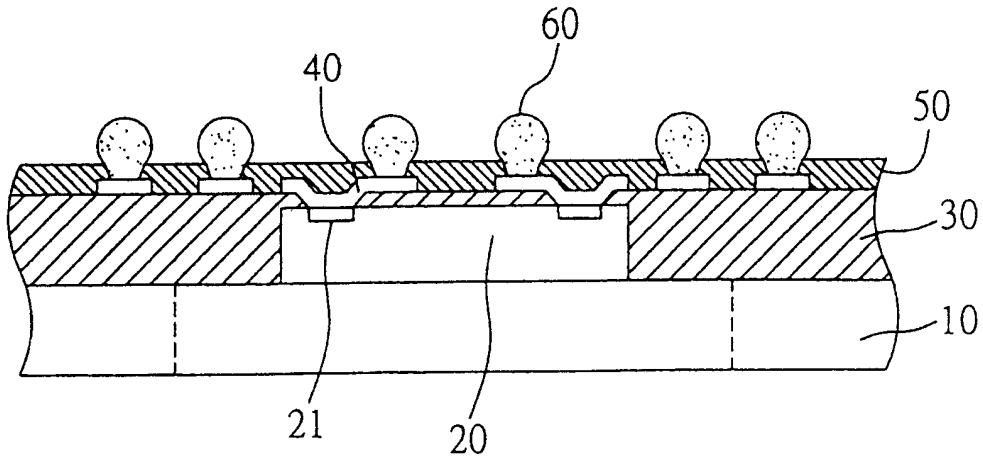


图 6

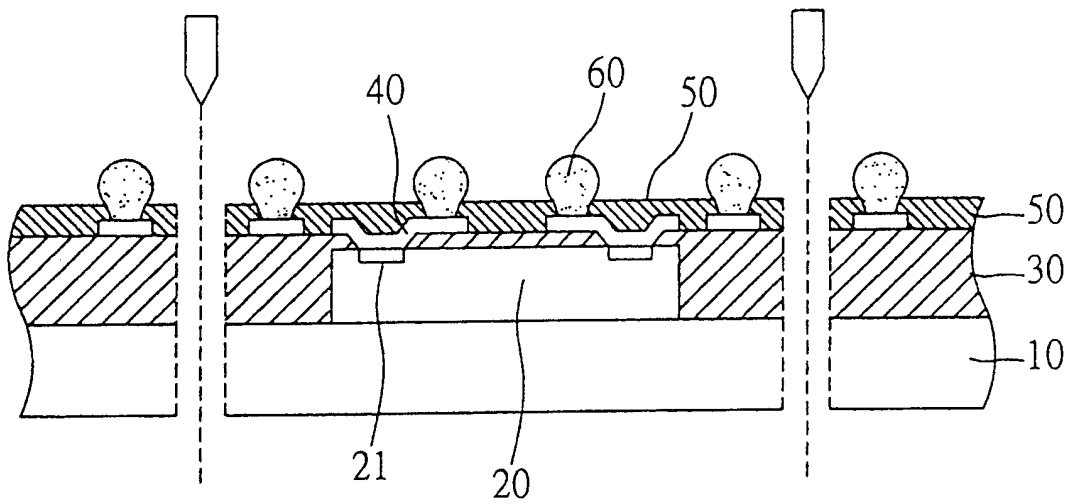


图 7

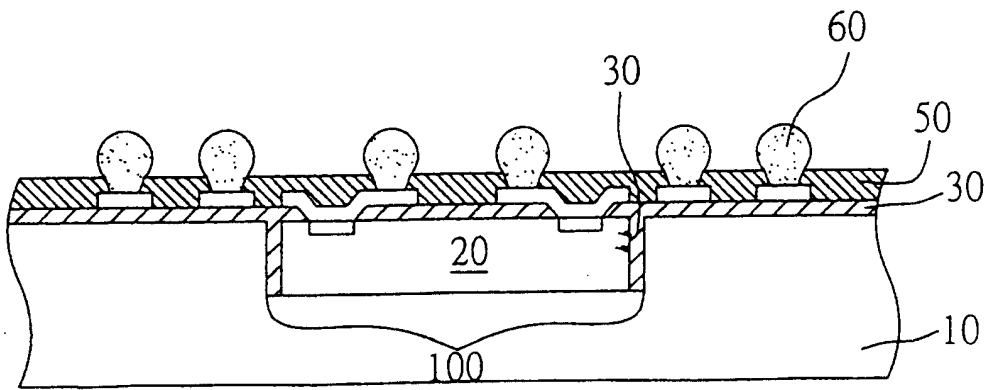


图 8