



(12) 发明专利申请

(10) 申请公布号 CN 112600561 A

(43) 申请公布日 2021.04.02

(21) 申请号 202011478023.5

(22) 申请日 2020.12.15

(71) 申请人 深圳市道通科技股份有限公司

地址 518000 广东省深圳市南山区西丽街  
道学苑大道1001号智园B1栋7层、8层、  
10层

(72) 发明人 刘福奇 徐冬冬 钟隆辉

(74) 专利代理机构 北京市浩天知识产权代理事

务所(普通合伙) 11276

代理人 王广涛

(51) Int. Cl.

H03M 1/34 (2006.01)

权利要求书2页 说明书9页 附图4页

(54) 发明名称

示波器中的信号处理系统、示波器及信号处理方法

(57) 摘要

本发明实施例涉及示波器技术领域,公开了一种示波器中的信号处理系统,包括信号采样模块及至少一个寄存累加模块;寄存累加模块包括第一寄存器、第二寄存器及第一累加器;信号采样模块,用于接收模拟信号并根据模拟信号采样生成数字采样信号;第一寄存器,用于依次接收第一暂存采样信号及第二暂存采样信号,将第一暂存采样信号分别发送给第一累加器及第二寄存器,并将第二暂存采样信号发送给第一累加器;第二寄存器,用于接收第一暂存采样信号,并将第一暂存采样信号发送给第一累加器;第一累加器,用于将第一暂存采样信号与第二暂存采样信号进行累加,得到第一累加信号。通过上述方式,本发明实施例实现了增强信号分辨率的有益效果。

示波器中的信号处理系统 100

信号采样模块 111

第一寄存器 101

第二寄存器 102

第一累加器 105

1. 一种示波器中的信号处理系统,其特征在于,应用于示波器中,所述信号处理系统包括信号采样模块及至少一个寄存累加模块;所述寄存累加模块包括第一寄存器、第二寄存器及第一累加器;

所述信号采样模块,用于接收模拟信号并根据所述模拟信号采样生成数字采样信号;

所述第一寄存器,用于依次接收第一暂存采样信号及第二暂存采样信号,将所述第一暂存采样信号分别发送给所述第一累加器及所述第二寄存器,并将所述第二暂存采样信号发送给所述第一累加器;其中,所述第一暂存采样信号为所述信号采样模块在第一时刻生成的预设位数的所述数字采样信号,所述第二暂存采样信号为所述信号采样模块在第二时刻生成的预设位数的所述数字采样信号;所述第二时刻为所述第一时刻之后相邻的时刻;

所述第二寄存器,用于接收所述第一暂存采样信号,并将所述第一暂存采样信号发送给所述第一累加器;

所述第一累加器,用于将所述第一暂存采样信号与所述第二暂存采样信号进行累加,得到第一累加信号。

2. 根据权利要求1所述的信号处理系统,其特征在于,所述信号处理系统还包括:第三寄存器、第四寄存器、第二累加器及第三累加器;

所述第三寄存器,用于依次接收所述信号采样模块发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,并将第四暂存采样信号发送给所述第二累加器,将所述第一暂存采样信号、所述第二暂存采样信号、所述第三暂存采样信号及所述第四暂存采样信号发送给所述第四寄存器;其中,所述第三暂存采样信号为所述信号采样模块在第三时刻生成的预设位数的所述数字采样信号,所述第四暂存采样信号为所述信号采样模块在第四时刻生成的预设位数的所述数字采样信号;

所述第四寄存器,用于接收所述第三寄存器发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,将所述第三暂存采样信号发送给所述第二累加器,将所述第一暂存采样信号及第二暂存采样信号发送给所述第一寄存器;

所述第二累加器,用于将所述第三暂存采样信号及所述第四暂存采样信号进行累加,得到第二累加信号;

所述第三累加器,用于将所述第一累加信号及所述第二累加信号进行累加,得到目标累加信号。

3. 根据权利要求2所述的信号处理系统,其特征在于,所述示波器包括处理器,所述第一寄存器、所述第二寄存器、所述第三寄存器、所述第四寄存器、所述第一累加器、所述第二累加器及所述第三累加器均设置于所述处理器中;

所述处理器,还用于根据所述目标累加信号进行信号处理,得到目标累加信号的特征。

4. 根据权利要求3所述的信号处理系统,其特征在于,所述第一寄存器、第二寄存器、所述第三寄存器、所述第四寄存器、所述第一累加器、所述第二累加器及所述第三累加器的时钟激励信号相同。

5. 根据权利要求2所述的信号处理系统,其特征在于,还包括:

检测模块,用于计算所述数字采样信号的幅值;

确定模块,用于根据所述幅值确定所述数字采样信号是否低于预设阈值,当低于所述

预设阈值时,将所述第一暂存采样信号发送给所述第三寄存器。

6. 根据权利要求5所述的信号处理系统,其特征在于,所述确定模块还用于当所述幅值高于等于所述预设阈值时,将所述第一暂存采样信号发送给所述处理器;

所述处理器根据所述第一暂存采样信号进行信号处理,得到目标累加信号的信号特征。

7. 一种示波器,其特征在于,所述示波器包括如权利要求1-6任一项所述的信号处理系统。

8. 一种示波器中的信号处理方法,其特征在于,包括以下步骤:

信号采样模块接收模拟信号并根据所述模拟信号采样生成数字采样信号;

第一寄存器依次接收第一暂存采样信号及第二暂存采样信号,将所述第一暂存采样信号分别发送给第一累加器及第二寄存器,并将所述第二暂存采样信号发送给所述第一累加器;其中,所述第一暂存采样信号为所述信号采样模块在第一时刻生成的预设位数的所述数字采样信号,所述第二暂存采样信号为所述信号采样模块在第二时刻生成的预设位数的所述数字采样信号;所述第二时刻为所述第一时刻之后相邻的时刻;

第二寄存器接收所述第一暂存采样信号,并将所述第一暂存采样信号发送给所述第一累加器;

第一累加器将所述第一暂存采样信号与所述第二暂存采样信号进行累加,得到第一累加信号。

9. 根据权利要求8所述的方法,其特征在于,还包括以下步骤:

第三寄存器依次接收所述信号采样模块发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,并将第四暂存采样信号发送给第二累加器,将所述第一暂存采样信号、所述第二暂存采样信号、所述第三暂存采样信号及所述第四暂存采样信号发送给第四寄存器;其中,所述第三暂存采样信号为所述信号采样模块在第三时刻生成的预设位数的所述数字采样信号,所述第四暂存采样信号为所述信号采样模块在第四时刻生成的预设位数的所述数字采样信号;

第四寄存器接收所述第三寄存器发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,将所述第三暂存采样信号发送给所述第二累加器,将所述第一暂存采样信号及第二暂存采样信号发送给所述第一寄存器;

所述第二累加器将所述第三暂存采样信号及所述第四暂存采样信号进行累加,得到第二累加信号;

所述第三累加器将所述第一累加信号及所述第二累加信号进行累加,得到目标累加信号。

10. 根据权利要求9所述的方法,其特征在于,处理器根据所述目标累加信号进行信号处理,得到目标累加信号的信号特征。

## 示波器中的信号处理系统、示波器及信号处理方法

### 技术领域

[0001] 本发明实施例涉及示波器技术领域,具体涉及一种示波器中的信号处理系统、示波器及示波器中的信号处理方法。

### 背景技术

[0002] 目前,随着汽车技术不断发展汽车电气系统越来越多,一旦系统出现问题,问题排查是首先要解决的。对信号的测量是发现问题的关键,示波器是主要的测量工具。示波器可以测量信号的幅度,频度,相位,频谱等信号的特征。示波器的存储深度越深,一次捕获的数据就越完整,就更容易通过对信号的特征分析,判断信号是否正常。

[0003] 现有的示波器在进行信号分析时,首先需要对模拟信号进行抓取,再通过ADC采样进行模数信号转换,ADC采样分辨率越高理论上信号的量化失真就越低,信噪比就越高。然而,目前示波器的示波器,其分辨率一般是固定的,精度也是固定的,这并不适用于信号较弱的场景。

### 发明内容

[0004] 鉴于上述问题,本发明实施例提供了一种示波器中的信号处理系统、示波器及示波器中的信号处理方法,用于解决现有技术中存在的示波器采样数据精度低的问题。

[0005] 根据本发明实施例的一个方面,提供了一种示波器中的信号处理系统,应用于示波器中,所述信号处理系统包括信号采样模块及至少一个寄存累加模块;所述寄存累加模块包括第一寄存器、第二寄存器及第一累加器;

[0006] 所述信号采样模块,用于接收模拟信号并根据所述模拟信号采样生成数字采样信号;

[0007] 所述第一寄存器,用于依次接收第一暂存采样信号及第二暂存采样信号,将所述第一暂存采样信号分别发送给所述第一累加器及所述第二寄存器,并将所述第二暂存采样信号发送给所述第一累加器;其中,所述第一暂存采样信号为所述信号采样模块在第一时刻生成的预设位数的所述数字采样信号,所述第二暂存采样信号为所述信号采样模块在第二时刻生成的预设位数的所述数字采样信号;所述第二时刻为所述第一时刻之后相邻的时刻;

[0008] 所述第二寄存器,用于接收所述第一暂存采样信号,并将所述第一暂存采样信号发送给所述第一累加器;

[0009] 所述第一累加器,用于将所述第一暂存采样信号与所述第二暂存采样信号进行累加,得到第一累加信号。

[0010] 在一种可选的方式中,所述信号处理系统还包括:第三寄存器、第四寄存器、第二累加器及第三累加器;

[0011] 所述第三寄存器,用于依次接收所述信号采样模块发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,并将第四暂存采样信号发送给

所述第二累加器,将所述第一暂存采样信号、所述第二暂存采样信号、所述第三暂存采样信号及所述第四暂存采样信号发送给所述第四寄存器;其中,所述第三暂存采样信号为所述信号采样模块在第三时刻生成的预设位数的所述数字采样信号,所述第四暂存采样信号为所述信号采样模块在第四时刻生成的预设位数的所述数字采样信号;

[0012] 所述第四寄存器,用于接收所述第三寄存器发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,将所述第三暂存采样信号发送给所述第二累加器,将所述第一暂存采样信号及第二暂存采样信号发送给所述第一寄存器;

[0013] 所述第二累加器,用于将所述第三暂存采样信号及所述第四暂存采样信号进行累加,得到第二累加信号;

[0014] 所述第三累加器,用于将所述第一累加信号及所述第二累加信号进行累加,得到目标累加信号。

[0015] 在一种可选的方式中,所述示波器包括处理器,所述第一寄存器、所述第二寄存器、所述第三寄存器、所述第四寄存器、所述第一累加器、所述第二累加器及所述第三累加器均设置于所述处理器中;

[0016] 所述处理器,还用于根据所述目标累加信号进行信号处理,得到目标累加信号的信号特征。

[0017] 在一种可选的方式中,所述第一寄存器、第二寄存器、所述第三寄存器、所述第四寄存器、所述第一累加器、所述第二累加器及所述第三累加器的时钟激励信号相同。

[0018] 在一种可选的方式中,还包括:

[0019] 检测模块,用于计算所述数字采样信号的幅值;

[0020] 确定模块,用于根据所述幅值确定所述数字采样信号是否低于预设阈值,当低于所述预设阈值时,将所述第一暂存采样信号发送给所述第三寄存器。

[0021] 在一种可选的方式中,所述确定模块还用于当所述幅值高于等于所述预设阈值时,将所述第一暂存采样信号发送给所述处理器;

[0022] 所述处理器根据所述第一暂存采样信号进行信号处理,得到目标累加信号的信号特征。

[0023] 根据本发明实施例的另一方面,提供了一种示波器,所述示波器包括上述的信号处理系统。

[0024] 根据本发明实施例的另一方面,提供了一种示波器中的信号处理方法,包括:

[0025] 包括以下步骤:

[0026] 信号采样模块接收模拟信号并根据所述模拟信号采样生成数字采样信号;

[0027] 第一寄存器依次接收第一暂存采样信号及第二暂存采样信号,将所述第一暂存采样信号分别发送给第一累加器及第二寄存器,并将所述第二暂存采样信号发送给所述第一累加器;其中,所述第一暂存采样信号为所述信号采样模块在第一时刻生成的预设位数的所述数字采样信号,所述第二暂存采样信号为所述信号采样模块在第二时刻生成的预设位数的所述数字采样信号;所述第二时刻为所述第一时刻之后相邻的时刻;

[0028] 第二寄存器接收所述第一暂存采样信号,并将所述第一暂存采样信号发送给所述第一累加器;

[0029] 第一累加器将所述第一暂存采样信号与所述第二暂存采样信号进行累加,得到第

一累加信号。

[0030] 在一种可选的方式中,还包括以下步骤:

[0031] 第三寄存器依次接收所述信号采样模块发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,并将第四暂存采样信号发送给第二累加器,将所述第一暂存采样信号、所述第二暂存采样信号、所述第三暂存采样信号及所述第四暂存采样信号发送给第四寄存器;其中,所述第三暂存采样信号为所述信号采样模块在第三时刻生成的预设位数的所述数字采样信号,所述第四暂存采样信号为所述信号采样模块在第四时刻生成的预设位数的所述数字采样信号;

[0032] 第四寄存器接收所述第三寄存器发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,将所述第三暂存采样信号发送给所述第二累加器,将所述第一暂存采样信号及第二暂存采样信号发送给所述第一寄存器;

[0033] 所述第二累加器将所述第三暂存采样信号及所述第四暂存采样信号进行累加,得到第二累加信号;

[0034] 所述第三累加器将所述第一累加信号及所述第二累加信号进行累加,得到目标累加信号。

[0035] 在一种可选的方式中,处理器根据所述目标累加信号进行信号处理,得到目标累加信号的信号特征。

[0036] 本发明实施例通过设置级联的寄存器及累加器,能够使得当前时刻的预设位数的数字采样信号与后面时刻的预设位数的数字采样信号进行累加,从而使得累加后的信号放大,累加后的信号的位数多于预设位数,从而增加了数字采样信号的位数,以提高数字采样信号的分辨率,最终实现了提高示波器采样数据的精度的有益效果。

[0037] 进一步地,通过设置检测模块及确定模块,使得能够针对不同的采样信号进行灵活调整。

[0038] 上述说明仅是本发明实施例技术方案的概述,为了能够更清楚了解本发明实施例的技术手段,而可依照说明书的内容予以实施,并且为了让本发明实施例的上述和其它目的、特征和优点能够更明显易懂,以下特举本发明的具体实施方式。

## 附图说明

[0039] 附图仅用于示出实施方式,而并不认为是对本发明的限制。而且在整个附图中,用相同的参考符号表示相同的部件。在附图中:

[0040] 图1示出了本发明实施例提供的示波器中的信号处理系统的结构示意图;

[0041] 图2示出了ADC采样过程示意图;

[0042] 图3示出了本发明另一实施例提供的示波器中的信号处理系统的结构示意图;

[0043] 图4示出了本发明又一实施例提供的示波器中的信号处理系统的结构示意图;

[0044] 图5示出了本发明实施例提供的示波器的结构示意图;

[0045] 图6示出了本发明实施例提供的示波器中的信号处理方法的流程示意图。

## 具体实施方式

[0046] 下面将参照附图更详细地描述本发明的示例性实施例。虽然附图中显示了本发明

的示例性实施例,然而应当理解,可以以各种形式实现本发明而不应被这里阐述的实施例所限制。

[0047] 首先,对于数字采样信号的采集中涉及的概念进行解释:

[0048] 数字量的位数:模数转换过程包括采样、保持、量化和编码。编码是将量化后的信号编码成二进制代码输出。对模拟信号进行取样,将取样得到的取样值转换成数字量,并按一定的编码形式给出转换结果。如可用8位/10位/12位等二进制编码。

[0049] 分辨率是指输入数字量的最低有效位(LSB)发生变化时,所对应的输出模拟量(电压或电流)的变化量。它反映了输出模拟量的最小变化值。分辨率与输入数字量(每一时刻输入的采样信号)的位数有确定的关系,可以表示成 $FS/2^n$ 。FS表示满量程输入值,n为二进制位数。对于5V的满量程,采用8位的DAC时,分辨率为 $5V/256=19.5mV$ ;当采用12位的DAC时,分辨率则为 $5V/4096=1.22mV$ 。显然,输入数字量的位数越多分辨率就越高。

[0050] 因此,当输入数字量的位数增多时,分辨率会提高,对应于影响精度的量化误差会减小。

[0051] 本发明实施例正是基于上述原理,通过设置多个寄存器及累加器的连接关系,将不同时刻的预设位数的数字采样信号进行相加,以增加各个时刻的数字采样信号的位数,从而提高分辨率,最终得到提高精度的效果。由于示波器的采样时间间隔非常小,一般在皮秒级别。如每100ps进行一次采样,因此每一个时刻的采样信号之前的差别非常小,因此叠加信号不会导致信号的特征改变。

[0052] 图1示出了本发明示波器中的信号处理系统实施例的结构图,该信号处理系统应用于示波器中。如图1所示,该信号处理系统100包括信号采样模块111及至少一个寄存累加模块。所述寄存累加模块包括第一寄存器101、第二寄存器102及第一累加器105。本发明实施例中,第一寄存器101、第二寄存器102及第一累加器105的时钟激励信号相同。其中:

[0053] 所述信号采样模块111,用于接收模拟信号,并根据所述模拟信号采样生成数字采样信号。图2示出了本发明实施例中ADC采样过程,对于被测对象所产生的模拟信号,通过ADC采样可以将该模拟信号变为离散化的数字采样信号,可以通过预设位数的编码表示;如,对于8位采样精度,可以通过8位编码表示。数字采样信号的采集过程是实时且连续的。

[0054] 所述第一寄存器101,用于依次接收第一暂存采样信号及第二暂存采样信号,将所述第一暂存采样信号分别发送给所述第一累加器105及所述第二寄存器102,并将所述第二暂存采样信号发送给所述第一累加器105;其中,所述第一暂存采样信号为所述信号采样模块在第一时刻生成的预设位数的所述数字采样信号,所述第二暂存采样信号为所述信号采样模块在第二时刻生成的预设位数的所述数字采样信号;所述第二时刻为所述第一时刻之后相邻的时刻。也即:第一寄存器101在接收到第一暂存采样信号后,将其发送给第一累加器105及第二寄存器102。经过一个时钟激励信号后,也即第二时刻,接收到第二暂存采样信号后,将第二暂存采样信号发送给第一累加器105的第一输入端口,此时第一累加器105在上一个时钟激励信号存储的第一暂存采样信号被替换为当前时钟激励信号的第二暂存采样信号。

[0055] 所述第二寄存器102,用于接收所述第一暂存采样信号,并将所述第一暂存采样信号发送给所述第一累加器105。第二寄存器102接收到的第一暂存采样信号,经过一个时钟激励信号后,将其发送至第一累加器105的第二输入端口。

[0056] 所述第一累加器105,用于将所述第一暂存采样信号与所述第二暂存采样信号进行累加,得到第一累加信号。此时,在当前时钟激励信号下,第一累加器105同时接收到第一暂存采样信号及第二暂存采样信号,并将二者进行累加,从而得到第一累加信号。

[0057] 本发明实施例通过设置寄存累加模块,第一寄存器101通过将第二暂存采样信号直接发送至第一累加器105,同时将第一暂存采样信号经过第二寄存器102一个时钟激励信号的暂存后,再发送至第一累加器105,相当于对第一暂存采样信号进行了时延,使得第一暂存采样信号叠加了第二暂存采样信号,通过对数字采样信号(第一时刻产生的第一暂存采样信号及第二时刻产生的第二暂存采样信号)进行处理,从而使得第一暂存采样信号被放大。同样地,后续各个时刻的暂存采样信号均叠加了下一时刻或上一时刻的信号,从而使得第一暂存采样信号被放大,通过这样的方式,一方面等效提高了ADC的采样精度;另一方面,等效为窗口滤波,有效滤除了高频噪声。

[0058] 本发明实施例中,示波器还包括处理器。在得到第一累加信号后,所述示波器用于将所述第一累加信号进行信号处理,得到第一累加信号的信号特征。

[0059] 本发明实施例中,所述示波器还包括显示模块。所述显示模块,用于接收所述信号特征,并进行显示。

[0060] 本发明实施例通过设置级联的寄存器及累加器,能够使得当前时刻的预设位数的数字采样信号与后面时刻的预设位数的数字采样信号进行累加,从而使得累加后的信号增大,累加后的信号的位数多于预设位数,从而增加了数字采样信号的位数,以提高数字采样信号的分辨率,最终实现了提高示波器采样数据的精度的有益效果。

[0061] 图3示出了本发明另一实施例提供的示波器中的信号处理系统的结构示意图。本发明实施例中,通过一个寄存累加模块进行信号的放大。也即进行一次叠加放大。因此,信号采样模块111直接与第一寄存器101的输入端D3连接,第一寄存器101的输出端Q3与第一累加器105的第一输入端口连接,第一寄存器101的输出端Q3还与第二寄存器102的输入端D4连接,第二寄存器102的输出端口Q4与第一累加器105的第二输入端口连接,第一累加器的输出端与第七寄存器110的输入端D7连接。第一寄存器101、第二寄存器102、第一累加器105及第七寄存器110的时钟信号相同。第一累加器105通过第一寄存器110将结果输出。

[0062] 本发明实施例中,信号采样模块111可以是8位数字采样信号,第一寄存器101及第二寄存器102为基础寄存器,可以是9位寄存器,也即:当时钟CLK上升沿到达时,第一寄存器101及第二寄存器102分别并行置入9位数据。第一累加器105可以是9位累加器。信号采样模块111输出第一暂存采样信号为第一时刻产生的8位数字采样信号。信号采样模块111将第一时刻产生的第一暂存采样信号在第一时钟激励信号内发送给第一寄存器101,第一寄存器101在第一时钟激励信号上升沿达到时,接收到该8位的第一暂存采样信号,并在第二时钟激励信号上升沿到达时,将该第一暂存采样信号发送给第一累加器105及第二寄存器102。在第二时钟激励信号上升沿到达时,第一寄存器101接收第二暂存采样信号,第二寄存器接收第一暂存采样信号。在第三时钟激励信号上升沿到达时,第一寄存器101接收下一暂存采样信号,并将第二暂存采样信号发送给第一累加器105;第一累加器105将第二时钟激励信号接收到的第一暂存采样信号输出,同时接收第二暂存采样信号,第二寄存器102接收第二暂存采样信号,同时将第一暂存采样信号发送给第一累加器105;第一累加器105在第三时钟激励信号同时接收到第一暂存采样信号及第二暂存采样信号,并进行累加计算,得

到第一累加信号。本发明实施例中,将第一累加信号作为目标累加信号输出。其中,对于8位二进制数字采样信号,经过叠加后,得到9位的第一累加信号。

[0063] 第一累加信号通过第七寄存器110暂存后,输出给处理器的数据处理单元,处理器的数据处理单元根据所述第一累加信号进行信号处理,得到目标累加信号的信号特征,其中,所述信号特征包括幅度,频度,相位,频谱等特征。其中,处理器可以为FPGA。

[0064] 本发明实施例中,对于8位采样精度的8位数字采样信号,若信号采样模块111的模拟信号输入峰峰值为2V,则8位(bit)的采样精度为把2V分成256份(2的8次方),平均每份的精度是 $2V/256$ ,为0.0078125V,也就是普通的ADC采分辨率。因此,通过第一累加器105的叠加后,变为了9位(bit)数字采样信号,平均每份的精度为 $2V/516$ ,为0.00390625V,也即,等效增强了信号的分辨率。

[0065] 本发明实施例通过设置级联的寄存器及累加器,能够使得当前时刻的预设位数的数字采样信号与后面时刻的预设位数的数字采样信号进行累加,从而使得累加后的信号增大,累加后的信号的位数多于预设位数,从而增加了数字采样信号的位数,以提高数字采样信号的分辨率,最终实现了提高示波器采样数据的精度的有益效果。

[0066] 图4示出了本发明又一实施例提供的示波器中的信号处理系统的结构示意图。本发明实施例中,通过两个寄存累加模块进行信号的放大,也即进行两次叠加放大。其中,

[0067] 信号采样模块111的输出端与第三寄存器103的输入端D1连接,第三寄存器103的输出端Q1与第四寄存器的输入端D2及第二累加器106的第一输入端连接,第四寄存器104的输出端Q2分别与第二累加器106的第二输入端及第一寄存器101的输入端D3连接,第一寄存器101的输出端Q3分别与第一累加器105的第一信号输入端及第二寄存器102的输入端D4连接,第二寄存器102的输出端Q4与第一累加器105的第二信号输入端连接。第一累加器105的输出端与第五寄存器108的输入端D6连接,第二累加器106的输出端与第六寄存器107的输入端D5连接,第五寄存器108的输出端Q6及第六寄存器107的输出端Q5分别与第三累加器109的第一输入端及第二输入端连接。第三累加器109的输出端与第七寄存器110的输入端连接。

[0068] 具体地,在第一时钟激励信号,信号采样模块111可以是8位数字采样信号,第一寄存器101、第二寄存器102、第三寄存器103、第四寄存器104、第五寄存器108、第六寄存器107及第七寄存器108均为基础寄存器,可以是9位寄存器,也即:当时钟CLK上升沿到达时,寄存器分别并行置入9位数据。第一累加器105、第二累加器106及第三累加器109可以是9位累加器。信号采样模块111输出第一暂存采样信号为第一时刻产生的8位数字采样信号。信号采样模块111将第一时刻产生的第一暂存采样信号在第一时钟激励信号内发送给第三寄存器103,第三寄存器103在第一时钟激励信号上升沿达到时,接收到该8位的第一暂存采样信号,并在第二时钟激励信号上升沿到达时,将该第一暂存采样信号发送给第二累加器106及第四寄存器104。在第二时钟激励信号上升沿到达时,第三寄存器103接收第二暂存采样信号,第四寄存器104接收第一暂存采样信号。在第三时钟激励信号上升沿到达时,第三寄存器101接收第三存采样信号,并将第二暂存采样信号发送给第二累加器106;第二累加器106将第二时钟激励信号接收到的第一暂存采样信号输出,同时接收第二暂存采样信号,第四寄存器104接收第二暂存采样信号,同时将第一暂存采样信号发送给第二累加器106及第一寄存器104。在第四个时钟激励信号上升沿到达时,第三寄存器103接收第四暂存采样信号,

同时将第三暂存采样信号分别发送给第二累加器106及第四寄存器104,第四寄存器104将第二暂存采样信号发送给第一寄存器101,第一寄存器101将第一暂存采样信号分别发送给第一累加器105及第二寄存器102。在第五个时钟激励信号上升沿到达时,第三寄存器103接收下一个暂存采样信号,将第四暂存采样信号发送给第二累加器106,同时第四寄存器104将第三暂存采样信号也发送给第二累加器106;同时第一寄存器102将第二暂存采样信号发送给第一累加器,第二寄存器102将第一暂存采样信号发送给第一累加器105;第一累加器105将第一暂存采样信号及第二暂存采样信号进行累加得到第一累加信号,同时第二累加器106将第三暂存采样信号和第四暂存采样信号进行累加得到第二累加信号。

[0069] 第二累加信号通过第六寄存器107发送至第三累加器109第一输入端,第一累加信号通过第五寄存器108发送至第三累加器109的第二输入端,第三累加器109将第一累加信号及第二累加信号进行累加,得到目标累加信号输出。通过这样的方式,将每个时刻的信号均进行一次叠加,从而放大了信号,提高了信号分辨率。其中,对于8位二进制数字采样信号,经过2次叠加后,得到10位的目标累加信号。目标累加信号通过第七寄存器110暂存后,输出给处理器的数据处理单元,处理器的数据处理单元根据所述第一累加信号进行信号处理,得到目标累加信号的信号特征,其中,所述信号特征包括幅度,频度,相位,频谱等特征。

[0070] 本发明实施例中,示波器包括处理器,第一寄存器101、所述第二寄存器102、所述第三寄存器103、所述第四寄存器104、所述第一累加器105、所述第二累加器106及所述第三累加器109均设置于所述处理器中,可以采用处理器中的现有寄存器及累加器实现。其中,处理器可以为FPGA。

[0071] 本发明实施例中,该信号处理系统还包括:

[0072] 检测模块,用于计算所述数字采样信号的幅值;

[0073] 确定模块,用于根据所述幅值确定所述数字采样信号是否低于预设阈值,当低于所述预设阈值时,将所述第一暂存采样信号发送给所述第三寄存器。所述确定模块还用于当所述幅值高于等于所述预设阈值时,将所述第一暂存采样信号发送给所述处理器;

[0074] 所述处理器根据所述第一暂存采样信号进行信号处理,得到目标累加信号的信号特征。

[0075] 也即,本发明实施例还通过设置检测模块和确定模块,来判断数字采样信号的分辨率或者信号强度是否过低。当过低时通过本发明实施例的寄存累加模块进行信号放大及噪声过滤,提高分辨率;当在正常范围内时,则可选择直接将第一暂存采样信号发送给处理器的数据处理单元根据所述第一累加信号进行信号处理,得到目标累加信号的信号特征。

[0076] 本发明实施例通过设置级联的寄存器及累加器,能够使得当前时刻的数字采样信号与后面时刻的数字采样信号进行累加,从而实现了放大数字采样信号的效果,增加了各个时刻数字采样信号的位数,最终实现了提高示波器采样数据的精度的有益效果。

[0077] 进一步地,通过设置检测模块及确定模块,使得能够针对不同的采样信号进行灵活调整。

[0078] 图5示出了本发明示波器实施例的结构示意图。如图5所示,该示波器10包括上述的信号处理系统100。其中,本发明实施例示波器10中的信号处理系统100具有上述实施例中的全部特征,此处不再赘述。

[0079] 本发明实施例通过设置级联的寄存器及累加器,能够使得当前时刻的数字采样信

号与后面时刻的数字采样信号进行累加,从而实现了放大数字采样信号的效果,最终实现了提高示波器采样数据的精度的有益效果。

[0080] 进一步地,通过设置检测模块及确定模块,使得能够针对不同的采样信号进行灵活调整。

[0081] 图6示出了本发明示波器中的信号处理方法实施例的流程示意图,该信号处理方法应用于示波器中,本发明实施例的信号处理方法基于上述实施例的信号处理系统。如图6所示,该信号处理方法包括:

[0082] 步骤110:信号采样模块接收模拟信号并根据所述模拟信号采样生成数字采样信号。

[0083] 步骤120:第一寄存器依次接收第一暂存采样信号及第二暂存采样信号,将所述第一暂存采样信号分别发送给第一累加器及第二寄存器,并将所述第二暂存采样信号发送给所述第一累加器;其中,所述第一暂存采样信号为所述信号采样模块在第一时刻生成的预设位数的所述数字采样信号,所述第二暂存采样信号为所述信号采样模块在第二时刻生成的预设位数的所述数字采样信号;所述第二时刻为所述第一时刻之后相邻的时刻。

[0084] 步骤130:第二寄存器接收所述第一暂存采样信号,并将所述第一暂存采样信号发送给所述第一累加器。

[0085] 步骤140:第一累加器将所述第一暂存采样信号与所述第二暂存采样信号进行累加,得到第一累加信号。

[0086] 本发明实施例的示波器中的信号处理方法,还包括以下步骤:

[0087] 第三寄存器依次接收所述信号采样模块发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,并将第四暂存采样信号发送给第二累加器,将所述第一暂存采样信号、所述第二暂存采样信号、所述第三暂存采样信号及所述第四暂存采样信号发送给第四寄存器;其中,所述第三暂存采样信号为所述信号采样模块在第三时刻生成的预设位数的所述数字采样信号,所述第四暂存采样信号为所述信号采样模块在第四时刻生成的预设位数的所述数字采样信号。

[0088] 第四寄存器接收所述第三寄存器发送的第一暂存采样信号、第二暂存采样信号、第三暂存采样信号及第四暂存采样信号,将所述第三暂存采样信号发送给所述第二累加器,将所述第一暂存采样信号及第二暂存采样信号发送给所述第一寄存器。

[0089] 所述第二累加器将所述第三暂存采样信号及所述第四暂存采样信号进行累加,得到第二累加信号。

[0090] 所述第三累加器将所述第一累加信号及所述第二累加信号进行累加,得到目标累加信号。

[0091] 其中,本发明实施例的信号处理方法的具体步骤流程与上述方法实施例中的信号处理系统的工作过程相同,此处不再赘述。

[0092] 本发明实施例通过设置级联的寄存器及累加器,能够使得当前时刻的数字采样信号与后面时刻的数字采样信号进行累加,从而实现了放大数字采样信号的效果,最终实现了提高示波器采样数据的精度的有益效果。

[0093] 进一步地,通过设置检测模块及确定模块,使得能够针对不同的采样信号进行灵活调整。

[0094] 在此提供的算法或显示不与任何特定计算机、虚拟系统或者其它设备固有相关。各种通用系统也可以与基于在此的示教一起使用。根据上面的描述,构造这类系统所要求的结构是显而易见的。此外,本发明实施例也不针对任何特定编程语言。应当明白,可以利用各种编程语言实现在此描述的本发明的内容,并且上面对特定语言所做的描述是为了披露本发明的最佳实施方式。

[0095] 在此处所提供的说明书中,说明了大量具体细节。然而,能够理解,本发明的实施例可以在没有这些具体细节的情况下实践。在一些实例中,并未详细示出公知的方法、结构和技术,以便不模糊对本说明书的理解。

[0096] 类似地,应当理解,为了精简本发明并帮助理解各个发明方面中的一个或多个,在上面对本发明的示例性实施例的描述中,本发明实施例的各个特征有时被一起分组到单个实施例、图、或者对其的描述中。然而,并不应将该公开的方法解释成反映如下意图:即所要求保护的本发明要求比在每个权利要求中所明确记载的特征更多的特征。

[0097] 本领域技术人员可以理解,可以对实施例中的设备中的模块进行自适应性地改变并且把它们设置在与该实施例不同的一个或多个设备中。可以把实施例中的模块或单元或组件组合成一个模块或单元或组件,以及可以把它们分成多个子模块或子单元或子组件。除了这样的特征和/或过程或者单元中的至少一些是相互排斥之外,可以采用任何组合对本说明书(包括伴随的权利要求、摘要和附图)中公开的所有特征以及如此公开的任何方法或者设备的所有过程或单元进行组合。除非另外明确陈述,本说明书(包括伴随的权利要求、摘要和附图)中公开的每个特征可以由提供相同、等同或相似目的的替代特征来代替。

[0098] 应该注意的是上述实施例对本发明进行说明而不是对本发明进行限制,并且本领域技术人员在不脱离所附权利要求的范围的情况下可设计出替换实施例。在权利要求中,不应将位于括号之间的任何参考符号构造成对权利要求的限制。单词“包含”不排除存在未列在权利要求中的元件或步骤。位于元件之前的单词“一”或“一个”不排除存在多个这样的元件。本发明可以借助于包括有若干不同元件的硬件以及借助于适当编程的计算机来实现。在列举了若干装置的单元权利要求中,这些装置中的若干个可以是通过同一个硬件项来具体体现。单词第一、第二、以及第三等的使用不表示任何顺序。可将这些单词解释为名称。上述实施例中的步骤,除有特殊说明外,不应理解为对执行顺序的限定。



图1

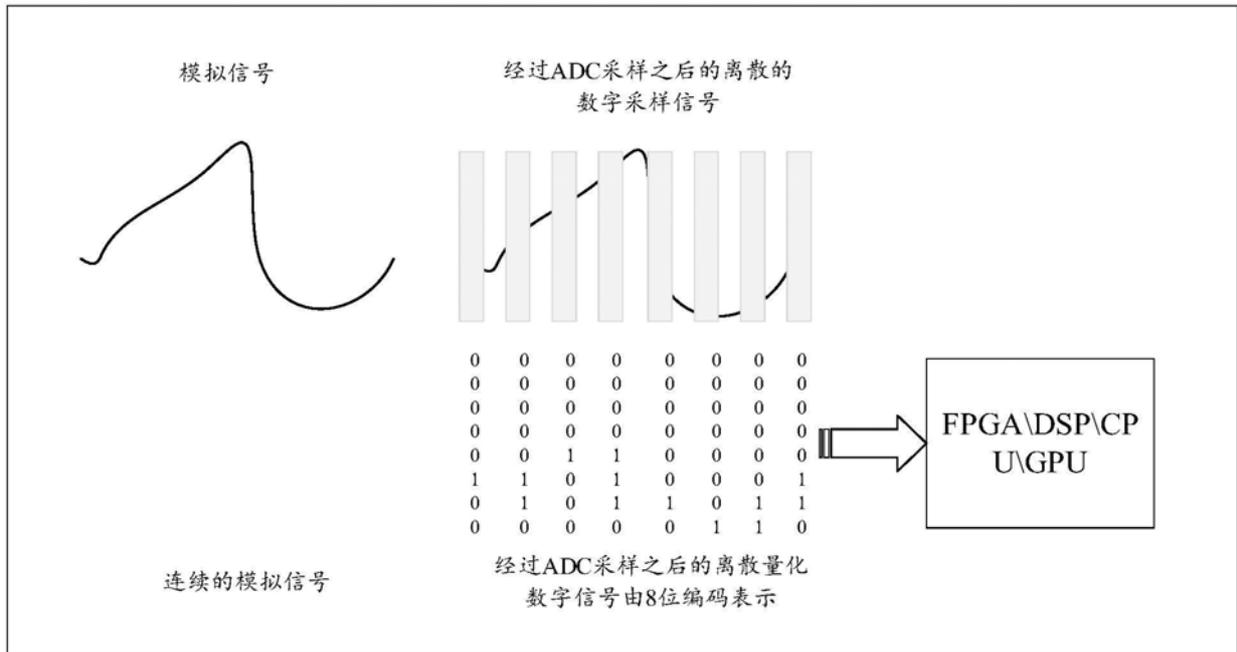


图2

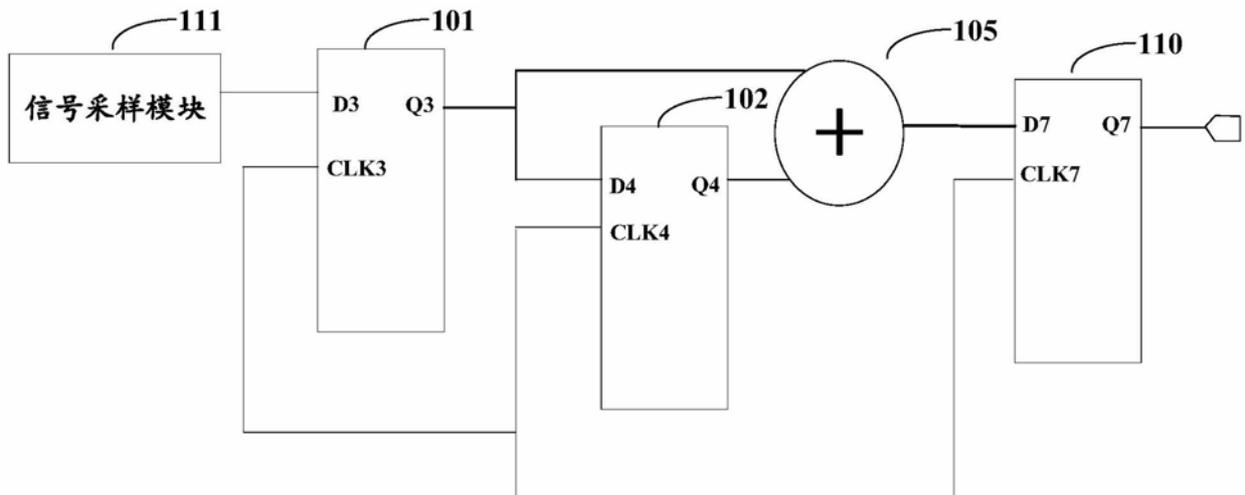


图3

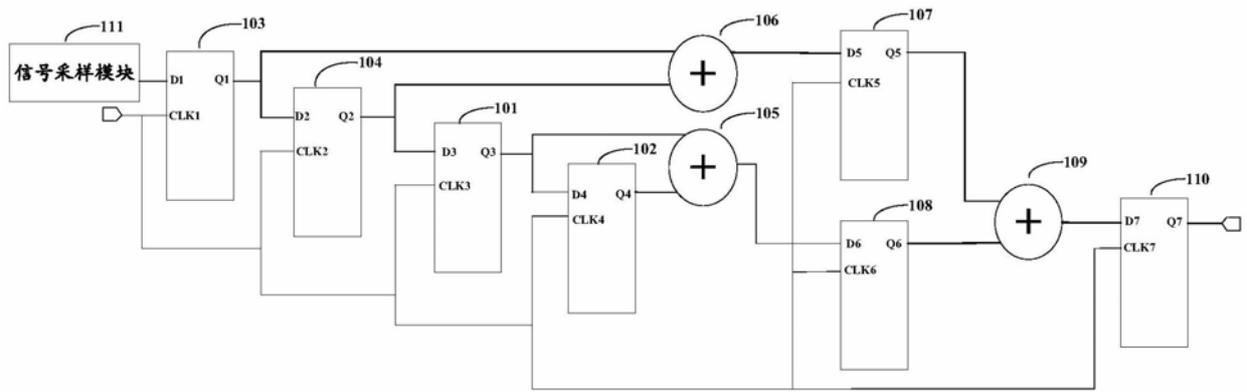


图4

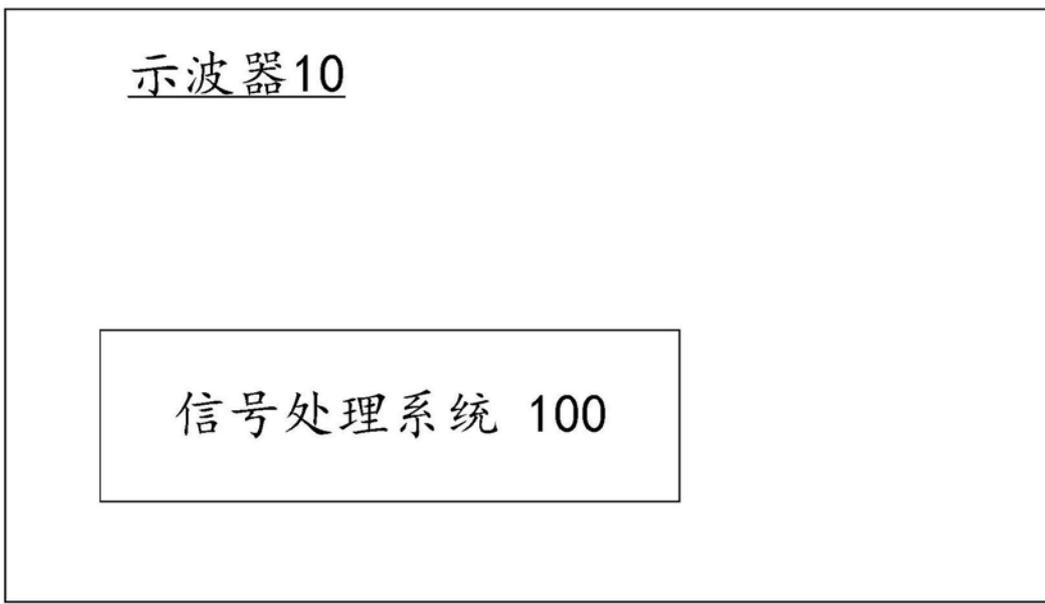


图5

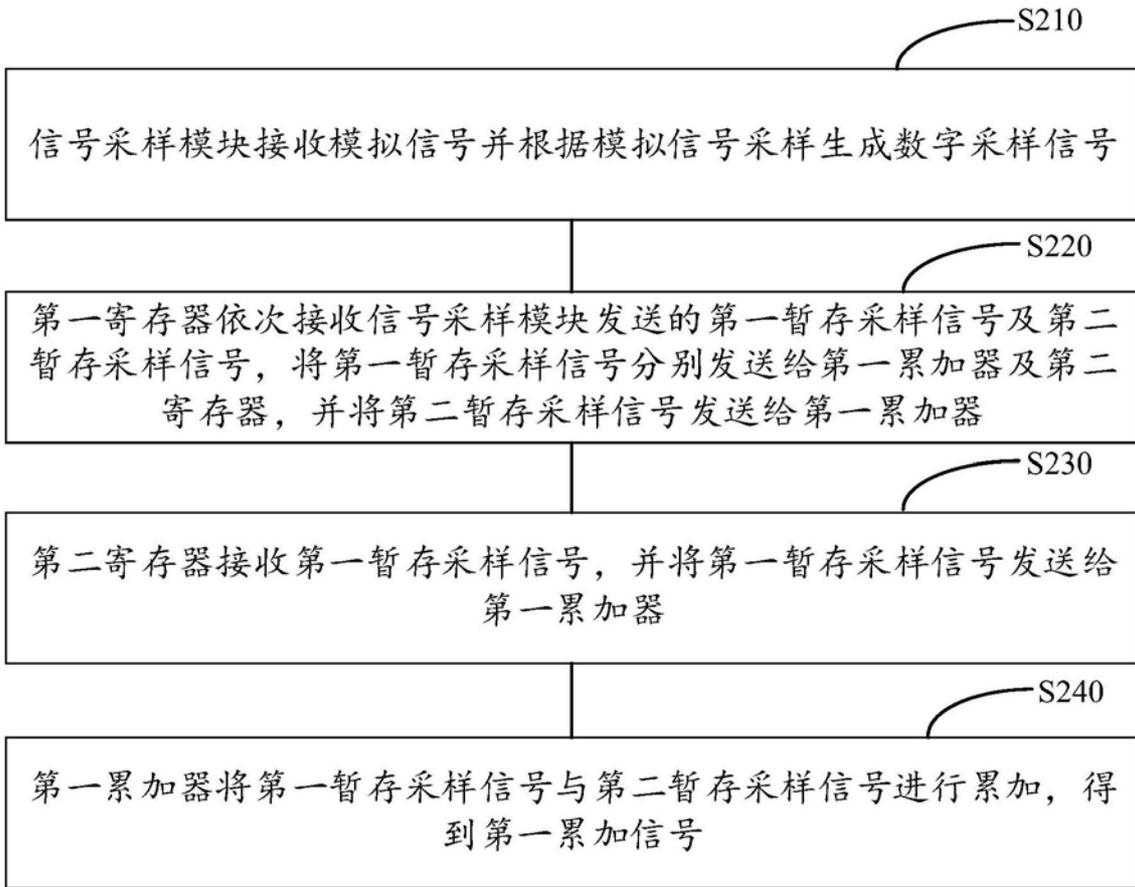


图6