



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월08일
(11) 등록번호 10-2130420
(24) 등록일자 2020년06월30일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 29/417 (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 29/66795 (2013.01)
H01L 29/41791 (2013.01)
(21) 출원번호 10-2017-0158176
(22) 출원일자 2017년11월24일
심사청구일자 2017년11월24일
(65) 공개번호 10-2019-0024523
(43) 공개일자 2019년03월08일
(30) 우선권주장
15/691,852 2017년08월31일 미국(US)
(56) 선행기술조사문헌
KR1020150128532 A*
(뒷면에 계속)

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(72) 발명자
칭 쿠오첵
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
주 시닝
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 10 항

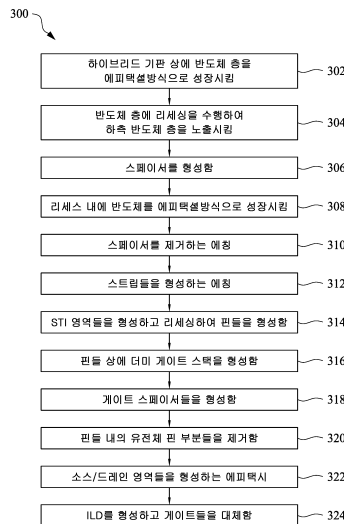
심사관 : 최정민

(54) 발명의 명칭 P형 핀펫 및 N형 핀펫에 대한 향상된 성능을 위한 하이브리드 기법

(57) 요약

본 개시의 방법은, 하이브리드 기판을 에칭하여 하이브리드 기판 내로 연장되는 리세스를 형성하는 단계를 포함한다. 하이브리드 기판은 제1 표면 방위를 갖는 제1 반도체 층, 제1 반도체 층 위의 유전체 층, 및 제1 표면 방위와는 상이한 제2 표면 방위를 갖는 제2 반도체 층을 포함한다. 에칭 후에, 제1 반도체 층의 최상면이 리세스에 노출된다. 리세스의 측벽에 스페이서가 형성된다. 스페이서는 유전체 층의 측벽 및 제2 반도체 층의 측벽과 접촉한다. 에피택시가 수행되어 제1 반도체 층으로부터 에피택시 반도체 영역을 성장시킨다. 스페이서가 제거된다.

대표도 - 도18



(52) CPC특허분류

H01L 29/66348 (2013.01)

H01L 29/6656 (2013.01)

H01L 29/7855 (2013.01)

(72) 발명자

차이 칭웨이

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

첸 관륜

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

왕 치이하오

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

(56) 선행기술조사문헌

US20150340381 A1*

US20160197077 A1*

US20160233242 A1*

JP2009200471 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 디바이스를 형성하는 방법에 있어서,

하이브리드 기판을 제공하는 단계로서, 상기 하이브리드 기판은,

제1 표면 방위(orientation)를 갖는 제1 반도체 층,

상기 제1 반도체 층 위의 유전체 층, 및

상기 제1 표면 방위와는 상이한 제2 표면 방위를 갖는, 상기 유전체 층 위의 제2 반도체 층을 포함하는 것인, 상기 하이브리드 기판을 제공하는 단계;

에피택시를 수행하여 상기 하이브리드 기판의 제2 반도체 층으로부터 제3 반도체 층을 성장시키는 단계;

상기 제3 반도체 층 및 상기 하이브리드 기판을 에칭하여 상기 제3 반도체 층 및 상기 하이브리드 기판 내로 연장되는 리세스를 형성하는 단계로서, 상기 에칭 후에, 상기 제1 반도체 층의 최상면이 상기 리세스에 노출되는 것인, 상기 리세스를 형성하는 단계;

상기 리세스의 측벽에 스페이서를 형성하는 단계로서, 상기 스페이서는 상기 유전체 층의 측벽, 상기 제2 반도체 층의 측벽 및 상기 제3 반도체 층의 측벽과 접촉하는 것인, 상기 스페이서를 형성하는 단계;

에피택시를 수행하여 상기 제1 반도체 층으로부터 에피택시 반도체 영역을 성장시키는 단계로서, 상기 제3 반도체 층의 표면 방위는 상기 에피택시 반도체 영역의 표면 방위와는 상이한 것인, 에피택시 반도체 영역을 성장시키는 단계; 및

상기 스페이서를 제거하는 단계

를 포함하는, 반도체 디바이스 형성 방법.

청구항 2

제1항에 있어서,

상기 스페이서가 제거된 후 제1 패터닝 단계를 수행하는 단계를 더 포함하고, 상기 제3 반도체 층, 상기 제2 반도체 층, 상기 유전체 층, 및 상기 제1 반도체 층이 상기 제1 패터닝 단계에 의해 패터닝되어 제1 반도체 스트립(strip)을 형성하는 것인, 반도체 디바이스 형성 방법.

청구항 3

제2항에 있어서,

상기 제1 패터닝 단계가 수행될 때 제2 패터닝 단계를 동시에 수행하는 단계를 더 포함하고, 상기 에피택시 반도체 영역 및 상기 제1 반도체 층이 패터닝되어 제2 반도체 스트립을 형성하는 것인, 반도체 디바이스 형성 방법.

청구항 4

제2항에 있어서,

상기 제1 패터닝 단계 동안, 상기 제거된 스페이서 바로 아래의 상기 제1 반도체 층의 일부분이 리세스되어 상기 제1 반도체 층의 최상면들로부터 아래로 연장되는 노치를 형성하고, 상기 제1 반도체 층의 최상면들은 상기 노치의 양측으로 연장되는 것인, 반도체 디바이스 형성 방법.

청구항 5

제2항에 있어서,

상기 제1 반도체 스트립의 양측에 격리 영역들을 형성하는 단계;

상기 격리 영역들을 리세싱하여 - 상기 제1 반도체 스트립의 최상부가 상기 격리 영역들의 남아있는 부분들의 최상면들보다 높게 돌출됨 - 핀을 형성하는 단계; 및

상기 핀에 기초하여 핀 전계 효과 트랜지스터(Fin Field-Effect Transistor; FinFET)를 형성하는 단계를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 6

제1항에 있어서, 상기 스페이서를 제거한 후, 갭을 형성하여 상기 에피택시 반도체 영역을 상기 유전체 층 및 상기 제2 반도체 층의 남아있는 부분으로부터 분리하는 것인, 반도체 디바이스 형성 방법.

청구항 7

반도체 디바이스를 형성하는 방법에 있어서,

에피택시를 수행하여 하이브리드 기판으로부터 반도체 층을 성장시키는 단계로서, 상기 하이브리드 기판은 상측 반도체 층, 유전체 층 및 상기 유전체 층 아래의 하측 반도체 층을 포함하고, 상기 하측 반도체 층은 제1 표면 방위를 갖고, 상기 상측 반도체 층은 상기 제1 표면 방위와는 상이한 제2 표면 방위를 갖는 것인, 상기 반도체 층을 성장시키는 단계;

상기 반도체 층 및 상기 하이브리드 기판을 에칭하여 리세스를 형성하는 단계로서, 상기 리세스는 상기 반도체 층, 상기 상측 반도체 층 및 상기 유전체 층을 관통하고, 상기 하측 반도체 층의 최상면이 상기 리세스에 노출되는 것인, 상기 반도체 층 및 상기 하이브리드 기판을 에칭하여 리세스를 형성하는 단계;

상기 리세스의 측벽에 수직 스페이서를 형성하는 단계;

에피택시를 수행하여 상기 하측 반도체 층으로부터 에피택시 반도체 영역을 성장시키는 단계로서, 상기 반도체 층의 표면 방위는 상기 에피택시 반도체 영역의 표면 방위와는 상이한 것인, 상기 에피택시 반도체 영역을 성장시키는 단계;

상기 에피택시 반도체 영역이 상기 반도체 층, 상기 상측 반도체 층 및 상기 유전체 층으로부터 갭에 의해 이격되도록 상기 수직 스페이서를 에칭하는 단계; 및

패터닝 단계를 수행하여 제1 스트립 및 제2 스트립을 형성하는 단계로서, 상기 제1 스트립은 상기 반도체 층의 일부분, 상기 상측 반도체 층의 일부분, 상기 유전체 층의 일부분, 및 상기 하측 반도체 층의 일부분을 포함하고, 상기 제2 스트립은 상기 에피택시 반도체 영역의 일부분을 포함하는 것인, 패터닝 단계를 수행하여 제1 스트립 및 제2 스트립을 형성하는 단계

를 포함하는, 반도체 디바이스 형성 방법.

청구항 8

제7항에 있어서, 상기 수직 스페이서를 에칭한 후에 그리고 상기 패터닝 단계 전에, 상기 반도체 층 및 상기 에피택시 반도체 영역 위에 실리콘 층을 퇴적시키는 단계를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 9

제7항에 있어서, 상기 제1 스트립 및 상기 제2 스트립 각각의 양측에 격리 영역들을 형성하는 단계;

상기 격리 영역들을 리세싱하는 단계로서, 상기 제1 스트립 및 상기 제2 스트립의 최상부들이 상기 격리 영역들의 남아있는 부분들의 최상면들보다 더 높게 돌출되어 제1핀 및 제2핀을 각각 형성하는, 상기 격리 영역들을 리세싱하는 단계를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 10

반도체 디바이스에 있어서,

제1 최상면 방위를 갖는 벌크 반도체 층;

상기 벌크 반도체 층 위에 있고 상기 벌크 반도체 층에 연결되는 제1 반도체 스트립 및 제2 반도체 스트립 - 상

기 제2 반도체 스트립은 상기 벌크 반도체 층으로부터 에피택셜 방식으로 성장되고, 상기 제1 반도체 스트립 및 제2 반도체 스트립은 상이한 최상면 방위들을 가진 - ;

상기 제1 반도체 스트립과 상기 제2 반도체 스트립 사이의 격리 영역 - 상기 격리 영역은 상기 격리 영역의 바닥면들로부터 아래로 돌출되는 돌출부를 포함하고, 상기 바닥면들은 상기 격리 영역의 돌출부의 양측에 있음 - ;

상기 제1 반도체 스트립과 증착되는 제1 소스/드레인 영역 - 상기 제1 소스/드레인 영역은 n형 핀 전계 효과 트랜지스터(FinFET)의 일부분이며, 상기 제1 소스/드레인 영역은 상기 제1 최상면 방위와 상이한 제2 최상면 방위를 가진 - ; 및

상기 제2 반도체 스트립과 증착되는 제2 소스/드레인 영역 - 상기 제2 소스/드레인 영역은 p형 FinFET의 일부분이며, 상기 제2 소스/드레인 영역은 상기 제1 최상면 방위를 가진 -

을 포함하는, 반도체 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 p형 핀셋 및 n형 핀셋에 대한 향상된 성능을 위한 하이브리드 기법에 관한 것이다.

배경 기술

[0002] 집적 회로들의 다운스케일링(down-scaling)이 증가하고 집적 회로들의 속도에 대한 요건들을 점점 더 요구함에 따라, 트랜지스터들은 점점 더 작은 치수들로 더 높은 구동 전류들을 가질 필요가 있다. 핀 전계 효과 트랜지스터(Fin Field-Effect Transistor; FinFET)들이 이에 따라 개발되었다. 종래의 FinFET 형성 프로세스들에서, 반도체 핀들은 실리콘 기판 내에 트렌치들을 형성하고, 트렌치들을 유전체 물질들로 충전하여 얇은 트렌치 격리(Shallow Trench Isolation; STI) 영역들을 형성하고, 이어서 STI 영역들의 최상부들을 리세싱함으로써 형성될 수 있다. 그 위에 FinFET들이 형성되는, STI 영역들의 리세싱된 부분들간의 실리콘 기판 부분들이 이에 따라 반도체 핀들을 형성한다.

도면의 간단한 설명

[0003] 본 개시의 양태는 첨부 도면들과 함께 읽혀질 때 이어지는 상세한 설명으로부터 최상으로 이해된다. 본 산업에서의 표준적인 관행에 따라, 다양한 피처가 축척대로 도시되지 않았음을 유념한다. 실제로, 다양한 피처들의 치수(dimension)들은 논의의 명료함을 위해 임의적으로 증가되거나 또는 감소될 수 있다.

도 1 내지 도 16은 일부 실시예들에 따른, 핀 전계 효과 트랜지스터(FinFET)의 형성에서의 중간 스테이지들의 단면도들 및 사시도들을 예시한다.

도 17a는 일부 실시예들에 따른, 핀 폭들의 함수로서의 전자들의 이동도(mobility)를 예시한다.

도 17b는 일부 실시예들에 따른, 핀 폭들의 함수로서의 정공(hole)들의 이동도를 예시한다.

도 18은 일부 실시예들에 따른, FinFET들을 형성하기 위한 프로세스 흐름을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0004] 이어지는 개시는 본 발명의 상이한 피처들을 구현하기 위한 다수의 상이한 실시예들 또는 예시들을 제공한다. 본 개시를 단순화하기 위해 컴포넌트 및 배열의 특정 예시가 아래에서 설명된다. 물론, 이것들은 단지 예시들에 불과하며, 한정적인 것으로 의도된 것은 아니다. 예를 들어, 이어지는 설명에서 제 2 피처 위의 또는 제 2 피처 상의 제 1 피처의 형성은 제 1 피처 및 제 2 피처가 직접적으로 접촉하여 형성되는 실시예를 포함할 수 있으며, 또한 제 1 피처 및 제 2 피처가 직접적으로 접촉하지 않을 수 있도록 추가적인 피처가 제 1 피처와 제 2 피처 사이에 형성될 수 있는 실시예를 포함할 수 있다. 또한, 본 개시는 다양한 예시에서 참조 부호 및/또는 문자를 반복할 수 있다. 이러한 반복은 간략화 및 명료화의 목적을 위한 것이며, 그 자체가 논의되는 다양한 실시예 및/또는 구성 사이의 관계에 영향을 주는 것은 아니다.

[0005] 또한, "밑", "아래", "보다 아래", "위", "보다 위" 등과 같은 공간 상대적 용어는, 도면에 예시된 바와 같이,

다른 엘리먼트(들) 또는 피처(들)에 대한 하나의 엘리먼트 또는 피처의 관계를 설명하도록 설명의 용이성을 위해 본원에서 사용될 수 있다. 공간 상대적 용어는 도면에 도시된 배향에 더하여, 사용 중이거나 또는 동작 중인 디바이스의 상이한 배향을 망라하도록 의도된 것이다. 장치는 이와 다르게 배향(90° 또는 다른 배향으로 회전)될 수 있으며, 본원에서 사용되는 공간 상대적 기술어가 그에 따라 유사하게 해석될 수 있다.

- [0006] 다양한 예시적인 실시예들에 따른, 하이브리드 기판 상에 핀 전계 효과 트랜지스터(FinFET)들을 형성하는 방법 및 결과적인 구조물들이 제공된다. 하이브리드 기판 및 FinFET들을 형성하는 중간 스테이지들이 일부 실시예들에 따라 예시된다. 일부 실시예들의 일부 변형예들이 논의된다. 다양한 도면들과 예시적인 실시예들 전반에 걸쳐, 동일한 엘리먼트들을 지정하기 위해 동일한 참조 번호들이 사용된다.
- [0007] 도 1 내지 도 16은 본 개시의 일부 실시예들에 따른 하이브리드 기판 및 FinFET들의 형성에서의 중간 스테이지들의 단면도들 및 사시도들을 예시한다. 도 1 내지 도 16에 도시된 단계들은 도 18에 도시된 프로세스 흐름(300)에 개략적으로 또한 반영된다.
- [0008] 도 1을 참조하면, 하이브리드 기판(20)이 제공된다. 하이브리드 기판(20)은 결정질(crystalline) 실리콘 층(22), 실리콘 층(22) 위의 유전체 층(24), 및 유전체 층(24) 위의 결정질 실리콘 층(26)을 포함한다. 유전체 층(24)은 실리콘 산화물, 또는 실리콘 질화물, 실리콘 탄화물 등과 같은 다른 유전체 물질들로 형성될 수 있다. 유전체 층(24)의 두께는 약 5nm 내지 약 15nm의 범위일 수 있고, 상이한 두께가 채용될 수 있다. 당업자는 본 설명에 걸쳐 인용되는 치수들이 단지 예시들일 뿐이며, 상이한 값들로 변경될 수 있다는 것을 자각할 것이다. 실리콘 층(26)은 유전체 층(24)에 분당된다. 하이브리드 기판(20)은 n형 디바이스 영역(100) 내의 제1 부분 및 p형 디바이스 영역(200) 내의 제2 부분을 포함한다.
- [0009] 실리콘 층(22)은, 실리콘 층(22)의 최상면이 실리콘의 (100) 평면에 있는 (100) 표면 방위(orientation)를 갖는 (100) 기판이다. 일부 실시예들에 따르면, 실리콘 기판(26)은, 실리콘 층의 최상면이 실리콘의 (110) 평면에 있는 (110) 표면 방위를 갖는 (110) 기판이다. 본 개시의 대안적인 실시예들에 따르면, 실리콘 기판(26)은, (100) 기판을 커팅하고 유전체 층(24)에 분당하기 전에 45도만큼 회전시킴으로써 형성되는 (100) R45 층이다. 그 결과, (100) R45 층의 최상면은 (100) R45 표면 방위를 갖고, 결과적인 핀들(도 7b를 참조하여 논의됨)의 측면들이 또한 실리콘의 (100) 평면에 있다.
- [0010] 도 2를 참조하면, 에피택시가 수행되어 실리콘 층(26) 상에 실리콘 층(28)을 성장시킨다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(302)로서 도시된다. 실리콘 층(26)의 방위에 따라서, 실리콘 층(28)은 최상면이 실리콘의 (110) 평면에 있는 (110) 층일 수 있거나, 또는 (100) R45 층일 수 있다. 실리콘 층(28)은 게르마늄이 없는 것일 수 있다. 또한, 실리콘 층(28)은 에피택시에서 p형 및 n형 불순물이 도핑되지 않은 고유의 것일 수 있다. 대안적인 실시예들에 따르면, 실리콘 층(28)은 에피택시 동안 p형 불순물로 인시츄(in-situ) 도핑된다. 실리콘 층(28)의 두께는 결과적인 FinFET들의 핀 높이에 가까울 수 있다.
- [0011] 도 3은 p형 디바이스 영역(200)에서의 실리콘 층(28) 및 하이브리드 기판(20)의 리세싱을 예시하고, n형 영역(100)에서는 리세싱이 수행되지 않는다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(304)로서 도시된다. 이에 따라 리세스(35)가 형성된다. 본 개시의 일부 실시예들에 따르면, 리세싱을 수행하기 위해, 예를 들면 열산화 또는 퇴적을 통해 블랭킷(blanket) 평면 층으로서 캡핑 층(30)이 먼저 형성된다. 캡핑 층(30)은 실리콘 산화물, 또는 실리콘 질화물, 실리콘 탄화물 또는 실리콘 산화질화물과 같은 다른 유전체 물질들로 형성될 수 있다. 그 다음에 리세싱이 수행된다. 리세싱 동안, 캡핑 층(30), 실리콘 층(28) 및 실리콘 층(26)이 판통 에칭(etch-through)되어, 하부의 유전체 층(24)의 최상면을 노출시키며, 그 다음에 유전체 층(24)의 최상면이 에칭된다. 이에 따라 (100) 표면 평면을 갖는 실리콘 층(22)이 노출된다.
- [0012] 다음에, 스페이서 층이 퇴적되고, 이어서 이방성 에칭에 의해 스페이서 층의 수평 부분들을 제거하여, 스페이서(32)가 형성된다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(306)로서 도시된다. 스페이서 층은 캡핑 층(30)의 물질과는 상이한 물질로 형성된다. 본 개시의 일부 실시예들에 따르면, 스페이서(32)는 알루미늄 산화물(Al₂O₃), 실리콘 질화물 등과 같은 유전체 물질로 형성된다. 캡핑 층(30)을 형성하는 물질과 스페이서(32)를 형성하는 물질이 상이하기 때문에, 캡핑 층(30)은 스페이서(32)를 형성한 후에도 남아있다. 따라서, 실리콘 층들(26, 28)의 측면들과 최상면이 둘 다 마스크된다.
- [0013] 도 4는 반도체 층(34)의 선택적 에피택시를 예시한다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(308)로서 도시된다. 본 개시의 일부 실시예들에 따르면, 반도체 층(34)은 실리콘 게르마늄과 같은 고이동도 반도체 물질, 게르마늄(실리콘이 없는 것), GaAs, InP, GaN, InGaAs, InAlAs, GaSb, AlSb, AlAs, AlP, GaP 및 이

들의 조합들과 같은 III-V족 화합물 반도체, 또는 이들의 다중층들로 형성된다. 선택적 에피택시에서, HCl과 같은 에칭 가스가 프로세스 가스들 내에 추가되어, 반도체 층(34)이 실리콘 층(22)의 최상면으로부터 성장되고 캡핑 층(30) 및 스페이서(32)와 같은 유전체 물질로부터는 성장되지 않는다. 스페이서(32)가 실리콘 층들(26, 28)의 측면들을 마스크하여, 단일 표면(실리콘 층(22)의 최상면)으로부터 에피택시가 달성되며, 이로써 상이한 표면들로부터의 성장에 의해 야기되는 결함들이 방지된다. 반도체 층(34)이 실리콘 층(22)으로부터 에피택셜 방식으로 성장되기 때문에, 반도체 층(34)은 실리콘 층(22)과 동일한 표면 방위를 갖고, (100) 표면 방위를 갖는다.

[0014] 반도체 층(34)의 선택적 에피택시 후에, 화학적 기계적 폴리싱(Chemical Mechanical Polish; CMP) 또는 기계적 그라인딩과 같은 평탄화 단계가 수행되어 반도체 층(34)의 최상면을 평탄하게 한다. 본 개시의 일부 실시예들에 따르면, 평탄화는 실리콘 층(28)을 저지층(stop layer)으로 사용하여 수행된다. 본 개시의 다른 실시예들에 따르면, 평탄화는 캡핑 층(30)을 저지층으로 사용하여 수행되고, 캡핑 층(30)을 제거하기 위한 에칭 처리가 이어진다.

[0015] 평탄화 후에, 도 4에 도시된 스페이서(32)가 제거되고, 그 결과적인 구조물이 도 5a 및 도 5b에 도시된다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(310)로서 도시된다. 도 5a는 구조물의 사시도이고, 도 5b는 구조물의 단면도이다. 도 5a 및 도 5b 둘 다에 도시된 바와 같이, 스페이서 층(32)의 제거로 인해 리세스(갭)(36)가 생성되고, 리세스(36)는 반도체 층들(26, 28)을 반도체 층(34)으로부터 분리한다. 본 개시의 일부 실시예들에 따르면, 스페이서(32)는 습식 에칭 프로세스에 의해 제거된다. 예를 들면, 스페이서(32)가 실리콘 질화물로 형성되었을 때, 에칭은 인산을 이용하여 수행될 수 있다.

[0016] 도 6을 참조하면, 보호층(38)이 형성된다. 본 개시의 일부 실시예들에 따르면, 보호층(38)은 실리콘으로 형성되고, 도 5a에 도시된 구조물의 최상면 상에 퇴적된다. 또한, 보호층(38)은 게르마늄이 없다. 퇴적은 에피택시 프로세스에 의해 달성될 수 있어서, 실리콘 층은 결정질 층이다. 본 개시의 대안적인 실시예들에 따르면, 실리콘 층(38)은 폴리실리콘 층이다. 보호층(38)은 리세스(36) 위를 가로지르는 다리를 형성하는 한편, 보호층(38)의 일부 퇴적된 물질이 리세스(36) 내로 떨어질 수 있다.

[0017] 도 6, 도 7a 및 도 7b에 도시된 바와 같은 다음 단계들은 반도체 스트립들의 형성을 예시한다. 스트립들은 임의의 적절한 방법에 의해 패터닝될 수 있다. 예를 들면, 스트립들은 이중 패터닝 또는 다중 패터닝 프로세스를 포함하여, 하나 이상의 포토리소그래피 프로세스를 사용하여 패터닝될 수 있다. 일반적으로, 이중 패터닝 또는 다중 패터닝 프로세스들은 포토리소그래피와 자기 정렬(self-aligned) 프로세스들을 결합한 것이고, 예를 들면 단일의, 직접 포토리소그래피 프로세스를 사용하여 다르게 획득가능한 피치들보다 작은 피치들을 갖는 패턴들이 생성될 수 있게 한다. 예를 들면, 일 실시예에서, 기판 위에 희생층이 형성되고, 포토리소그래피 프로세스를 사용하여 패터닝된다. 자기 정렬 프로세스를 사용하여, 패터닝된 희생층과 나란히 스페이서들이 형성된다. 그 다음에 희생층이 제거되고, 남아있는 스페이서들 또는 맨드렐(mandrel)들이 그 다음에 스트립들을 패터닝하는데 사용될 수 있다.

[0018] 도 6에 도시된 바와 같은 일부 예시적인 실시예들에 따르면, 보호층(38) 위에 마스크 층(들)이 퇴적되고 그 다음에 패터닝되어 반도체 스트립들을 형성하기 위한 에칭 마스크로서 사용되는 마스크들(40)을 형성한다. 본 개시의 일부 실시예들에 따르면, 마스크들(40)은 상이한 물질들로 형성된 복수의 층들을 포함한다. 예를 들면, 마스크들(40)은 실리콘 산화물로 형성된 층들(40A), 및 각각의 층들(40A) 위의 층들(40B)을 포함할 수 있고, 층들(40B)은 실리콘 질화물로 형성된다. 마스크(40)의 형성시, 보호층(38)은 예를 들면 마스크 층들의 퇴적시에 채용되는 상승된 온도로 인해 하부의 반도체 층(34)이 산화되는 것으로부터 보호한다. 실리콘 게르마늄은 산화되기 쉽고, 또한 실리콘의 산화율보다 훨씬 더 높은 산화율을 갖는다. 따라서, 보호층(38)을 형성함으로써, 반도체 층(34)이 원치않는 산화로부터 보호된다.

[0019] 도 7a 및 도 7b를 참조하면, 에칭 프로세스가 수행되어 기판 및 반도체 층들을 에칭하여, n형 디바이스 영역(100) 및 p형 디바이스 영역(200) 내에 스트립들(142 및 242)이 각각 형성된다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(312)로서 도시된다. 리세스(44)가 형성되어 스트립들(142 및 242)을 분리한다. 스트립들(142)은 부분들(122, 124, 및 127)을 포함한다. 스트립 부분들(122)은 패터닝된 실리콘 층(22)의 남아있는 부분들이다. 스트립 부분들(124)은 유전체 층(24)(도 6)의 남아있는 부분들이다. 스트립 부분들(127)은 실리콘 층들(26, 28)(도 6)의 남아있는 부분들이다. 본 개시의 일부 실시예들에 따르면, 실리콘 층들(26, 28)(도 6)은 (110) 최상면 방위를 갖는다. 따라서, 스트립 부분들(127)이 또한 (110) 최상면 방위를 갖는다. 본 개시의 일부 실시예들에 따르면, 실리콘 층들(26, 28)은 (100) R45 층들이다. 따라서, 스트립들(142)의 최상면과 측면들 둘

다는 (100) 표면 방위들을 갖는다. 스트립들(242)은 부분들(222 및 234)을 포함한다. 스트립 부분들(222)은 패터닝된 실리콘 층(22)의 남아있는 부분들이다. 스트립 부분들(234)은 반도체 층(34)(도 6)의 남아있는 부분들이다. 따라서, 스트립 부분들(234)이 또한 (100) 최상면 방위들을 갖는다.

[0020] 도 7a는 스트립 형성 후의 구조물의 사시도를 예시한다. 도 7b는 도 7a에 도시된 구조물의 단면도를 예시한다. 도 7b에서, 스트립 부분들(127)의 예시된 최상면은 (100) 표면 평면 또는 (110) 표면 평면에 있을 수 있고, 스트립 부분들(127)의 좌측벽 및 우측벽은 (100) 표면 평면에 있다. 스트립 부분들(234)의 예시된 최상면은 (100) 표면 평면에 있을 수 있고, 스트립 부분들(234)의 좌측벽 표면 및 우측벽 표면은 (110) 평면에 있을 수 있다.

[0021] 또한 도 7a 및 도 7b에 도시된 바와 같이, 스트립들(142 및 242)을 형성하기 위한 패터닝에서, 리세스(36)(도 6) 바로 아래에 있는 실리콘 층(22)의 부분들이 또한 에칭되고, 이에 따라 실리콘 층(22) 내로 연장되는 노치(46)가 형성된다. 깊고 좁은 리세스(36)를 통한 실리콘 층(22)의 에칭이 느리기 때문에, 노치는 반도체 층(34)(도 6)의 두께보다 작은 깊이(D1)를 갖는다. 일부 실시예들에 따르면, 깊이(D1)(도 7b)는 약 5nm 내지 약 40nm 사이의 범위 내에 있다. 노치(46)의 최상부 폭(W1)은 약 3nm 내지 약 10nm 사이의 범위 내에 있을 수 있다. 스트립들(142 및 242)의 폭(W2)은 약 4nm 내지 약 6nm 사이의 범위 내에 있을 수 있다. 도 7a 및 도 7b의 상면도에서 보면, 노치(46) 및 스트립들(142 및 242)은 모두 서로 평행한 길이 방향들을 갖는 세장형(elongated) 스트립들이다.

[0022] 노치(46)는 약 0.5보다 큰 애스펙트비(aspect ratio)를 가질 수 있고, 애스펙트비는 일부 실시예에 따라 약 0.5 내지 약 5.0 사이의 범위 내에 있을 수 있다. 애스펙트비는, 예를 들면 리세스(36)의 깊이 및 폭에 의해 영향을 받는다. 도 7a 및 도 7b에서 노치(46)가 스트레이트형 측벽들 및 평탄한 바닥부를 갖는 것으로 예시하고 있지만, 노치(46)의 측벽들과 바닥부가 라운드형일 수 있다는 점이 이해되어야 한다. 예를 들면, 노치(46)의 측벽들은 연속적으로 커브형일 수 있고, 커브형 바닥부에 연결된다. 노치(46)의 측벽들은 또한 커브형 바닥부에 연결되는 실질적으로 스트레이트형일 수 있다. 노치(46)는 또한 페이스팅(faceting)될 수 있고, 스트레이트형 에지들 및 평탄한 바닥면을 갖는 U자형 단면을 가질 수 있다. 노치(46)는 또한 V자형 단면을 갖도록 페이스팅될 수 있다. 다른 형상들이 또한 고려된다.

[0023] 도 4 내지 도 7a 및 도 7b에 도시된 바와 같이, 보호층 및 마스크들의 형성 전에 스페이서(32)(도 4)가 제거되지 않으면, 도 7a 및 도 7b에 도시된 바와 같은 패터닝 단계에서 스페이서(32)가 남아있을 것이고 또한 실리콘 층(22)의 아래 부분을 보호하여, 스페이서(32) 및 실리콘 층(22)의 아래 부분을 포함하는 좁고 높은 스트립이 형성될 것이다. 이 스트립은 얇은 트렌치 격리(STI) 영역들(50)(도 9)의 형성과 같은 후속 프로세스에서 붕괴될 수 있고, 이에 따라 결함들을 야기한다. 본 개시의 일부 실시예들에 따르면, 스페이서의 제거가 결함들의 발생을 방지한다. 결과적으로, n형 디바이스 영역(100)과 p형 디바이스 영역(200) 사이의 계면 영역에 노치(46)가 형성된다. 본 개시의 일부 실시예들에 따르면, 노치(46)는 스트립들(142 및 242)의 중간에 있고, 예를 들어 거리들(S1 및 S2)은 거리(S1)와 거리(S2)의 약 20%보다 작거나 또는 약 10%보다 작은 차이를 갖는다. 노치(46)가 스트립들(142 및 242)의 중간에 있음으로써, 거리들(S1 및 S2) 모두는 최소로 유지될 수 있으면서 p형 FinFET과 n형 FinFET 사이에 적절한 간격을 여전히 남기고, 따라서 결과적인 FinFET들의 밀도가 최대화될 수 있다.

[0024] 도 8은 스트립 부분들(234)의 측벽들을 마스크하여 산화로부터 보호하기 위해 사용되는 제1 라이너(48)의 형성을 예시한다. 본 개시의 일부 실시예들에 따르면, 라이너(48)는 실리콘으로 형성되고, 게르마늄이 없거나 실질적으로 없다(예를 들어, 만일 있다면 게르마늄 원자 백분율로 약 5% 미만). 또한, 라이너(48)는 산소 및 질소가 없을 수 있고, 따라서 실리콘 산화물 및 실리콘 질화물을 포함하지 않는다. 라이너(48)의 형성은 원자 층 증착(Atomic Layer Deposition; ALD) 또는 화학적 기상 증착(Chemical Vapor Deposition; CVD)과 같은 공형(conformal) 증착법을 사용하여 수행될 수 있다. 라이너(48)는 따라서 리세스(44) 및 노치(46) 내로 연장된다. 또한, 라이너(48)는 노치(46)를 부분적으로 충전하고, 충전되지 않은 노치(46)의 일부분을 남긴다.

[0025] 도 9는 유전체 라이너들(52), 및 유전체 라이너들(52) 위의 유전체 영역들(54)을 포함하는 STI 영역들(50)의 형성을 예시한다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(314)로서 도시된다. 본 개시의 일부 실시예들에 따르면, 도 8에 도시된 구조물의 노출된 표면들 상에 공형 유전체 라이너(52)를 퇴적시키기 위해 공형 증착법이 사용된다. 예를 들면, 유전체 라이너(52)는 ALD 또는 CVD를 사용하여 형성될 수 있다. 다음에, 리세스(44)(도 8)의 나머지 부분들이 유전체 물질(54)로 충전된다. 유전체 물질(54)은 유동가능 화학적 기상 증착(Flowable Chemical Vapor Deposition; FCVD), 스핀 온 코팅(spin-on coating) 등을 사용하여 형성될 수 있다. FCVD가 사용되는 일부 실시예에 따르면, 실리콘 및 질소 함유 프리커서(예를 들면, 트리실릴아민(trisilylamine; TSA) 또는 디실릴아민(disilylamine; DSA))가 사용되고, 따라서 결과적인 유전체 물질은 (젤

리처럼) 유동가능하다. 본 개시의 대안적인 실시예에 따르면, 유동가능 유전체 물질은 알킬아미노 실란계 프리커서를 사용하여 형성된다. 퇴적 동안, 플라즈마가 턴온되어 유동가능 산화물을 형성하기 위한 기체 프리커서들을 활성화한다.

[0026] 유전체 라이너들(52) 및 유전체 영역들(54)의 형성시, 형성 프로세스의 온도가 상승될 수 있고, 이는 스트립 부분들(234)이 노출되면 스트립 부분들(234)의 산화를 야기할 가능성이 높다. 라이너(48)(도 8)는 따라서 스트립 부분들(234)을 산화로부터 보호한다. 그 결과, 라이너(48)(또는 스트립 부분들(124, 127, 및 234)과 접촉하는 라이너(48)의 적어도 일부분)는 유전체 라이너들(52) 및 유전체 영역들(54)의 형성 동안 산화될 수 있고, 따라서 실리콘 산화물층으로 변환된다.

[0027] 다음에, 유전체 영역들(54) 및 유전체 라이너들(52) 상에 CMP 또는 기계적 그라인딩과 같은 평탄화가 수행된다. 평탄화는 마스크들(40)(도 8)을 지지층으로 사용하여 수행될 수 있다. 다음에, 마스크들(40)이 제거되고, 이어서 유전체 영역들(54) 및 유전체 라이너들(52)을 리세싱한다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(314)로서 또한 도시된다. 결과적인 구조물이 도 9에 도시된다. 유전체 영역들(54) 및 유전체 라이너들(52)의 남아있는 부분들이 STI 영역들(50)로 지칭된다. 본 개시의 일부 실시예들에 따르면, 리세싱은 리세싱된 STI 영역들(50)의 최상면이 유전체 스트립 부분들(124)의 최상면들보다 더 낮은 곳에 있을 때까지 수행되어, 유전체 스트립 부분들(124)의 측면들은 적어도 일부가 노출된다. 본 개시의 다른 실시예에 따르면, 리세싱된 STI 영역들(50)은 그 최상면이 유전체 스트립 부분들(124)의 바닥면들과 동일한 높이에 있거나 더 높은 높이에 있거나 더 낮은 높이에 있다. 설명 전반에 걸쳐, STI 영역들(50)의 최상면들보다 더 높은 스트립들(142 및 242)의 부분들이 핀들(또는 돌출 핀들)(156 및 256)로 칭해진다. 노치(46)(도 8)는 하향 돌출부(50')로 충전되고, 이는 STI 영역들(50) 중 하나의 STI 영역(50)의 일부이다.

[0028] 도 10을 참조하면, (돌출) 핀들(156 및 256)의 최상면들 및 측면들 상에 더미 게이트 스택(58)이 형성된다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(316)로서 도시된다. 명확성을 위해 하나의 더미 게이트 스택(58)이 예시되었지만, 서로 평행한 복수의 더미 게이트 스택들이 형성될 수 있고, 복수의 더미 게이트 스택들은 동일한 반도체 핀들(156 및 256)을 가로지른다. 더미 게이트 스택(58)은 더미 게이트 유전체(60), 및 더미 게이트 유전체(60) 위의 더미 게이트 전극(62)을 포함할 수 있다. 더미 게이트 전극(62)은, 예를 들면 폴리실리콘을 사용하여 형성될 수 있고, 다른 물질들이 또한 사용될 수 있다. 더미 게이트 스택(58)은 더미 게이트 전극(62) 위에 하나의(또는 복수의) 하드 마스크 층(64)을 또한 포함할 수 있다. 하드 마스크 층(64)은 실리콘 질화물, 실리콘 탄소질화물(carbo-nitride) 등으로 형성될 수 있다. 더미 게이트 스택(58)은 단일 돌출 핀 또는 복수의 돌출 핀들(156 및 256) 및/또는 STI 영역들(50)을 가로지를 수 있다. 더미 게이트 스택(58)은 또한 돌출 핀들(156 및 256)의 길이 방향에 수직인 길이 방향을 갖는다.

[0029] 다음에, 도 11을 참조하면, 스페이서 층(66)이 퇴적된다. 본 개시의 일부 실시예들에 따르면, 스페이서 층(66)은 실리콘 질화물, 실리콘 탄소질화물(silicon carbon-oxyitride; SiCN) 등과 같은 유전체 물질로 형성되고, 단층 구조물, 또는 복수의 유전체 층들을 포함하는 다층 구조물을 가질 수 있다. 그 형성은 ALD 또는 CVD와 같은 공형 증착법을 통해 수행될 수 있다.

[0030] 도 12는 스페이서 층(66)을 에칭하여 더미 게이트 스택(58)의 측면들 상에 게이트 스페이서(68)의 형성을 초래한 것을 도시한다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(318)로서 도시된다. 에칭은 이방성으로 수행되어, 돌출 핀들(156 및 256) 위의 스페이서 층의 부분들이 제거된다. 게이트 스페이서들(68)을 형성하기 위한 에칭 후에, 유전체 스트립 부분들(124)(도 11)의 일부 측면들이 노출된다. 본 개시의 일부 실시예들에 따르면, 이방성 에칭이 수행되어 유전체 스트립 부분들(124)을 에칭하는 한편, 돌출 핀들(156 및 256)의 반도체 부분들 및 스페이서들(68)은 에칭되지 않는다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(320)로서 도시된다. 본 개시의 일부 실시예들에 따르면, 유전체 스트립 부분들(124)의 에칭은 습식 에칭을 통해 수행된다. 예를 들면, 유전체 스트립 부분들(124)이 실리콘 산화물로 형성되었을 때 HF 용액이 에천트로서 사용될 수 있다. 유전체 스트립 부분들(124)의 에칭 후에, 갭들(70)이 형성되어 스트립 부분들(127)을 하부 스트립 부분들(122)로부터 분리한다. 본 개시의 대안적인 실시예들에 따르면, 게이트 스페이서들(68)의 형성 후에, 유전체 스트립 부분들(124)의 적어도 일부가 남아서 핀 부분들(127)을 스트립 부분들(122)으로부터 분리한다.

[0031] 유전체 스트립 부분들(124)의 에칭 후에, 더미 게이트 스택(58)의 바로 아래에 유전체 스트립 부분들(124)의 일부가 여전히 남아있다. 유전체 스트립 부분들(124)의 이들 부분들은 제거되지 않고, 상부 스트립 부분들(127)(이하, 반도체 핀(127)으로 지칭됨)을 지지하도록 기능한다. 따라서, 더미 게이트 스택(58)의 바로 아래에 있지 않는 핀 부분들(127)의 부분들은 갭들(70) 위에 떠있다. 스트립 부분들(122)의 최상면도 또한 갭들(70)에 노출

된다.

- [0032] 다음에, 돌출 핀들(156 및 256) 상에 각각 반도체 물질들을 선택적으로 성장시킴으로써 에피택시 영역들(172 및 272)이 형성되어, 도 13a 및 도 13b에 도시된 구조물을 초래한다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(322)로서 도시된다. 에피택시 영역들(172 및 272)은, 에피택시 영역들(172 및 272) 중 하나의 에피택시 영역 상에 마스크 층(도시 생략됨)을 형성하여, 에피택시 영역들(172 및 272) 중 다른 하나의 에피택시 영역 상에 에피택시 영역들이 형성될 수 있는 단계를 각각 포함하는 상이한 에피택시 프로세스들에서 에피택시 방식으로 성장된다. 결과적인 FinFET이 p형 FinFET인지 또는 n형 FinFET인지의 여부에 따라서, p형 불순물 또는 n형 불순물이 에피택시 과정에서 인시츄 도핑될 수 있다. 예를 들면, 에피택시 영역들(172)은 실리콘 인(silicon phosphorous; SiP) 또는 실리콘 탄소 인(silicon carbon phosphorous; SiCP)으로 형성될 수 있고, 에피택시 영역들(272)은 실리콘 게르마늄 붕소(silicon germanium boron; SiGeB)로 형성될 수 있다.
- [0033] 에피택시 단계 후에, 에피택시 영역들(172) 및 스트립 부분들(127)은 또한 n형 불순물이 주입되어 n형 FinFET용 소스 및 드레인 영역들(174)을 형성할 수 있다. 또한, 에피택시 영역들(272) 및 스트립 부분들(234)은 또한 p형 불순물이 주입되어 p형 FinFET용 소스 및 드레인 영역들(274)을 형성할 수 있다. 본 개시의 대안적인 실시예에 따르면, 이 주입 단계는, 에피택시 영역들(172 및 272)이 에피택시 동안 p형 또는 n형 불순물로 인시츄 도핑되었을 때 생략된다.
- [0034] 도 12에 도시된 바와 같은 갭들(70)로 인해, 에피택시 동안, 스트립 부분들(122)의 최상면 및 스트립 부분들(127)의 표면들 둘 다로부터 동시에 반도체 물질이 성장된다. 스트립 부분들(122)의 최상면으로부터 성장된 반도체 물질의 부분들은 에피택시 영역들(172A)로서 표시된다. 스트립 부분들(127)로부터 성장된 반도체 물질의 부분들은 에피택시 영역들(172B)로서 표시되고, 이 영역들은 단면도에서 대응하는 스트립 부분들(127)을 둘러싼다.
- [0035] 에피택시 영역들(172A 및 172B)은 동일한 조성을 갖고, 이는 에피택시 영역들(172A 및 172B)이 실리콘, SiP 또는 SiCP 등과 같은 동일한 반도체 물질로 형성되고 에피택시 영역들(172A 및 172B) 내의 대응하는 요소들의 원자비 및 중량비가 서로 동일하다는 것을 의미한다. 에피택시 영역들(172A 및 172B)은 또한 스트립 부분들(127)의 격자 상수보다 작은 격자 상수를 갖는 다른 반도체 물질로 형성될 수 있어서, 에피택시 영역들(172A 및 172B)에 의해 인장 응력(tensile stress)이 인가될 수 있다. 예를 들면, 스트립 부분들(127)의 격자 상수보다 작은 격자 상수를 갖는 III-V족 화합물 반도체 물질이 사용될 수 있다. 반면에, 스트립 부분들(122 및 127)은 상이한 표면 구조들을 가질 수 있다. 예를 들면, 스트립 부분들(122)은 (100) 최상면 방위를 가질 수 있는 반면, 스트립 부분들(127)은 (110) 또는 (100) R45 최상면 방위를 가질 수 있다. 따라서 에피택시 영역들(172A 및 172B)은 상이한 표면 구조들을 갖고, 에피택시 영역들(172A)은 스트립 부분들(122)의 표면 구조와 동일한 표면 구조를 갖고 에피택시 영역들(172B)은 스트립 부분들(127)의 표면 구조와 동일한 표면 구조를 갖는다. 에피택시 영역들(172A)은 궁극적으로, 대응하는 상부 에피택시 영역들(172B)과 병합되어 에피택시 영역들(172)을 형성한다. 에피택시 영역들(172A)과, 대응하는 에피택시 영역들(172B) 사이의 계면들은 STI 영역들(50)의 최상면들보다 더 높은 곳에 있을 수 있다. 도 13b는 도 13a에 도시된 에피택시 영역들(172A 및 172B)의 단면도를 예시한다.
- [0036] 도 13a 및 도 13b에 도시된 예시적인 실시예에서, 에피택시 영역들(172A 및 172B)은 라운드형 외부 측면들을 갖는다. 에피택시 영역들(172A 및 172B)의 형상들이 물질, 스트립 부분들(127)의 형상, 스트립 부분들(122)의 최상면 형상 등과 같은 다양한 요인들에 의해 영향을 받는다는 점이 인식된다. 따라서 에피택시 영역들(172A 및 172B) 중 어느 하나의 에피택시 영역의 측면들은 라운드형이거나(연속적인 커브형) 패시팅(도 13b에 도시된 평면에서와 같이 스트레이트형 부분들이 있음)될 수 있다. 또한, 에피택시 영역들(172A 및 172B) 사이의 계면은, 비제한적인 예를 들자면, 스트레이트형 계면, (도 13b에 도시된 바와 같은) 커브형 계면을 포함하는 상이한 형상들을 가질 수 있거나 또는 몇몇 스트레이트형 섹션들을 포함한다. 예를 들면, 에피택시 영역들(172B)의 외주변(outer perimeter)은, 각 웨이퍼의 최상면에 수직인 수직 에지들이 다른 측면들보다 큰 세장형 육각형상을 가질 수 있다.
- [0037] 스트립 부분들(122)의 중앙들 바로 위의 에피택시 영역들(172A 및 172B)의 부분들의 성장률이 (도 13b에서 처럼) 그들의 대응하는 좌측 부분들 및 우측 부분들의 성장률보다 더 낮을 때, 공극(void)들(진공 갭들 또는 에어 갭들일 수 있음)(173)이 또한 형성될 수 있다. 공극들(173)은 성장률의 차에 따라 상이한 형상들을 가질 수 있다.
- [0038] 에피택시 영역들(172A)과 에피택시 영역들(172B)의 병합이 유리하다. 제조 비용을 줄이기 위해 동일한 웨이퍼/

다이 상의 상이한 유형들의 디바이스들은 가능한 한 많은 형성 프로세스를 공유할 것이기 때문에, FinFET들을 형성하기 위한 프로세스가 다이오드들 및 기관 영역들의 픽업 영역들과 같은 수동 디바이스들을 형성하는데 또한 사용될 수 있다. 이들 디바이스들은 기관(22)에 연결될 소스/드레인 영역들(174 및 274)과 동시에 형성되는 그들의 영역들을 가질 필요가 있다. 본 개시의 일부 실시예들에 따르면, 에피택시 영역들(172A 및 172B)이 병합될 수 있도록 스트립 부분들(124)을 제거함으로써, 다이오드들과 수동 디바이스들이 기관(22)에 접속될 수 있다. 따라서, 예시된 FinFET들을 형성하기 위한 프로세스 단계들을 다이오드들 및 수동 디바이스들과 같은 다른 디바이스들의 형성과 공유하는 것이 가능하다. 대안적인 실시예들에 따르면, 유전체 스트립 부분들(124)은 에칭되지 않고, FinFET들은 이들 실시예들에 따르면 소스/드레인 누설이 감소될 것이다.

[0039] 도 13a 및 도 13b가 소스/드레인 영역들(174)이 서로 분리되고 소스/드레인 영역들(274)이 서로 분리된 것을 예시하지만, 에피택시 프로세스들이 얼마나 오래 지속되는지에 따라 소스/드레인 영역들(174)은 서로 병합되거나 또는 서로 분리된 채 남아있을 수 있고, 소스/드레인 영역들(274)은 서로 병합되거나 또는 서로 분리된 채 남아있을 수 있다는 점이 인식된다. 또한, 에피택시 영역들(172 및 272)의 형상들은 도시된 것과 유사하거나 또는 삽(spade)/다이아몬드 형상들과 같은 다른 형상들을 가질 수 있다. 에어 갭들은 에피택시 영역들(172)의 병합된 부분들 바로 아래에, 및/또는 에피택시 영역들(272)의 병합된 부분들 바로 아래에 형성될 수 있다.

[0040] 도 14는 접촉 에칭 저지 층(Contact Etch Stop Layer; CESL)(76) 및 층간 유전체(Inter-Layer Dielectric; ILD)(78)가 형성된 구조물의 사시도이다. 각각의 단계는 도 18에 도시된 프로세스 흐름에서 단계(324)로서 도시된다. CESL(76)은 실리콘 질화물, 실리콘 탄소질화물 등으로 형성될 수 있다. CESL(76)은, 예를 들면 ALD와 같은 공형 증착법을 사용하여 형성될 수 있다. ILD(78)는 예를 들면 FCVD, 스피온 코팅, CVD 또는 다른 증착법들을 사용하여 형성되는 유전체 물질을 포함할 수 있다. ILD(78)는 또한 테트라 에틸 오소 실리케이트(Tetra Ethyl Ortho Silicate; TEOS) 산화물, 플라즈마 강화 CVD(Plasma Enhanced CVD; PECVD) 산화물(SiO₂), 포스포 실리케이트 글라스(Phospho-Silicate Glass; PSG), 보로 실리케이트 글라스(Boro-Silicate Glass; BSG), 붕소 도핑된 포스포 실리케이트 글라스(Boron-Doped Phospho-Silicate Glass; BPSG) 등으로 형성될 수 있다. ILD(78), 더미 게이트 스택(58), 및 게이트 스페이서들(68)의 최상면들을 서로 동일한 높이에 있도록 하기 위해 CMP 또는 기계적 그라인딩과 같은 평탄화 단계가 수행될 수 있다.

[0041] 다음에, 하드 마스크 층(64), 더미 게이트 전극(62) 및 더미 게이트 유전체(60)를 포함하는 더미 게이트 스택(58)이 도 15a, 도 15b, 도 15c, 도 15d, 도 15e, 및 도 15f에 도시된 바와 같이 금속 게이트들(82)과 대체 게이트 유전체들(80)을 포함하는 대체 게이트 스택(84)으로 대체된다. 더미 게이트 스택들(58)의 제거시, 더미 게이트 스택들 아래에 이전에 매립된 유전체 스트립 부분들(124)(도 9)이 노출되고, 유전체 스트립 부분들(124)의 물질이 더미 게이트 유전체의 물질과 유사하므로 적어도 측방향으로 리세스된다. 본 개시의 일부 실시예들에 따르면, 스트립 부분들(124)의 물질이 STI 영역들(50)의 물질과 상이하면 더미 게이트 스택의 제거 후 습식 에칭 프로세스일 수 있는 추가적 에칭 프로세스가 더 수행될 수 있어서, 스트립 부분들(124)은 STI 영역들(50)을 손상시키지 않고 제거된다.

[0042] 게이트 스택들을 대체할 때, 하드 마스크 층(64), 더미 게이트 전극들(62) 및 더미 게이트 유전체들(60)(도 14)이 하나의 에칭 단계 또는 복수의 에칭 단계들에서 먼저 제거되어, 트렌치(개구부)가 게이트 스페이서들(68) 사이에 형성되는 것을 초래한다. 대체 게이트들의 형성시, 게이트 유전체 층(80)(도 15a)이 먼저 형성되고, 이 층은 제거된 더미 게이트 스택에 의해 남아있는 리세스 내로 연장되며, ILD(78) 위로 연장되는 일부분을 가질 수 있다. 본 개시의 일부 실시예들에 따르면, 게이트 유전체(80)는 그 하측 부분으로서 계면층(Interfacial Layer; IL, 별도로 도시되지는 않음)을 포함한다. IL은 화학적 산화 프로세스 또는 퇴적 프로세스를 통해 형성되는 실리콘 산화물 층과 같은 산화물 층을 포함할 수 있다. 게이트 유전체(80)는 또한 IL 위에 형성되는 하이 k(high-k) 유전체 층을 포함할 수 있다. 하이 k 유전체 층은 공형 층으로서 형성되고, 하프늄 산화물, 란타넘 산화물, 알루미늄 산화물, 지르코늄 산화물 등과 같은 하이 k 유전체 물질을 포함한다. 하이 k 유전체 물질의 유전 상수(k 값)는 3.9보다 높고, 약 7.0보다 더 높을 수 있다. 본 개시의 일부 실시예들에 따르면, 게이트 유전체(80) 내의 하이 k 유전체 층은 ALD 또는 CVD를 사용하여 형성된다.

[0043] 게이트 유전체(80) 위에 게이트 전극(82)이 형성되고 리세스의 나머지 부분을 충전한다. 게이트 전극(82)의 형성은 복수의 도전성 층을 퇴적시키기 위한 복수의 증착 프로세스들, 및 ILD(78) 위의 도전성 층들의 파인 부분들을 제거하기 위한 평탄화 단계를 수행하는 것을 포함할 수 있다. 도전성 층들의 퇴적은 ALD 또는 CVD와 같은 공형 증착법들을 사용하여 수행될 수 있다.

[0044] 게이트 전극(82)은 확산 장벽층 및 이 확산 장벽층 위의 하나(이상)의 일함수 층을 포함할 수 있다. 확산 장벽

층은 티타늄 질화물(titanium nitride; TiN)로 형성될 수 있고, 티타늄 질화물(TiN)은 TiSiN을 형성하도록 실리콘으로 도핑될 수 있다(또는 도핑되지 않을 수 있다). 일함수 층은 게이트의 일함수를 결정하고, 적어도 하나의 층, 또는 상이한 물질들로 형성되는 복수의 층들을 포함한다. 일함수 층의 특정 물질은 각각의 FinFET이 n형 FinFET인지 또는 p형 FinFET인지의 여부에 따라 선택된다. 예를 들면, 디바이스 영역(100) 내의 n형 FinFET에 대해, 일함수 층은 TaN 층, 및 TaN 층 위의 티타늄 알루미늄(titanium aluminum; TiAl) 층을 포함할 수 있다. 디바이스 영역(200) 내의 p형 FinFET에 대해, 일함수 층은 TaN 층, TaN 층 위의 TiN 층, 및 TiN 층 위의 TiAl 층을 포함할 수 있다. 일함수 층(들)의 증착 후, 다른 하나의 TiN 층일 수 있는 다른 하나의 장벽층이 형성된다. 게이트 전극(82)은 예를 들면 텅스텐 또는 코발트로 형성될 수 있는 충전 금속을 또한 포함할 수 있다. 대체 게이트(84)의 형성 후에, 대체 게이트(84)가 리세싱되고, 유전체 하드 마스크(86)가 리세스 내에 충전된다.

[0045] 도 15b, 도 15c, 도 15d 및 도 15e는 디바이스 영역(100) 내의 n형 FinFET의 대체 게이트의 복수의 단면도를 예시하고, 이 단면도들은 도 15a의 라인(B-B)을 포함하는 수직면으로부터 획득된다. 유전체 스트립 부분들(124)의 측방향 리세싱으로 인해, 결과적인 게이트들은 오메가(Ω) 게이트들 또는 쿼드 게이트들을 형성할 수 있다. 예를 들면, 도 15b는 유전체 스트립 부분들(124)의 최상부들이 측방향으로 리세싱되고 유전체 스트립 부분들(124)의 리세싱된 부분들의 측벽들이 실질적으로 수직인 오메가 게이트를 예시한다. 도 15c는 유전체 스트립 부분들(124)의 최상부들이 측방향으로 리세싱되고 유전체 스트립 부분들(124)의 리세싱된 부분들의 측벽들이 경사지며 실질적으로 스트레이트형일 수 있는 다른 오메가 게이트를 예시한다. 도 15d는 유전체 스트립 부분들(124) 전체가 측방향으로 리세싱되고 유전체 스트립 부분들(124)의 측벽들이 실질적으로 수직인 오메가 게이트를 예시한다. 도 15e는 유전체 스트립 부분들(124)(도 15d 참조)이 완전히 제거된 쿼드 게이트를 예시한다. 결과적인 게이트 스택(84)은, 핀 부분들(127)의 최상면, 바닥면, 좌측벽, 및 우측벽과 접촉하는 4개의 부분들을 포함한다(그래서 쿼드 게이트라고 부름). 오메가 게이트 또는 쿼드 게이트의 형성으로, FinFET들의 단채널 제어가 향상된다. 도 15b, 도 15c, 도 15d 및 도 15e에서, 핀 부분들(127)은 FinFET들의 채널 영역들을 형성한다.

[0046] 본 개시의 일부 실시예들에 따르면, 유전체 스트립 부분들(124)의 높이는 약 5nm 내지 약 15nm 사이의 범위 내에 있다. 유전체 스트립 부분들(124)의 목부(necking portion)들의 높이(b)(도 15b 및 도 15c)는 약 3nm 내지 약 15nm 사이의 범위 내에 있다. 유전체 스트립 부분들(124)의 목부들의 측방향 리세싱 거리(c)(도 15b, 도 15c 및 도 15d)는 약 1nm 내지 약 3nm 사이의 범위 내에 있다.

[0047] 도 15f는 디바이스 영역(200) 내의 p형 FinFET의 대체 게이트의 단면도이다. 핀 부분들(234)은 FinFET의 채널 영역들을 형성한다.

[0048] 도 15a에 도시된 바와 같은 구조물이 형성된 후에, ILD(78) 및 CESL(76)이 예칭되어 접촉 개구부들을 형성한다. 예칭은, 예를 들면 반응성 이온 예칭(Reactive Ion Etch; RIE)을 사용하여 수행될 수 있다. 후속 단계에서, 도 16에 도시된 바와 같이, 소스/드레인 접촉 플러그들(88)이 형성된다. 각각의 단계는 도 18에 도시된 흐름도에서 단계(324)로 또한 도시된다. 접촉 플러그들(88)을 형성하기 전에, 접촉 개구부들에 노출된 CESL(76) 부분들이 먼저 예칭되고 에피택시 영역들(172 및 272)을 드러낸다. 그 다음에, 에피택시 영역들(172 및 272) 상에 실리콘 이드 영역들(90)이 형성된다. 본 개시의 일부 실시예들에 따르면, 접촉 플러그들(88)은 장벽층들 및 각각의 장벽층들 위의 금속 함유 물질을 포함한다. 본 개시의 일부 실시예들에 따르면, 접촉 플러그들(88)의 형성은 블랭킷 장벽층, 및 블랭킷 장벽층 위의 금속 함유 물질을 형성하는 것, 및 블랭킷 장벽층 및 금속 함유 물질의 과잉 부분들을 제거하기 위한 평탄화를 수행하는 것을 포함한다. 장벽층은 티타늄 질화물 또는 탄탈륨 질화물과 같은 금속 질화물로 형성될 수 있다. 금속 함유 물질은 텅스텐, 코발트, 구리 등으로 형성될 수 있다. n형 FinFET(192) 및 p형 FinFET(292)이 그에 따라서 형성된다.

[0049] 도 17a는 n형 FinFET들의 반도체 핀들의 폭들(예를 들면, 도 7b 내의 폭(W1 및 W2)를 지칭함)의 함수로서의 전자 이동도를 예시한다. 라인(90A)은 (110) 웨이퍼(핀들의 측벽들이 (100) 평면에 있음) 및 (100) R45 웨이퍼들로부터 획득된 결과들 둘 다를 예시한다. 이것은 핀들의 폭들이 약 3nm보다 작을 때 전자 이동도가 낮고, 폭이 약 3nm보다 클 때 전자 이동도가 높다는 것을 예시한다. 따라서, 약 3nm보다 더 큰 핀 폭들에 기초하여 형성된 FinFET들은 양호한 성능을 가질 수 있다. 비교예로서, (110) 웨이퍼(핀들의 최상면들과 측벽들 둘 다가 (110) 평면에 있음)의 경우에는, 라인(90B)으로 도시된 바와 같이, 전자 이동도가 라인(90A)보다 훨씬 더 낮고, 전자 이동도는 핀 폭이 약 6nm로 증가될 때까지 증가하지 않는다. 이 결과들은 (100) R45 및 (110) 웨이퍼들 상에 형성된 n형 FinFET들이 좋은 성능을 갖는다는 것을 나타낸다.

[0050] 도 17b는 p형 FinFET들의 반도체 핀들의 폭들(예를 들면, 도 7b 내의 폭(W1 및 W2)를 지칭함)의 함수로서의 정

공(hole) 이동도를 예시한다. 라인(92A)은, 핀들의 최상면이 (100) 평면에 있고 핀들의 측벽들이 (110) 평면에 있는 웨이퍼로부터 획득된 결과들을 예시한다. 라인(92B)은, 핀들의 최상면들과 측벽들 둘 다 (110) 평면에 있는 웨이퍼로부터 획득된 결과들을 예시한다. 라인(92C)은, 핀들의 최상면들과 측벽들 둘 다 (100) 평면에 있는 웨이퍼로부터 획득된 결과들을 예시한다. 이 결과들은 라인(92A)이 라인들(92B 및 92C)보다 더 좋은 결과들을 갖는다는 것을 나타낸다. 따라서, 도 17a 및 도 17b에 도시된 결과들은, (100) R45 또는 (110) 최상면들 상의 n형 FinFET들이 좋은 성능을 갖고 (100) 최상면들 상의 p형 FinFET들이 좋은 성능을 갖는다는 것을 함께 나타낸다. 따라서, n형 FinFET들과 p형 FinFET들 둘 다의 성능은 본 개시의 실시예에 따라서 하이브리드 기판들 상에 형성될 때 향상된다.

[0051] 본 개시의 실시예는 몇 가지 유리한 특징들을 갖는다. 하이브리드 기판으로부터 시작하여 n형 FinFET들과 p형 FinFET들을 형성함으로써, n형 FinFET들과 p형 FinFET들 둘 다의 성능이 향상된다. 바람직하게, n형 디바이스 영역들과 p형 디바이스 영역들을 분리하는 스페이서의 제거는 스페이서의 붕괴에 의해 야기되는 결함들을 제거한다.

[0052] 본 개시의 일부 실시예들에 따르면, 방법은, 하이브리드 기판을 에칭하여 하이브리드 기판 내로 연장되는 리세스를 형성하는 단계를 포함한다. 하이브리드 기판은, 제1 표면 방위를 갖는 제1 반도체 층, 제1 반도체 층 위의 유전체 층, 및 제1 표면 방위와는 상이한 제2 표면 방위를 갖는 제2 반도체 층을 포함한다. 에칭 후에, 제1 반도체 층의 최상면이 리세스에 노출된다. 리세스의 측벽에 스페이서가 형성된다. 스페이서는 유전체 층의 측벽 및 제2 반도체 층의 측벽과 접촉한다. 에피택시가 수행되어 제1 반도체 층으로부터 에피택시 반도체 영역을 성장시킨다. 스페이서가 제거된다. 일 실시예에서, 스페이서가 제거된 후 제1 패터닝 단계가 수행되고, 제1 패터닝 단계에 의해 제2 반도체 층, 유전체 층, 및 제1 반도체 층이 패터닝되어 제1 반도체 스트립을 형성한다. 일 실시예에서, 제1 패터닝 단계가 수행될 때 제2 패터닝 단계를 동시에 수행하고, 에피택시 반도체 영역과 제1 반도체 층이 패터닝되어 제2 반도체 스트립을 형성한다. 일 실시예에서, 제1 패터닝 단계 동안, 제거된 스페이서 바로 아래의 제1 반도체 층의 일부분이 리세스되어 제1 반도체 층의 최상면으로부터 아래로 연장되는 노치를 형성하고, 제1 반도체 층의 최상면들은 노치의 양측으로 연장된다. 일 실시예에서, 방법은, 제1 반도체 스트립의 양측 상에 격리 영역들을 형성하는 단계; 제1 반도체 스트립의 최상부가 격리 영역들의 남아있는 부분들의 최상면들보다 더 높게 돌출되도록 격리 영역들을 리세스하여 핀을 형성하는 단계; 및 핀에 기초하여 핀 전계 효과 트랜지스터(FinFET)를 형성하는 단계를 더 포함한다. 일 실시예에서, 스페이서를 제거하는 것은 습식 에칭 단계에서 수행된다. 일 실시예에서, 스페이서를 제거한 후, 갭을 형성하여 에피택시 반도체 영역을 유전체 층 및 제2 반도체 층의 남아있는 부분으로부터 분리한다.

[0053] 본 개시의 일부 실시예들에 따르면, 방법은, 하이브리드 기판을 에칭하여 리세스를 형성하는 단계로서, 리세스는 상측 반도체 층과 유전체 층을 관통하고, 유전체 층 아래의 하측 반도체 층의 최상면이 리세스에 노출되는 것인, 하이브리드 기판을 에칭하는 단계; 리세스의 측벽에 수직 스페이서를 형성하는 단계; 에피택시를 수행하여 하측 반도체 층으로부터 에피택시 반도체 영역을 성장시키는 단계; 에피택시 반도체 영역이 상측 반도체 층 및 유전체 층으로부터 갭에 의해 이격되도록 수직 스페이서를 에칭하는 단계; 및 패터닝을 수행하여 제1 스트립 및 제2 스트립을 형성하는 단계를 포함하고, 제1 스트립은 상측 반도체 층의 일부분, 유전체 층의 일부분, 및 하측 반도체 층의 일부분을 포함하며, 제2 스트립은 에피택시 반도체 영역의 일부분을 포함한다. 일 실시예에서, 방법은, 수직 스페이서를 에칭하는 단계 후에 그리고 패터닝 단계 전에, 상측 반도체 층 및 에피택시 반도체 영역 위에 실리콘 층을 퇴적시키는 단계를 더 포함한다. 일 실시예에서, 방법은, 제1 스트립 및 제2 스트립 각각의 양측 상에 격리 영역들을 형성하는 단계; 및 격리 영역을 리세스하는 단계로서, 제1 스트립 및 제2 스트립의 최상부들이 격리 영역들의 남아있는 부분들의 최상면들보다 각각 더 높게 돌출되어 제1 핀 및 제2 핀을 형성하는 것인, 격리 영역을 리세스하는 단계를 더 포함한다. 일 실시예에서, 방법은, 제1 스트립 내의 유전체 층의 부분을 에칭하여 제1 스트립 내의 상측 반도체 층의 부분을 제1 스트립 내의 하측 반도체 층의 부분으로부터 분리시키는 단계를 더 포함한다. 일 실시예에서, 방법은, 에피택시를 수행하여 추가적 반도체 물질을 성장시키는 단계를 더 포함하고, 추가적 반도체 물질은, 제1 스트립 내의 상측 반도체 층의 부분으로부터 성장된 제1 부분; 및 제1 스트립 내의 하측 반도체 층의 부분으로부터 성장된 제2 부분을 포함하고, 추가적 반도체 물질의 제1 부분 및 제2 부분은 상이한 최상면 방위들을 가지며, 서로 병합된다. 일 실시예에서, 패터닝 단계는 제1 스트립과 제2 스트립 사이에 형성되는 갭을 초래하고, 바로 아래의 하측 반도체 층의 최상면은 리세스에 노출되며, 하측 반도체 층의 최상면으로부터 하측 반도체 층 내로 아래로 연장되는 노치가 형성된다. 일 실시예에서, 노치는 에칭된 수직 스페이서 바로 아래의 위치에 있다.

[0054] 본 개시의 일부 실시예들에 따르면, 디바이스는, 제1 최상면 방위를 갖는 벌크 반도체 층; 벌크 반도체 층 위에

있고 벌크 반도체 층에 연결되는 제1 반도체 스트립 및 제2 반도체 스트립으로서, 제1 반도체 스트립 및 제2 반도체 스트립은 상이한 최상면 방위들을 갖는 것인, 제1 반도체 스트립 및 제2 반도체 스트립; 제1 반도체 스트립과 제2 반도체 스트립 사이의 격리 영역으로서, 격리 영역은 격리 영역의 바닥면으로부터 아래로 돌출되는 돌출부를 포함하고, 바닥면은 격리 영역의 돌출부의 양측에 있는 것인, 격리 영역; 제1 반도체 스트립과 중첩되는 제1 소스/드레인 영역으로서, 제1 소스/드레인 영역은 n형 FinFET의 일부분인 것인, 제1 소스/드레인 영역; 및 제2 반도체 스트립과 중첩되는 제2 소스/드레인 영역으로서, 제2 소스/드레인 영역은 p형 FinFET의 일부분인 것인, 제2 소스/드레인 영역을 포함한다. 일 실시예에서, 제2 소스/드레인 영역은 제1 최상면 방위를 갖고, 제1 소스/드레인 영역은 제1 최상면 방위와는 상이한 제2 최상면 방위를 갖는다. 일 실시예에서, 제1 소스/드레인 영역은 (110) 최상면 방위를 갖고, 제2 소스/드레인 영역은 (100) 최상면 방위를 갖는다. 일 실시예에서, 제1 소스/드레인 영역은 (100) R45 최상면 방위를 갖고, 제2 소스/드레인 영역은 (100) 최상면 방위를 갖는다. 일 실시예에서, 제1 소스/드레인 영역은 상측 부분과 하측 부분을 포함하고, 상측 부분과 하측 부분은 상이한 최상면 방위들을 가지며, 상측 부분과 하측 부분의 접합점(joint)은 격리 영역의 최상면보다 더 높은 곳에 있다. 일 실시예에서, 격리 영역의 돌출부는 제1 반도체 스트립과 제2 반도체 스트립 사이의 중간에 있다.

[0055] 본 개시의 일부 실시예들에 따르면, 방법은, 수직 스페이서를 형성하여 제1 반도체 영역과 제2 반도체 영역을 분리하는 단계; 수직 스페이서를 에칭하여 제1 반도체 영역과 제2 반도체 영역 사이에 갭을 형성하는 단계; 제1 반도체 영역과 제2 반도체 영역에 중첩되는 제1 마스크 및 제2 마스크를 각각 형성하는 단계; 및 제1 마스크 및 제2 마스크를 에칭 마스크로서 사용하여 제1 반도체 영역과 제2 반도체 영역을 에칭하는 단계를 포함하고; 제1 반도체 영역과 제2 반도체 영역의 남아있는 부분들은 각각 제1 스트립 부분들과 제2 스트립 부분들을 형성하며, 제1 스트립과 제2 스트립은 리세스에 의해 분리되고, 리세스로부터 하부의 반도체 층 내로 아래로 연장되는 노치가 형성된다. 일 실시예에서, 방법은, 하이브리드 기관 상에 에피택시를 수행하는 것을 포함하는 제1 반도체 영역을 형성하는 단계를 더 포함하고, 하이브리드 기관은 제1 반도체 층, 제1 반도체 층 위의 유전체 층, 및 유전체 층 위의 제2 반도체 층을 포함하고, 에피택시에서, 제1 반도체 층으로부터 추가적 반도체 층이 성장된다. 일 실시예에서, 방법은, 반도체 층, 및 반도체 층 아래의 유전체 층을 에칭하여 리세스를 형성하는 것을 포함하는 제2 반도체 영역을 형성하는 단계를 더 포함하고, 리세스로부터 제2 반도체 영역이 에피택셜방식으로 성장된다. 일 실시예에서, 방법은, 제1 스트립 및 제2 스트립에 기초하여 n형 FinFET 및 p형 FinFET을 각각 형성하는 단계를 더 포함한다.

[0056] 본 개시의 일부 실시예들에 따르면, 디바이스는, n형 FinFET의 제1 채널을 형성하는 제1 반도체 물질, 및 제1 반도체 물질이 중첩되는 제1 반도체 스트립을 포함하는 n형 FinFET; p형 FinFET의 제2 채널을 형성하는 제2 반도체 물질 - 제1 반도체 물질과 제2 반도체 물질은 상이한 최상면 방위들을 가짐 -, 및 제2 반도체 물질이 중첩되는 제2 반도체 스트립을 포함하는 p형 FinFET; 제1 반도체 스트립과 제2 반도체 스트립 사이에 있고 제1 반도체 스트립 및 제2 반도체 스트립과 접촉하는 STI 영역으로서, STI 영역은 제1 반도체 스트립과 제2 반도체 스트립의 중간에 있는 돌출부를 포함하고, 돌출부는 STI 영역의 양측 바닥면들보다 더 낮게 연장되는 것인, STI 영역을 포함한다. 일 실시예에서, 제1 반도체 스트립과 제2 반도체 스트립은 제2 반도체 물질과 동일한 최상면 방위를 갖는다. 일 실시예에서, 제1 반도체 스트립과 제2 반도체 스트립은 제1 반도체 물질과는 상이한 최상면 방위를 갖는다.

[0057] 본 개시의 일부 실시예들에 따르면, 디바이스는, 제1 반도체 스트립, 제1 반도체 스트립과 중첩되는 제1 반도체 핀, 및 제1 반도체 핀의 일부분과 중첩되는 제1 게이트 스택을 포함하는 n형 FinFET; 제2 반도체 스트립, 제2 반도체 스트립과 중첩되는 제2 반도체 핀, 및 제2 반도체 핀의 일부분과 중첩되는 제2 게이트 스택을 포함하는 p형 FinFET; 및 제1 반도체 스트립과 제2 반도체 스트립 사이의 STI 영역으로서, STI 영역은 STI 영역의 벌크 부분으로부터 하향으로 돌출되는 돌출부를 포함하고, 디바이스의 상면도에서, 돌출부는 제1 반도체 스트립 및 제2 반도체 스트립의 길이 방향들과 평행한 길이 방향을 갖는 것인, STI 영역을 포함한다. 일 실시예에서, 제1 반도체 스트립과 제2 반도체 스트립은 제2 반도체 핀과 동일한 최상면 방위를 갖고, 제1 반도체 스트립과 제2 반도체 스트립은 제1 반도체 핀과는 상이한 최상면 방위를 갖는다. 일 실시예에서, 돌출부는 약 5nm 내지 약 40nm 사이의 높이를 갖는다.

[0058] 상술한 것은 당업자가 본 개시의 양태들을 더 잘 이해할 수 있도록 몇몇 실시예들의 특징들의 개요를 서술한 것이다. 당업자는, 본원에 소개되는 실시예와 동일한 목적을 실행하거나 및/또는 동일한 장점을 달성하도록, 다른 프로세스 및 구조를 설계하거나 또는 변경하기 위한 기반으로, 그들이 본 개시를 쉽게 사용할 수 있다는 것을 인식해야 한다. 당업자는, 그러한 균등한 구성이 본 개시의 사상 및 범위로 벗어남을 벗어나지 않는다는 점과, 본 개시의 사상 및 범위로 벗어남을 벗어나지 않고 본원의 다양한 변경, 대체, 및 개조를 행할 수 있다는 점을 또한 각각

해야 한다.

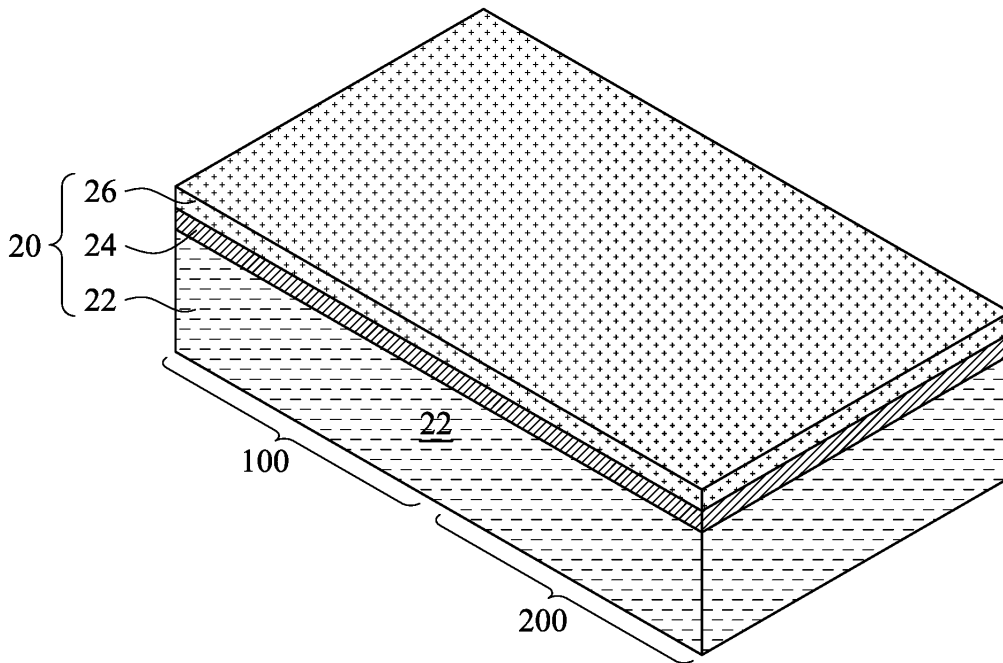
- [0059] 실시예들
- [0060] 실시예 1. 방법에 있어서,
- [0061] 하이브리드 기판을 에칭하여 상기 하이브리드 기판 내로 연장되는 리세스를 형성하는 단계로서, 상기 하이브리드 기판은,
- [0062] 제1 표면 방위를 갖는 제1 반도체 층,
- [0063] 상기 제1 반도체 층 위의 유전체 층, 및
- [0064] 상기 제1 표면 방위와는 상이한 제2 표면 방위를 갖는 제2 반도체 층을 포함하고, 상기 에칭 후에, 상기 제1 반도체 층의 최상면이 상기 리세스에 노출되는 것인, 상기 하이브리드 기판을 에칭하는 단계;
- [0065] 상기 리세스의 측벽에 스페이서를 형성하는 단계로서, 상기 스페이서는 상기 유전체 층의 측벽 및 상기 제2 반도체 층의 측벽과 접촉하는 것인, 상기 스페이서를 형성하는 단계;
- [0066] 에피택시를 수행하여 상기 제1 반도체 층으로부터 에피택시 반도체 영역을 성장시키는, 상기 에피택시를 수행하는 단계; 및
- [0067] 상기 스페이서를 제거하는 단계
- [0068] 를 포함하는, 방법.
- [0070] 실시예 2. 실시예 1에 있어서,
- [0071] 상기 스페이서가 제거된 후 제1 패터닝 단계를 수행하는 단계를 더 포함하고, 상기 제2 반도체 층, 상기 유전체 층, 및 상기 제1 반도체 층이 상기 제1 패터닝 단계에 의해 패터닝되어 제1 반도체 스트립(strip)을 형성하는 것인, 방법.
- [0073] 실시예 3. 실시예 2에 있어서,
- [0074] 상기 제1 패터닝 단계가 수행될 때 제2 패터닝 단계를 동시에 수행하는 단계를 더 포함하고, 상기 에피택시 반도체 영역 및 상기 제1 반도체 층이 패터닝되어 제2 반도체 스트립을 형성하는 것인, 방법.
- [0076] 실시예 4. 실시예 2에 있어서,
- [0077] 상기 제1 패터닝 단계 동안, 상기 제거된 스페이서 바로 아래의 상기 제1 반도체 층의 일부분이 리세스되어 상기 제1 반도체 층의 최상면들로부터 아래로 연장되는 노치를 형성하고, 상기 제1 반도체 층의 최상면들은 상기 노치의 양측으로 연장되는 것인, 방법.
- [0079] 실시예 5. 실시예 2에 있어서,
- [0080] 상기 제1 반도체 스트립의 양측에 격리 영역들을 형성하는 단계;
- [0081] 상기 격리 영역들을 리세스하여 - 상기 제1 반도체 스트립의 최상부가 상기 격리 영역들의 남아있는 부분들의 최상면들보다 높게 돌출됨 - 핀을 형성하는 단계; 및
- [0082] 상기 핀에 기초하여 핀 전계 효과 트랜지스터(Fin Field-Effect Transistor; FinFET)를 형성하는 단계를 더 포함하는, 방법.
- [0084] 실시예 6. 실시예 1에 있어서, 상기 스페이서를 제거하는 단계는 습식 에칭 단계로 수행되는 것인, 방법.
- [0086] 실시예 7. 실시예 1에 있어서, 상기 스페이서를 제거한 후, 깎을 형성하여 상기 에피택시 반도체 영역을 상기 유전체 층 및 상기 제2 반도체 층의 남아있는 부분으로부터 분리하는 것인, 방법.
- [0088] 실시예 8. 방법에 있어서,
- [0089] 하이브리드 기판을 에칭하여 리세스를 형성하는 단계로서, 상기 리세스는 상측 반도체 층 및 유전체 층을 관통하고, 상기 유전체 층 아래의 하측 반도체 층의 최상면은 상기 리세스에 노출되는 것인, 상기 하이브리드 기판을 에칭하는 단계;
- [0090] 상기 리세스의 측벽에 수직 스페이서를 형성하는 단계;

- [0091] 에피택시를 수행하여 상기 하측 반도체 층으로부터 에피택시 반도체 영역을 성장시키기는, 상기 에피택시를 수행하는 단계;
- [0092] 상기 에피택시 반도체 영역이 상기 상측 반도체 층 및 상기 유전체 층으로부터 갭에 의해 이격되도록 상기 수직 스페이서를 에칭하는 단계; 및
- [0093] 패터닝 단계를 수행하여 제1 스트립 및 제2 스트립을 형성하는 단계로서, 상기 제1 스트립은 상기 상측 반도체 층의 일부분, 상기 유전체 층의 일부분, 및 상기 하측 반도체 층의 일부분을 포함하고, 상기 제2 스트립은 상기 에피택시 반도체 영역의 일부분을 포함하는 것인, 상기 패터닝 단계를 수행하는 단계
- [0094] 를 포함하는, 방법.
- [0096] 실시예 9. 실시예 8에 있어서, 상기 수직 스페이서를 에칭한 후에 그리고 상기 패터닝 단계 전에, 상기 상측 반도체 층 및 상기 에피택시 반도체 영역 위에 실리콘 층을 퇴적시키는 단계를 더 포함하는, 방법.
- [0098] 실시예 10. 실시예 8에 있어서, 상기 제1 스트립 및 상기 제2 스트립 각각의 양측에 격리 영역들을 형성하는 단계;
- [0099] 상기 격리 영역들을 리세싱하는 단계로서, 상기 제1 스트립 및 상기 제2 스트립의 최상부들이 상기 격리 영역들의 남아있는 부분들의 최상면들보다 더 높게 돌출되어 제1핀 및 제2핀을 각각 형성하는, 상기 격리 영역들을 리세싱하는 단계를 더 포함하는, 방법.
- [0101] 실시예 11. 실시예 10에 있어서, 상기 제1 스트립 내의 상기 유전체 층의 부분을 에칭하여 상기 제1 스트립 내의 상기 상측 반도체 층의 부분을 상기 제1 스트립 내의 상기 하측 반도체 층의 부분으로부터 분리하는 단계를 더 포함하는, 방법.
- [0103] 실시예 12. 실시예 11에 있어서, 에피택시를 수행하여 추가적 반도체 물질을 성장시키는 단계로서, 상기 추가적 반도체 물질은,
- [0104] 상기 제1 스트립 내의 상기 상측 반도체 층의 부분으로부터 성장된 제1 부분; 및
- [0105] 상기 제1 스트립 내의 상기 하측 반도체 층의 부분으로부터 성장된 제2 부분 - 상기 추가 반도체 물질의 제1 부분 및 제2 부분은 상이한 최상면 방위들을 갖고 서로 병합됨 - 을 포함하는 것인, 상기 에피택시를 수행하는 단계를 더 포함하는, 방법.
- [0107] 실시예 13. 실시예 8에 있어서, 상기 패터닝 단계는, 상기 제1 스트립과 상기 제2 스트립 사이에 형성되는 갭을 초래하고, 바로 아래의 상기 하측 반도체 층의 최상면이 상기 리세스에 노출되며, 상기 하측 반도체 층의 최상면으로부터 상기 하측 반도체 층 내로 아래로 연장되는 노치가 형성되는 것인, 방법.
- [0109] 실시예 14. 실시예 13에 있어서, 상기 노치는 상기 에칭된 수직 스페이서 바로 아래의 위치에 있는 것인, 방법.
- [0111] 실시예 15. 디바이스에 있어서,
- [0112] 제1 최상면 방위를 갖는 벌크 반도체 층;
- [0113] 상기 벌크 반도체 층 위에 있고 상기 벌크 반도체 층에 연결되는 제1 반도체 스트립 및 제2 반도체 스트립 - 상기 제1 반도체 스트립 및 제2 반도체 스트립은 상이한 최상면 방위들을 가짐 - ;
- [0114] 상기 제1 반도체 스트립과 상기 제2 반도체 스트립 사이의 격리 영역 - 상기 격리 영역은 상기 격리 영역의 바닥면들로부터 아래로 돌출되는 돌출부를 포함하고, 상기 바닥면들은 상기 격리 영역의 돌출부의 양측에 있음 - ;
- [0115] 상기 제1 반도체 스트립과 중첩되는 제1 소스/드레인 영역 - 상기 제1 소스/드레인 영역은 n형 핀 전계 효과 트랜지스터(FinFET)의 일부분임 - ; 및
- [0116] 상기 제2 반도체 스트립과 중첩되는 제2 소스/드레인 영역 - 상기 제2 소스/드레인 영역은 p형 FinFET의 일부분임 -
- [0117] 을 포함하는, 디바이스.
- [0119] 실시예 16. 실시예 15에 있어서, 상기 제2 소스/드레인 영역은 제1 최상면 방위를 갖고, 상기 제1 소스/드레인 영역은 상기 제1 최상면 방위와는 상이한 제2 최상면 방위를 갖는 것인, 디바이스.

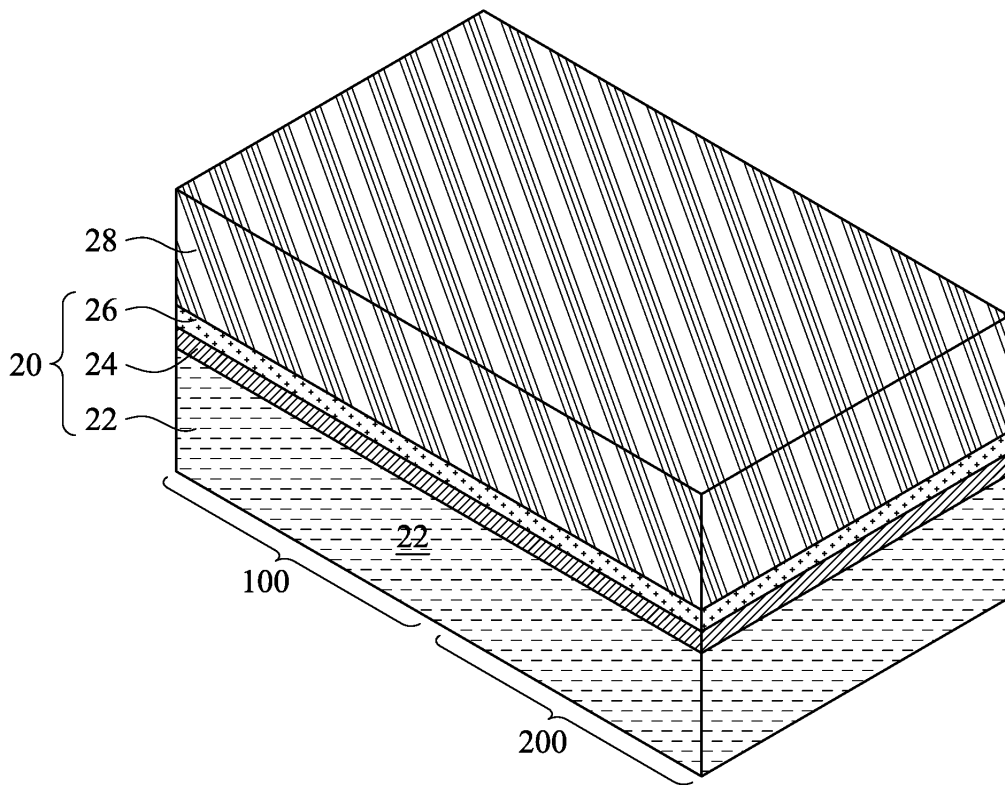
- [0121] 실시예 17. 실시예 16에 있어서, 상기 제1 소스/드레인 영역은 (110) 최상면 방위를 갖고, 상기 제2 소스/드레인 영역은 (100) 최상면 방위를 갖는 것인, 디바이스.
- [0123] 실시예 18. 실시예 16에 있어서, 상기 제1 소스/드레인 영역은 (100) R45 최상면 방위를 갖고, 상기 제2 소스/드레인 영역은 (100) 최상면 방위를 갖는 것인, 디바이스.
- [0125] 실시예 19. 실시예 15에 있어서, 상기 제1 소스/드레인 영역은,
- [0126] 상측 부분 및 하측 부분 - 상기 상측 부분 및 상기 하측 부분은 상이한 최상면 방위들을 갖고, 상기 상측 부분 및 상기 하측 부분의 접합점(joint)은 상기 격리 영역의 최상면보다 더 높은 곳에 있음 - 을 포함하는 것인, 디바이스.
- [0128] 실시예 20. 실시예 15에 있어서, 상기 격리 영역의 돌출부는 상기 제1 반도체 스트립과 상기 제2 반도체 스트립 사이의 중간에 있는 것인, 디바이스.

도면

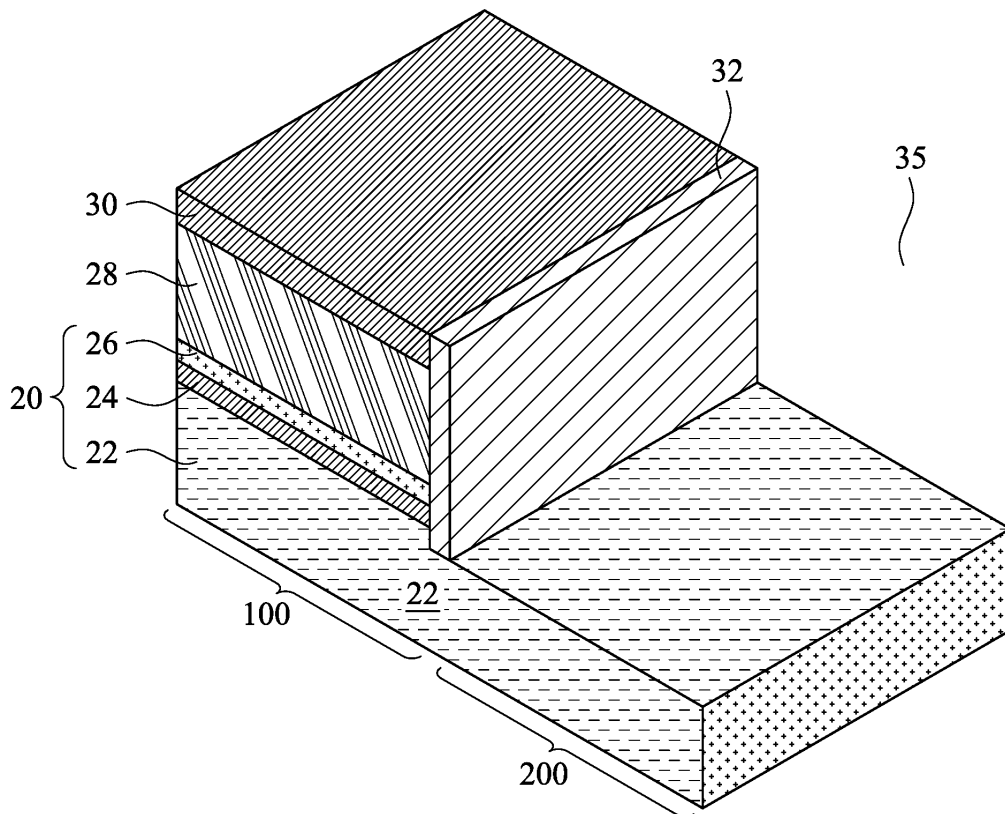
도면1



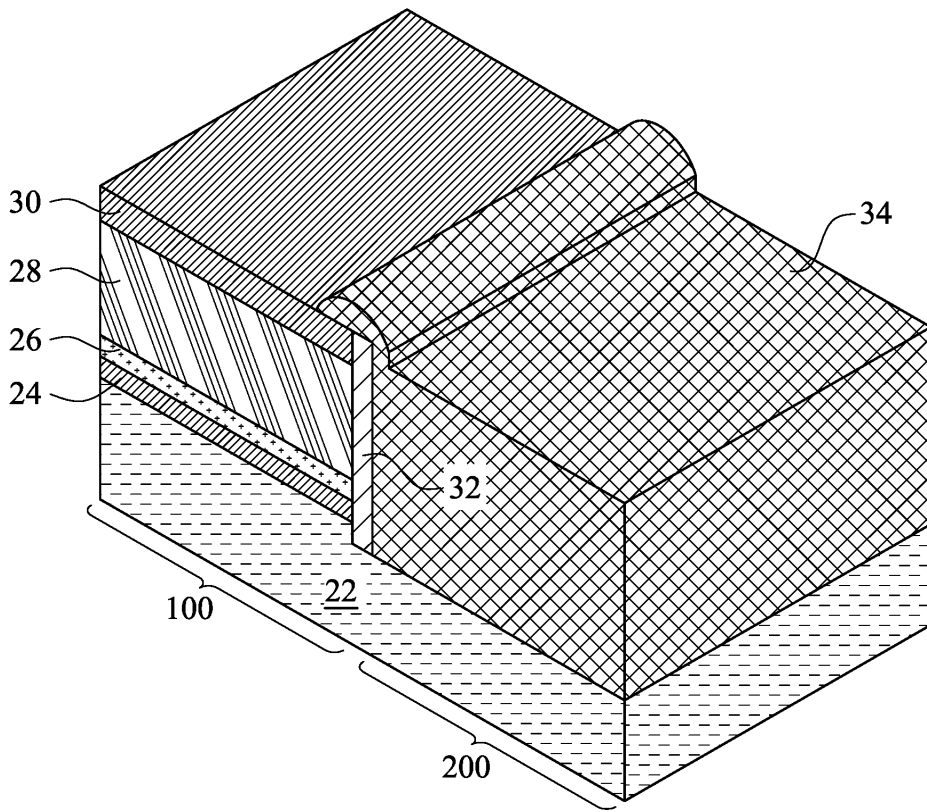
도면2



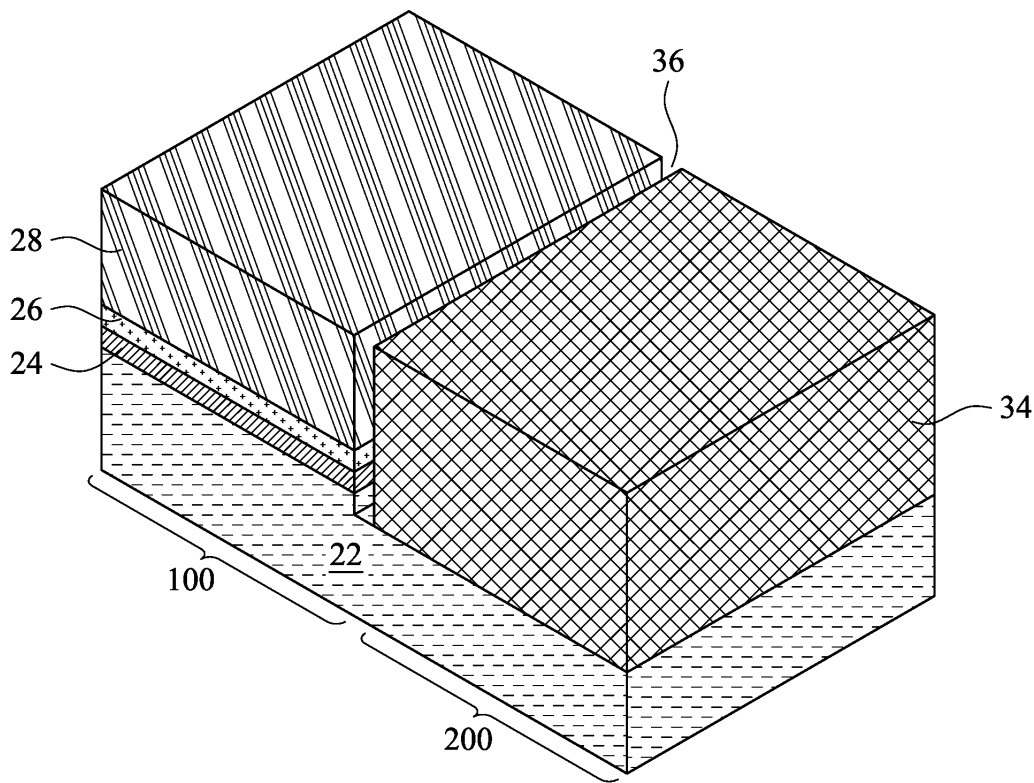
도면3



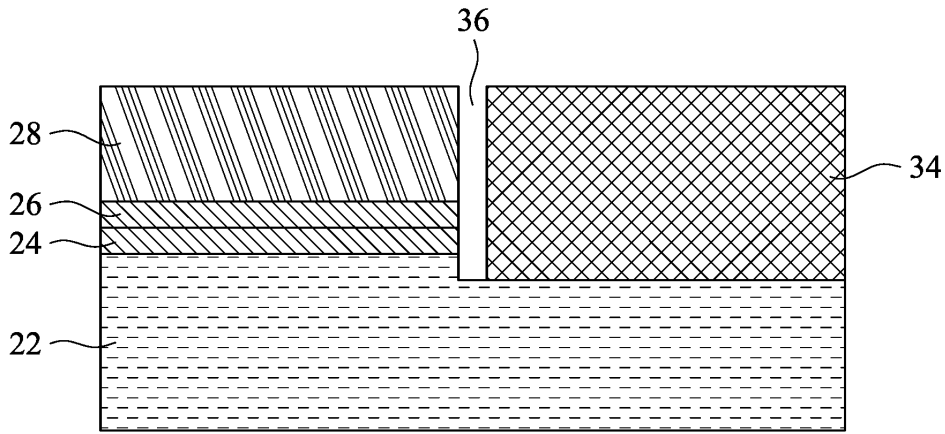
도면4



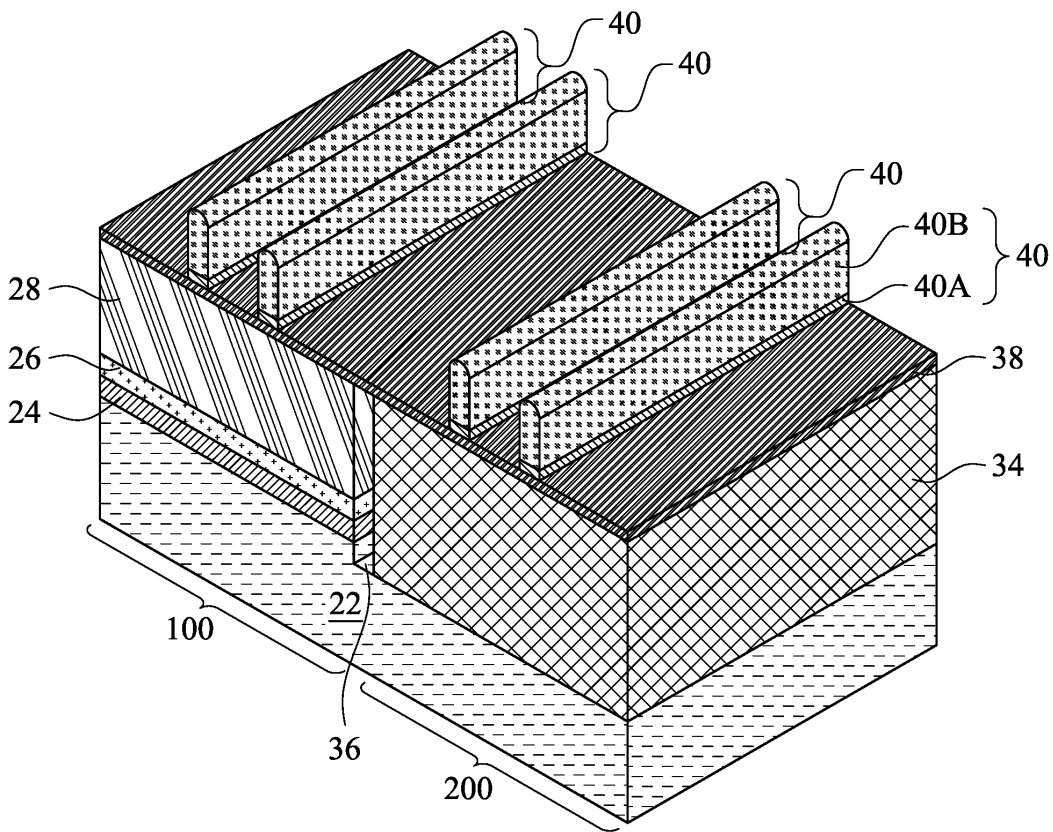
도면5a



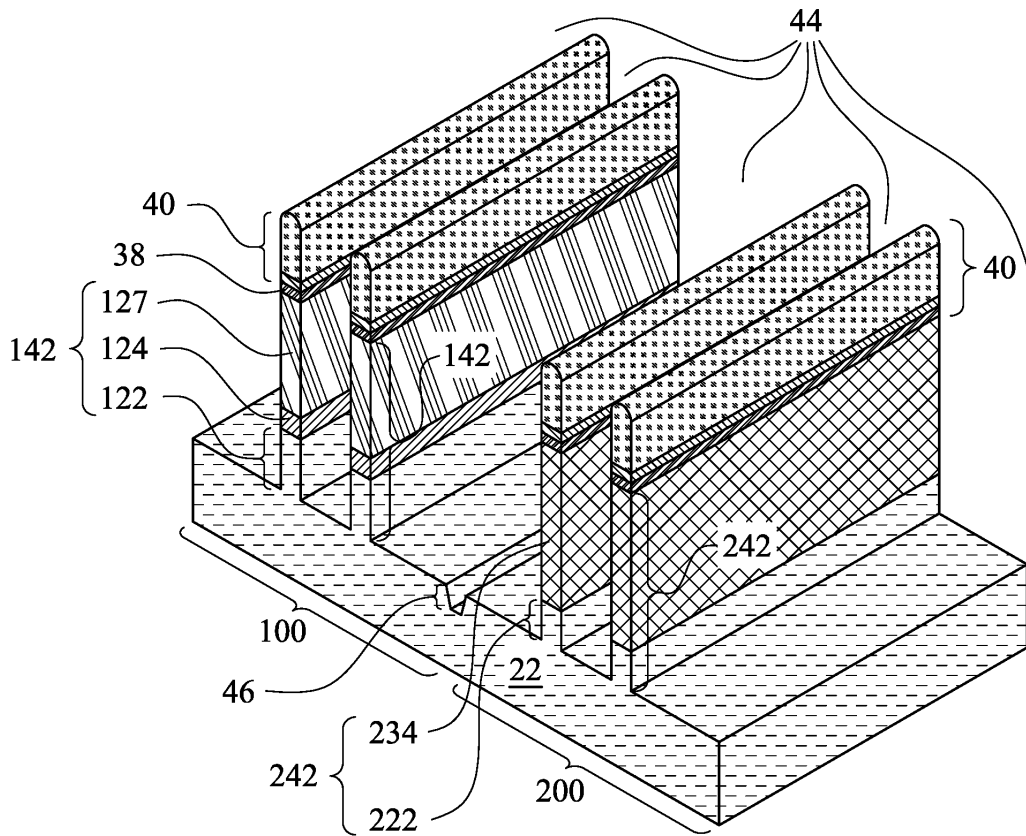
도면5b



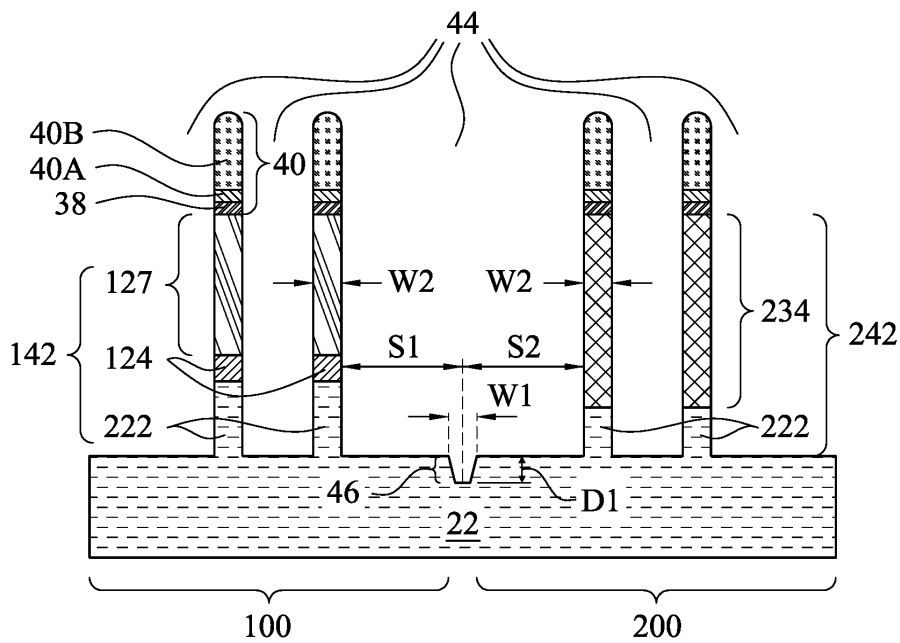
도면6



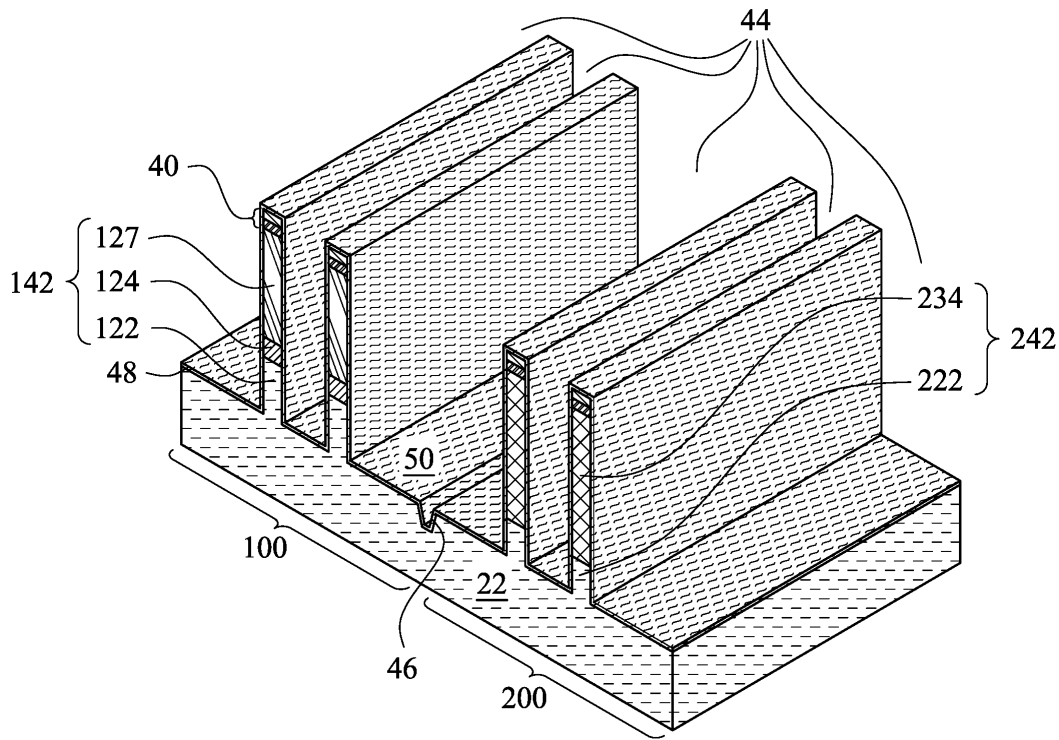
도면7a



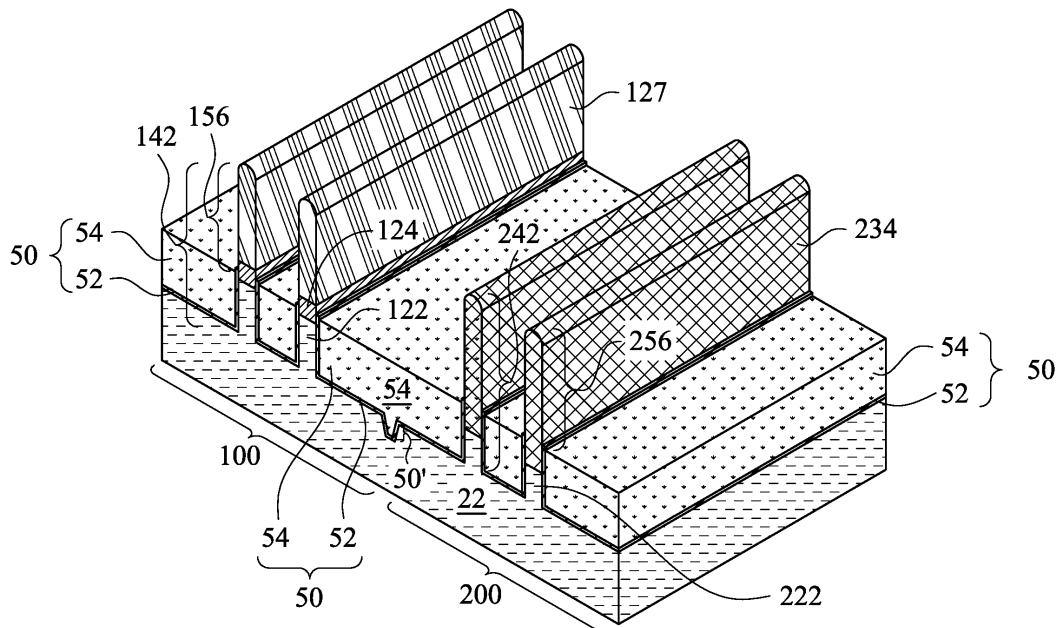
도면7b



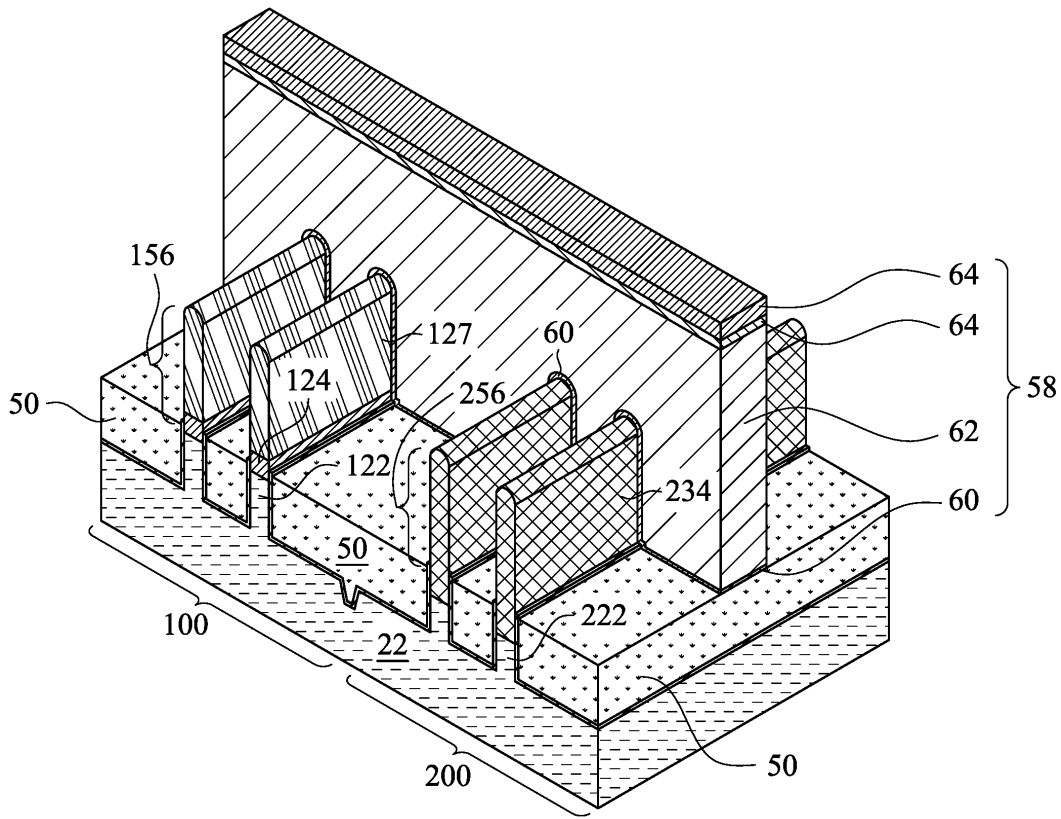
도면8



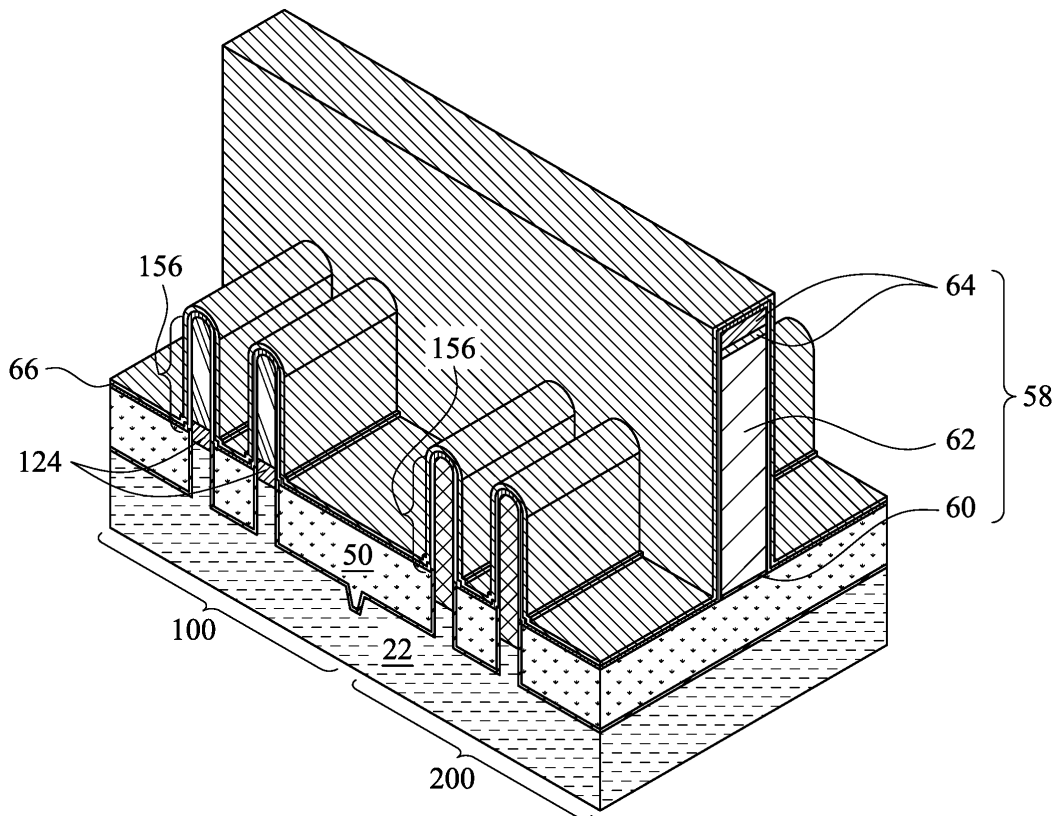
도면9



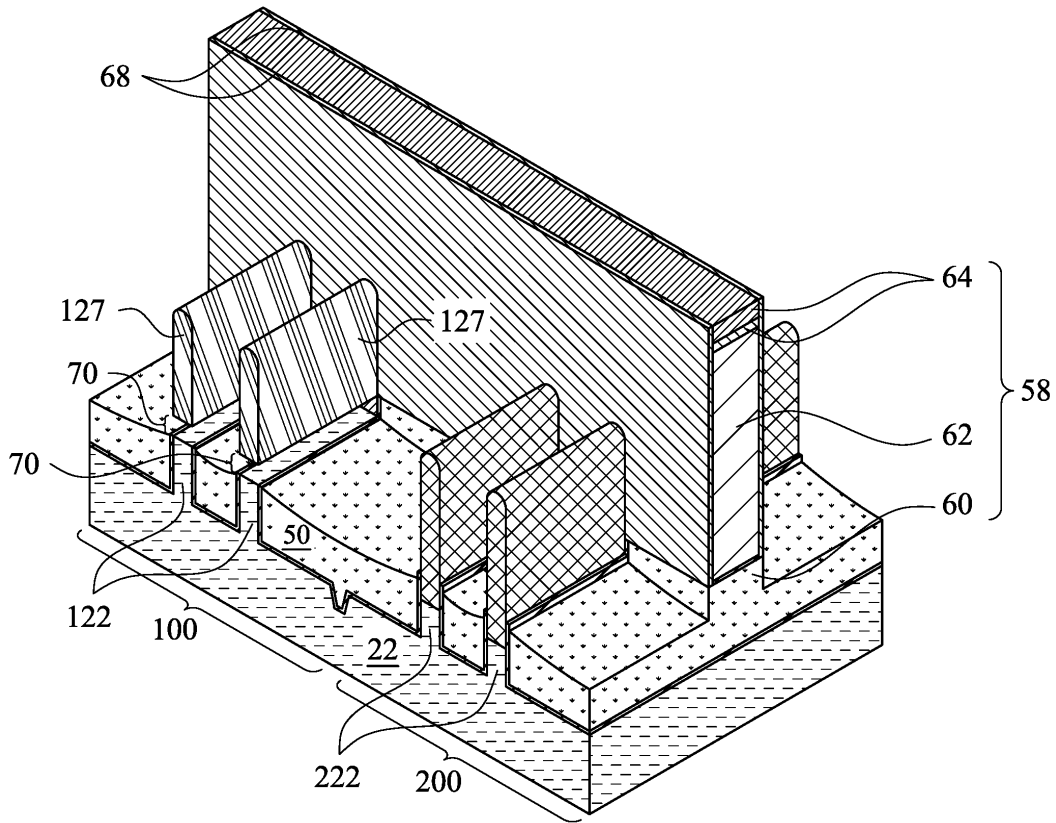
도면10



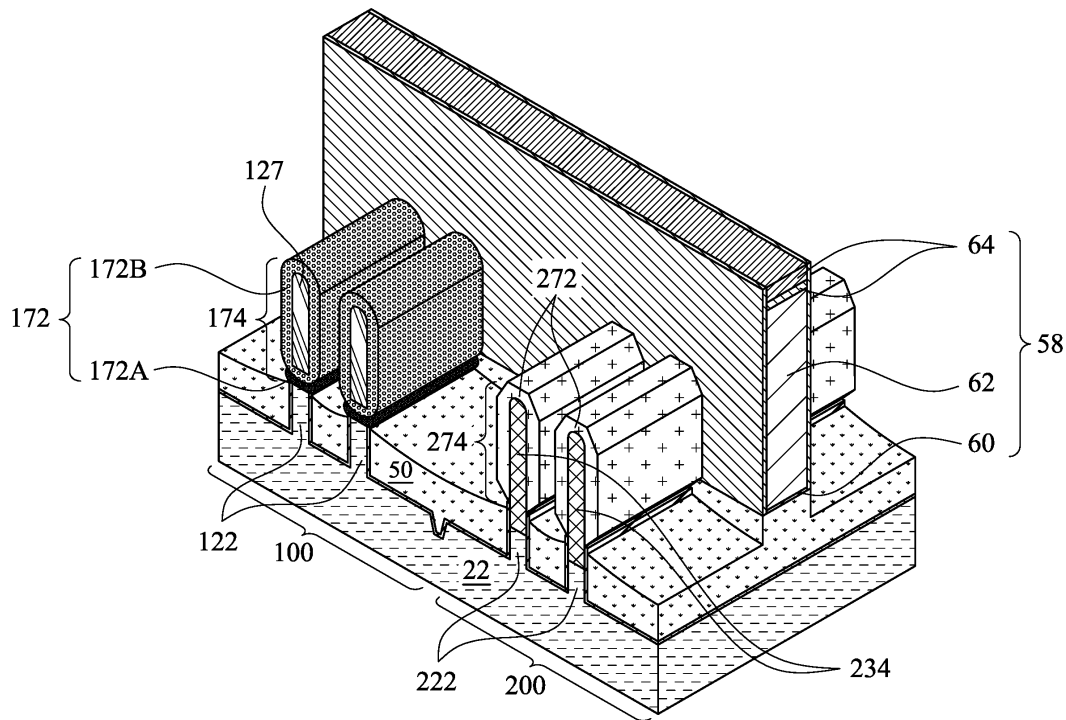
도면11



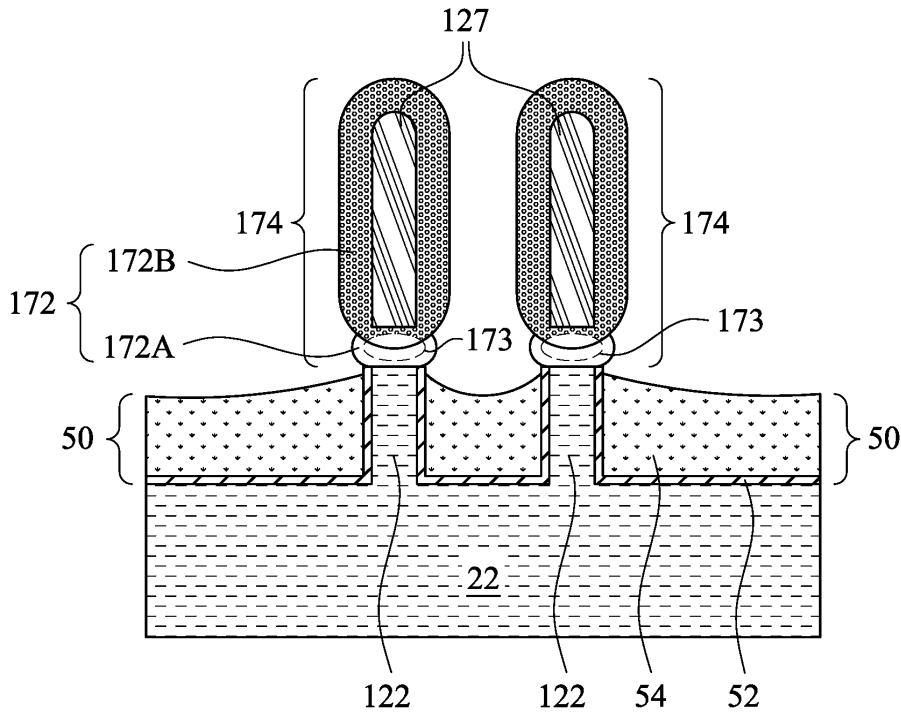
도면12



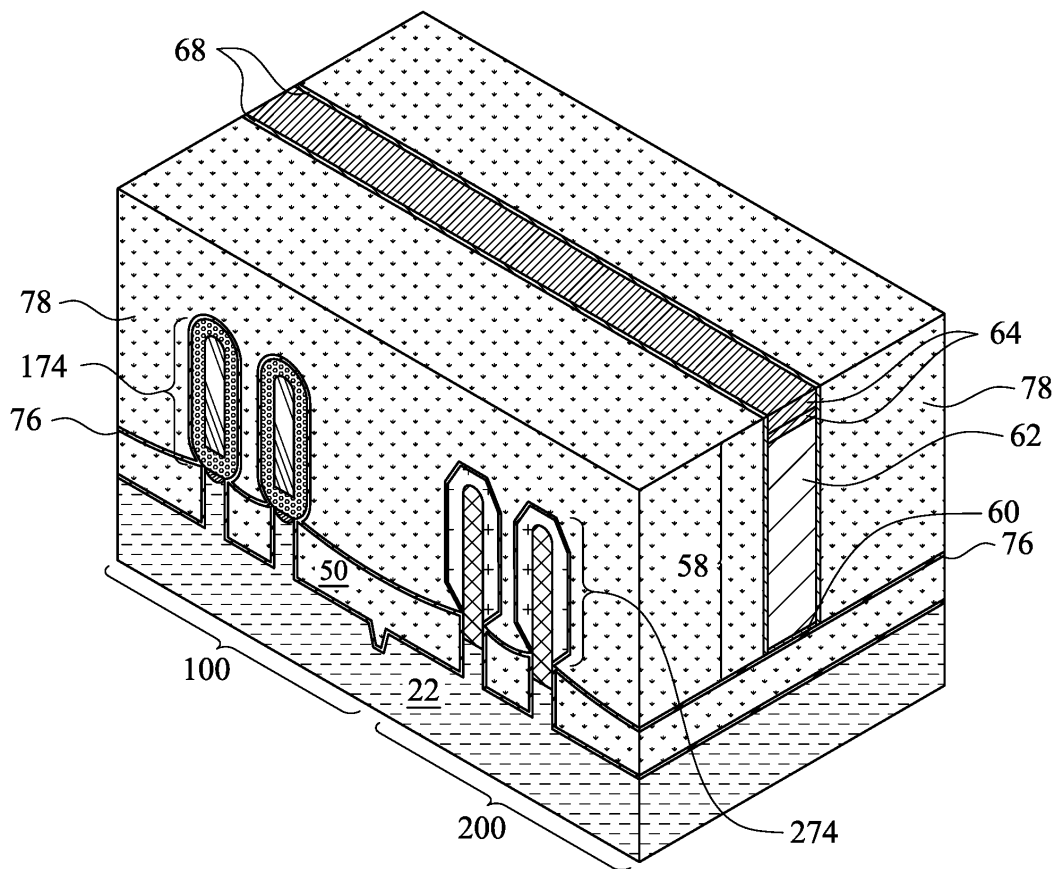
도면13a



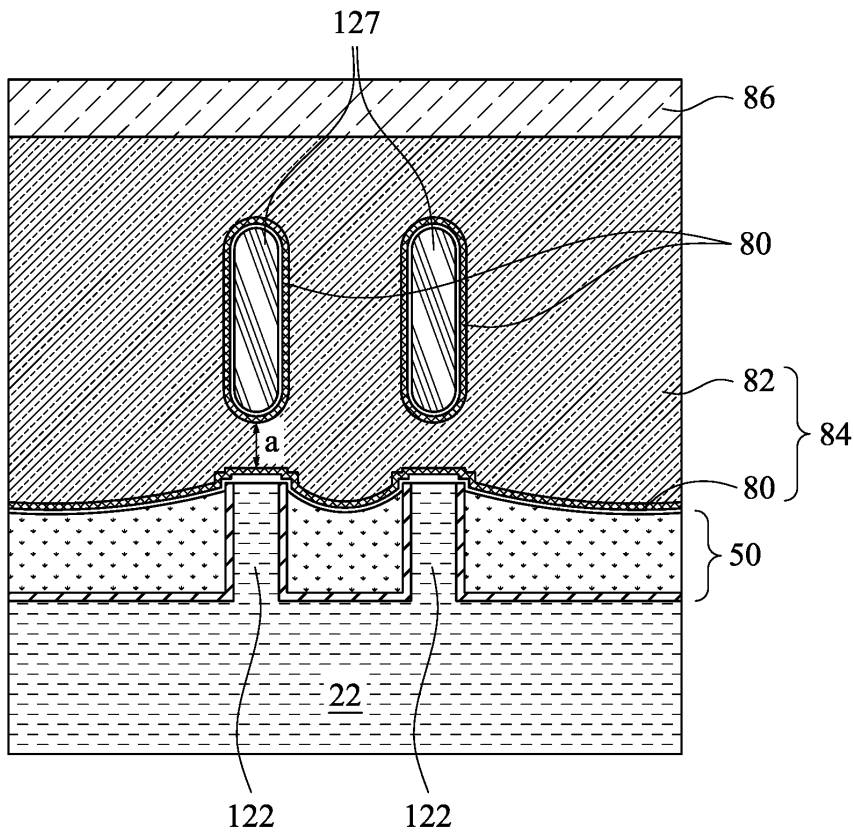
도면13b



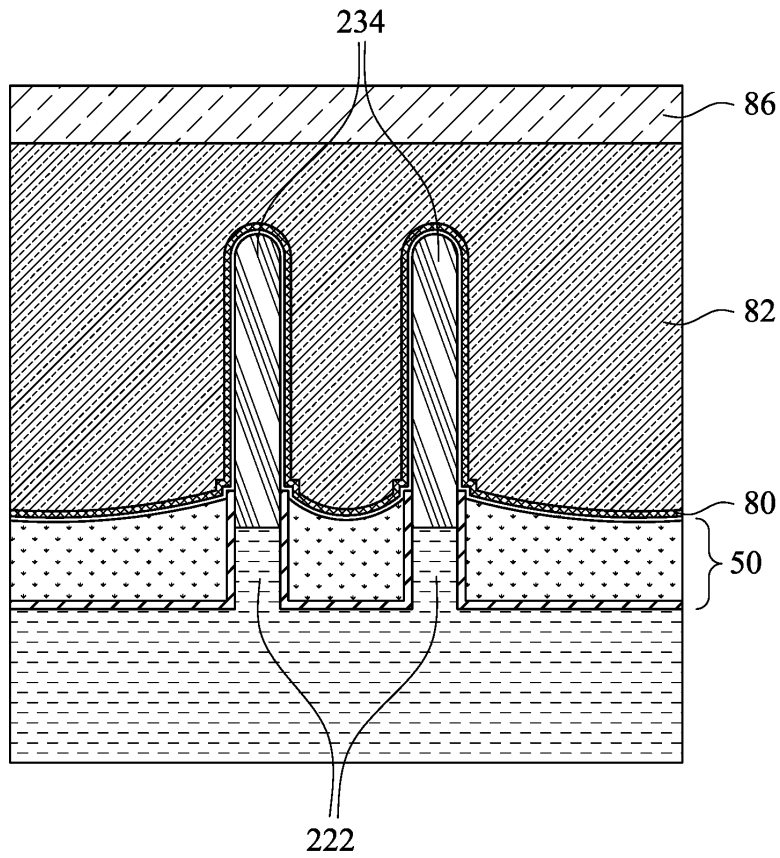
도면14



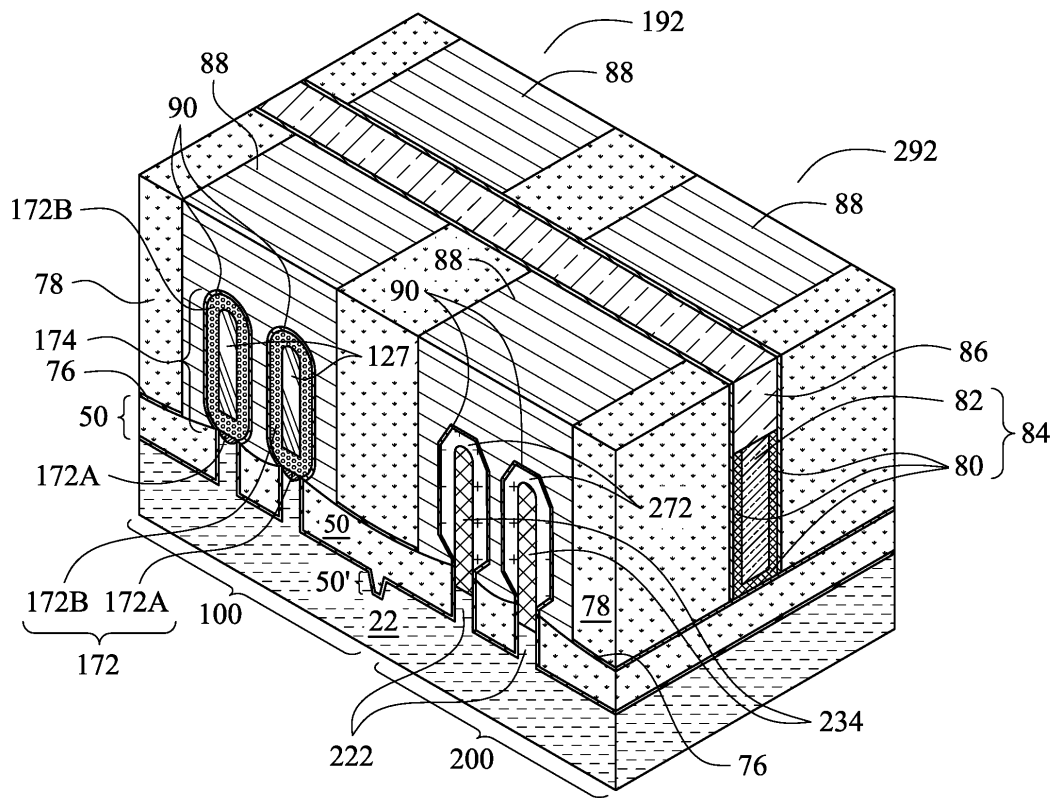
도면15e



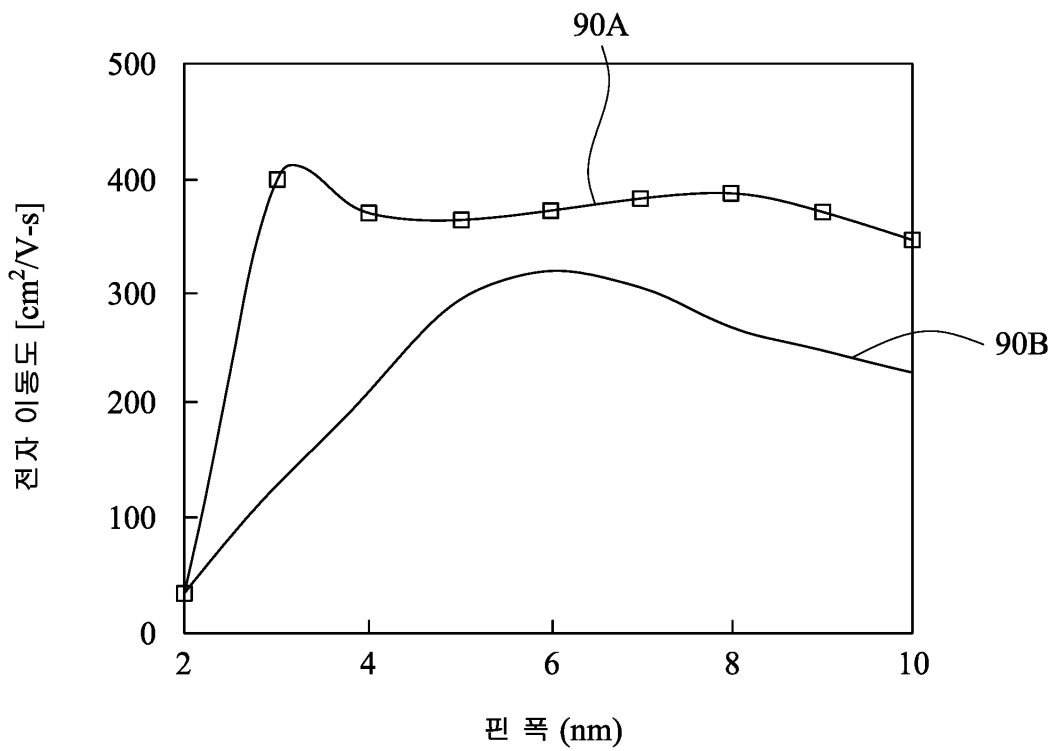
도면15f



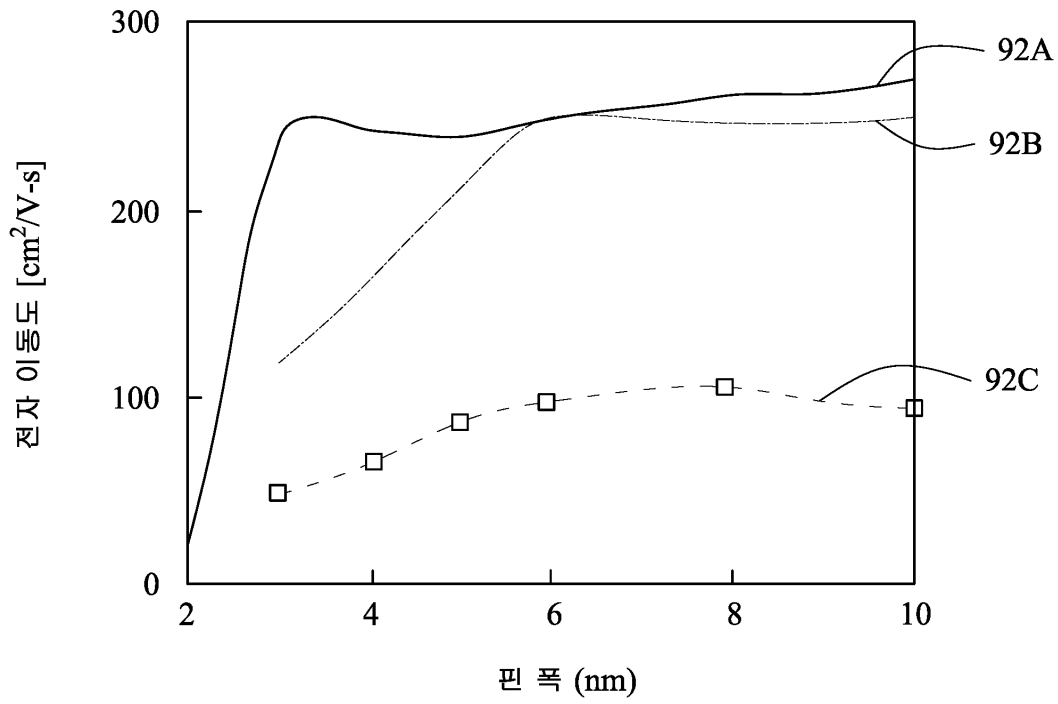
도면16



도면17a



도면17b



도면18

300

