



(12) 发明专利

(10) 授权公告号 CN 113611703 B

(45) 授权公告日 2024.07.26

(21) 申请号 202110463759.3

(22) 申请日 2021.04.28

(65) 同一申请的已公布的文献号
申请公布号 CN 113611703 A

(43) 申请公布日 2021.11.05

(30) 优先权数据
16/865,429 2020.05.04 US
16/865,428 2020.05.04 US

(73) 专利权人 南亚科技股份有限公司
地址 中国台湾新北市泰山区南林路98号

(72) 发明人 丘世仰

(74) 专利代理机构 北京派特恩知识产权代理有
限公司 11270
专利代理师 浦彩华 姚开丽

(51) Int.Cl.
H10B 20/25 (2023.01)

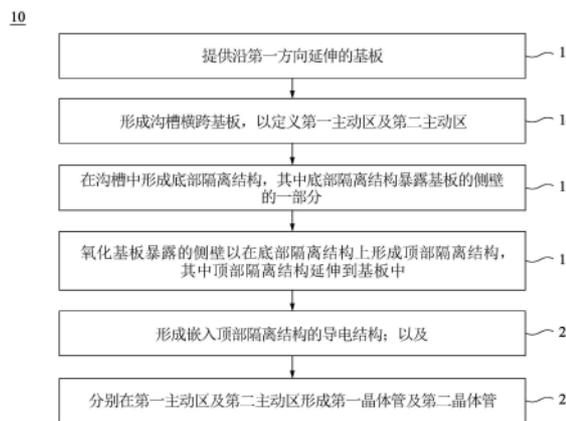
(56) 对比文件
US 2012008364 A1, 2012.01.12
审查员 温明森

权利要求书2页 说明书5页 附图17页

(54) 发明名称
制造半导体结构的方法

(57) 摘要

本发明公开了一种制造半导体结构的方法,包含以下操作。提供沿第一方向延伸的基板。形成横跨基板的沟槽以定义第一主动区及第二主动区。在沟槽中形成底部隔离结构,其中底部隔离结构暴露基板的侧壁的一部分。氧化基板暴露的侧壁以在底部隔离结构上形成顶部隔离结构,其中顶部隔离结构延伸到基板中。形成嵌入顶部隔离结构的导电结构;以及分别在第一主动区及第二主动区形成第一晶体管及第二晶体管。本发明的方法可以减少具有反熔丝结构和晶体管的半导体结构的尺寸,从而实现高装置密度。



1. 一种制造半导体结构的方法,其特征在于,包含:
提供沿第一方向延伸的基板;
形成沟槽横跨所述基板,以定义第一主动区及第二主动区,其中所述沟槽具有宽度;
在所述沟槽中形成底部隔离结构,其中所述底部隔离结构暴露所述基板的侧壁的一部分;
氧化所述基板暴露的所述侧壁以在所述底部隔离结构上形成顶部隔离结构,其中所述顶部隔离结构延伸到所述基板中;
形成嵌入所述顶部隔离结构的导电结构,其中所述导电结构具有宽度小于所述沟槽的所述宽度;以及
分别在所述第一主动区及所述第二主动区中形成第一晶体管及第二晶体管。
2. 如权利要求1所述的方法,其特征在于,所述第一晶体管及所述第二晶体管的源极/漏极区分别具有下表面位于所述导电结构的下表面下方。
3. 如权利要求2所述的方法,其特征在于,所述顶部隔离结构及所述底部隔离结构共同将所述导电结构与所述第一晶体管及所述第二晶体管的所述源极/漏极区分隔。
4. 如权利要求1所述的方法,其特征在于,形成所述第一晶体管及所述第二晶体管包含:
在所述第一主动区及所述第二主动区的所述基板上形成栅极结构;以及
在所述第一主动区及所述第二主动区的所述基板中形成源极/漏极区,其中所述源极/漏极区位于所述顶部隔离结构的相对侧。
5. 如权利要求4所述的方法,其特征在于,还包含形成多个接触插塞分别与所述第一晶体管及所述第二晶体管的所述源极/漏极区、所述栅极结构以及所述导电结构连接。
6. 一种制造半导体结构的方法,其特征在于,包含:
提供基板,所述基板包含多个主动区沿第一方向延伸,其中所述多个主动区通过浅沟槽隔离结构彼此分隔;
形成沟槽横跨所述多个主动区及所述浅沟槽隔离结构,其中所述沟槽具有宽度;
在所述沟槽中形成反熔丝结构,其中所述反熔丝结构包含覆盖所述沟槽的隔离结构及嵌入所述隔离结构中的导电结构,其中所述导电结构具有宽度小于所述沟槽的所述宽度;以及
在所述各主动区中形成晶体管,其中所述晶体管通过所述隔离结构与所述导电结构分隔。
7. 如权利要求6所述的方法,其特征在于,形成所述反熔丝结构包含:
在所述沟槽中形成所述隔离结构的底部部分,其中所述隔离结构的所述底部部分具有高度小于所述沟槽的深度;
形成所述隔离结构的顶部部分,其中所述顶部部分横向地延伸到所述基板中;以及
在所述隔离结构上形成所述导电结构。
8. 如权利要求6所述的方法,其特征在于,形成所述晶体管包含:
在各所述主动区的所述基板上形成栅极结构;以及
在各所述主动区的所述基板中形成源极/漏极区,其中所述源极/漏极区与所述栅极结构相邻,且具有下表面位于所述导电结构的下表面下方。

9. 如权利要求8所述的方法,其特征在于,还包含形成多个接触插塞分别与所述源极/漏极区、所述栅极结构、及所述导电结构连接。

制造半导体结构的方法

技术领域

[0001] 本发明是有关于一种制造半导体结构的方法。具体而言,本发明是有关于一种制造具有反熔丝结构的半导体结构的方法。

背景技术

[0002] 熔丝(fuse)元件常用于半导体装置中,例如半导体记忆体或逻辑装置。反熔丝具有与熔丝相反的电气特性,并且可以通过将有缺陷的单元更换为冗余单元来修复有缺陷的单元。

[0003] 通常,一个反熔丝需要由与其相邻的一个控制闸极来控制。因此,将一个存储胞(unit cell)定义为1T1C,表示一个晶体管(栅极)和一个电容(反熔丝)。但是,当反熔丝数量增加时,传统的1T1C结构将占据很大的面积。为了实现高密度记忆单元或冗余,存储胞应尽可能小。

发明内容

[0004] 本发明的目的在于提供一种制造半导体结构的方法,该方法可以减少具有反熔丝结构和晶体管的半导体结构的尺寸,从而实现高装置密度。

[0005] 根据本发明的各种实施方式,提供一种制造半导体结构的方法。此方法包含提供沿第一方向延伸的基板。形成沟槽横跨基板,以定义第一主动区及第二主动区。氧化基板暴露的侧壁以在底部隔离结构上形成顶部隔离结构,其中顶部隔离结构延伸到基板中。形成嵌入顶部隔离结构的导电结构。分别在第一主动区及第二主动区中形成第一晶体管及第二晶体管。

[0006] 根据本发明的某些实施方式,第一晶体管及第二晶体管的源极/漏极区分别具有下表面位于导电结构的下表面下方。

[0007] 根据本发明的某些实施方式,顶部隔离结构及底部隔离结构共同将导电结构与第一晶体管及第二晶体管的源极/漏极区分隔。

[0008] 根据本发明的某些实施方式,沟槽的宽度大于导电结构的宽度。

[0009] 根据本发明的某些实施方式,形成第一晶体管及第二晶体管包含在第一主动区及第二主动区的基板上形成栅极结构;以及在第一主动区及第二主动区的基板中形成源极/漏极区,其中源极/漏极区位于顶部隔离结构的相对侧。

[0010] 根据本发明的某些实施方式,此方法还包含形成多个接触插塞分别与第一晶体管及第二晶体管的源极/漏极区、栅极结构以及导电结构连接。

[0011] 根据本发明的各种实施方式,提供一种制造半导体结构的方法。此方法包含提供基板,基板包含多个主动区沿第一方向延伸,其中主动区通过浅沟槽隔离结构彼此分隔。形成沟槽横跨主动区及浅沟槽隔离结构。在沟槽中形成反熔丝结构,其中反熔丝结构包含覆盖沟槽的隔离结构及嵌入隔离结构中的导电结构。在各主动区中形成晶体管,其中晶体管通过隔离结构与导电结构分隔。

[0012] 根据本发明的某些实施方式,形成反熔丝结构包含在沟槽中形成隔离结构的底部部分,其中隔离结构的底部部分的高度小于沟槽的深度;形成隔离结构的顶部部分,其中顶部部分横向地延伸到基板中;以及在隔离结构上形成导电结构。

[0013] 根据本发明的某些实施方式,形成晶体管包含在各主动区的基板上形成栅极结构;以及在主动区的基板中形成源极/漏极区,其中源极/漏极区与栅极结构相邻,且具有下表面位于导电结构的下表面下方。

[0014] 根据本发明的某些实施方式,此方法包含形成多个接触插塞分别与源极/漏极区、栅极结构、及导电结构连接。

[0015] 与现有技术相比,本发明的制造半导体结构的方法具有以下有益效果:在两个相邻的晶体管的间会形成一对反熔丝结构,并且可以同时被熔断。因此,该方法可以减少具有反熔丝结构和晶体管的半导体结构的尺寸,从而实现高装置密度。

附图说明

[0016] 当读到随附的附图时,从以下详细的叙述可充分了解本发明的各方面。值得注意的是,根据工业上的标准实务,各种特征不是按比例绘制。事实上,为了清楚的讨论,各种特征的尺寸可任意增加或减少。

[0017] 图1为根据本发明的某些实施方式绘示的制造半导体结构的方法流程图。

[0018] 图2至图4为根据本发明的某些实施方式绘示的制造半导体结构的工艺各步骤的俯视图。

[0019] 图5A、图6A、图7A、图8A、图9A、图10A为根据本发明的某些实施方式绘示的制造半导体结构的工艺各步骤的沿着图4的线段A-A' 截取的截面图。

[0020] 图5B、图6B、图7B、图8B、图9B、图10B为根据本发明的某些实施方式绘示的制造半导体结构的工艺各步骤的沿着图4的线段B-B' 截取的截面图。

[0021] 图11为根据本发明的某些实施方式绘示的半导体结构的截面图。

[0022] 主要附图标记说明:

[0023] 10-方法;12,14,16,18,20,22-操作;100-半导体;102,104,106-主动区;102a-第一主动区;102b-第二主动区;108-侧壁;110-浅沟槽隔离结构;120-遮罩层;200-隔离结构;200'-隔离层;202-底部隔离结构;204-顶部隔离结构;210-导电结构;210S,312S,322S-下表面;302a-第一晶体管;302b-第二晶体管;310,320-栅极结构;312,322-源极/漏极区;400-接触插塞;A-A',B-B'-线段;AF1,AF2-反熔丝结构;D1-第一方向;D2-第二方向;H1,H1'-深度;H2-高度;OP1-开口;T1-沟槽;W1,W2-宽度。

具体实施方式

[0024] 以下揭示内容提供许多不同实施例或实例,以便实现各个实施例的不同特征。下文描述部件及排列的特定实例以简化本发明内容。当然,此等实例仅为实例且不意欲为限制性。举例而言,在随后描述中在第二特征上方或在第二特征上第一特征的形成可包括第一及第二特征形成为直接接触的实施例,以及亦可包括额外特征可形成在第一及第二特征之间,使得第一及第二特征可不直接接触的实施例。另外,本发明案在各实例中可重复元件符号及/或字母。此重复为出于简单清楚的目的,且本身不指示所论述各实施例及/或配置

之间的关系。

[0025] 在本文中使用时空间相对用语,例如“下方”、“之下”、“上方”、“之上”等,这是为了便于叙述一元件或特征与另一元件或特征之间的相对关系,如图中所绘示。这些空间上的相对用语的真实意义包含其他的方位。例如,当附图上下翻转180度时,一元件与另一元件之间的关系,可能从“下方”、“之下”变成“上方”、“之上”。此外,本文中所使用的空间上的相对叙述也应作同样的解释。

[0026] 图1为根据本发明的某些实施方式绘示的制造半导体结构的方法10流程图。方法10包含操作12、操作14、操作16、操作18、操作20以及操作22。应注意,图1所示的方法仅为示例,并且不旨在限制本发明。因此,可以在图1所示的方法之前、期间和/或之后执行附加操作,并且本文仅简要描述一些其他操作。图2至图4及图5A至图11分别是根据图1的方法10绘示的制造半导体结构的工艺各步骤的俯视图及剖面图。

[0027] 请参考图1及图2。在图1的操作12中,提供沿第一方向D1延伸的基板100。基板100可以包括沿着第一方向D1延伸的多个主动区102、104及106。相邻的主动区之间通过浅沟槽隔离结构110隔开。例如,如图2所示,浅沟槽隔离结构110位于主动区102和主动区104之间,并将其分开。在一些实施方式中,基板100可以由硅或碳化硅制成的单晶半导体基板或多晶半导体基板、由硅锗等制成的化合物半导体基板、绝缘体上硅(SOI)基板等。在一些实施方式中,浅沟槽隔离结构110包含四乙氧基硅烷(TEOS)、氧化硅、氮化硅、氮氧化硅或氟化物掺杂的硅酸盐(FSG)。

[0028] 请参考图3,在基板100上形成遮罩层120以覆盖主动区102、104、106以及浅沟槽隔离结构110。在一些实施方式中,遮罩层120由氧化硅、氮化硅、氮氧化硅、碳化硅、其他合适的材料或其组合制成。可以通过包括化学气相沉积(CVD)工艺、原子层沉积(ALD)工艺、物理气相沉积(PVD)工艺或其组合的合适的沉积方法在基板100上形成遮罩层120。在一些实施方式中,图案化遮罩层120,并且具有开口OP1以暴露其下的结构。遮罩层120可以通过适当的方法来图案化,例如使用光刻图案化(photolithography patterning)工艺和蚀刻工艺。因此,开口OP1形成在遮罩层120中,以暴露出主动区102、104和106以及浅沟槽隔离结构110的一部分。

[0029] 请参考图1及图4。在图1的操作14中,形成沟槽T1横跨基板100。在一些实施方式中,主动区102、104、106及浅沟槽隔离结构110被开口OP1(如图3所示)暴露的部分被蚀刻以在基板100中形成沟槽T1。沟槽T1沿第二方向D2延伸,横跨主动区102、104及106和浅沟槽隔离结构110,使得主动区102、104及106被分为多个区段。例如,沟槽T1横跨主动区102以定义第一主动区102a及第二主动区102b。

[0030] 图5A及图5B分别是沿图4的线段A-A'和B-B'截取的截面图。如图5A所示,沟槽T1露出基板100的侧壁108。基板100和浅沟槽隔离结构110的一部分可以通过适当的蚀刻工艺蚀刻形成沟槽T1。在一些实施方式中,沟槽T1在主动区102中的深度H1(如图5A所示)比在浅沟槽隔离结构110中的深度H1'(如图5B所示)深。在以下操作中,以主动区102和相邻的浅沟槽隔离结构110的截面图做为示例。

[0031] 接着,在图1的操作16中,形成底部隔离结构202于沟槽T1中。图6A至图7B为根据本发明的一实施方式绘示的执行操作16的详细步骤。图6A、图7A及图6B、图7B分别为沿图4的线段A-A'和B-B'截取的横截面。

[0032] 请参考图6A及图6B,沟槽T1填充有绝缘材料,从而形成隔离层200'。在一些实施方式中,隔离层200'包含氧化硅、氮化硅、氮氧化硅、四乙氧基硅烷 (TEOS) 或氟化物掺杂的硅酸盐 (FSG)。在一些示例中,隔离层200'的材料与浅沟槽隔离结构110的材料相同。隔离层200'可以通过合适的沉积方法形成,包括CVD工艺、ALD工艺、PVD工艺或其组合。在一些实施方式中,隔离材料可以形成在沟槽T1中并覆盖遮罩层120的顶表面,然后执行平坦化工艺,例如化学机械抛光 (CMP) 工艺以形成隔离层200'。

[0033] 之后,请参考图7A及图7B,凹陷隔离层200'以形成底部隔离结构202。凹陷隔离层200'暴露基板100的一部分侧壁108,以使其在随后的步骤中被氧化。在一些实施方式中,底部隔离结构202是通过使用适当的各向异性 (anisotropic) 蚀刻工艺 (例如干蚀刻工艺) 形成的。在一些实施方式中,底部隔离结构202的高度H2小于基板100中沟槽T1的深度H1。

[0034] 请参考图1及图8A-图8B。在图1的操作18中,氧化基板100暴露的侧壁108以在底部隔离结构202上形成顶部隔离结构204,其中顶部隔离结构204延伸至基板100中。在一些实施方式中,顶部隔离结构204通过执行热氧化工艺氧化基板100暴露的侧壁108 (如图7A所示) 来形成。如图8A所示,顶部隔离结构204横向延伸至基板100中。具体而言,顶部隔离结构204形成在底部隔离结构202上,并且具有开口暴露底部隔离结构202的顶表面的一部分。如此,顶部隔离结构204和底部隔离结构202共同形成隔离结构200,以覆盖沟槽T1的侧壁和底部。

[0035] 请参考图1及图9A-图9B。在图1的操作20中,形成嵌入隔离结构200的导电结构210。在一些实施方式中,导电结构210通过合适的沉积方法形成,包括化学气相沉积 (chemical vapor deposition, CVD) 工艺,原子层沉积 (atomic layer deposition, ALD) 工艺,物理气相沉积 (physical vapor deposition, PVD) 工艺或其组合。导电结构210设置在图8A所示的底部隔离结构202的暴露的顶表面上。具体而言,导电结构210的侧壁的底部部分被顶部隔离结构204覆盖。也就是说,顶部隔离结构204将导电结构210与基板100分隔开。如图9A所示,导电结构210的宽度W2小于沟槽T1的宽度W1。在一些实施方式中,导电结构210包含导电材料 (例如多晶硅、金属、金属合金)、其他合适的材料和/或其组合。

[0036] 请参考图10A及图10B,在形成导电结构210之后,移除遮罩层120 (如图9A及图9B所示)。具体而言,通过诸如干蚀刻工艺或湿蚀刻工艺的蚀刻工艺移除遮罩层120,以暴露出基板100的顶表面。

[0037] 请参考图1及图11。在图1的操作22中,第一晶体管302a及第二晶体管302b分别形成在第一主动区102a及第二主动区102b中。如图11所示,第一晶体管302a包含栅极结构310及源极/漏极区312,且第二晶体管302b包含栅极结构320及源极/漏极区322。在一些实施方式中,第一晶体管302a及第二晶体管302b形成在基板100的p型井区 (p-well region) (未图示)。源极/漏极区312及322位于隔离结构200的相对两侧,分别与栅极结构310及320相邻。源极/漏极区312及322分别具有下表面312s及322s位于导电结构210的下表面210s下方,使导电结构与基板100的p型井区完全隔离,以防止漏电问题 (leakage issue)。

[0038] 第一晶体管302a的形成可以包含在第一主动区102a的基板100上形成栅极结构310,以及在第一主动区102a的基板100中形成源极/漏极区312。例如,栅极结构310的形成可以包含合适的沉积方法,例如CVD工艺、PVD工艺、或其类似者。在一些实施方式中,栅极结构310包含多晶硅、金属诸如铝 (Al)、铜 (Cu) 或钨 (W)、其他导电材料或其组合。此外,可以通

过执行离子植入 (ion implantation) 工艺形成源极/漏极区312, 并且掺杂的深度必须比导电结构210的下表面210s深。在一些实施方式中, 源极/漏极区312掺杂有N型掺杂剂, 例如磷或砷。第二晶体管302b的栅极结构320和源极/漏极区322的材料和形成可以与上述第一晶体管302a相同, 在此不再赘述。应注意, 也可以通过上述工艺在其他主动区 (例如, 主动区104、106) 中形成其他晶体管 (未示出)。

[0039] 在一些实施方式中, 在形成第一晶体管302a和第二晶体管302b之后, 此方法进一步包含形成多个接触插塞分别与第一及第二晶体管302a、302b的源极/漏极区312、322及栅极结构310、320以及导电结构210连接。例如, 接触插塞400接地并分别与远离隔离结构200的源极/漏极区312及322相连。

[0040] 请继续参考图11, 隔离结构200将导电结构210与第一晶体管302a和第二晶体管302b的源极/漏极区312及322分开。一对反熔丝结构AF1和AF2形成在晶体管302a和302b之间。导电结构210作为反熔丝结构AF1和AF2的顶板 (top plate)。源极/漏极区312及322作为反熔丝结构AF1和AF2的底板 (bottom plate)。隔离结构200, 更详细而言为顶部隔离结构204, 充当反熔丝结构AF1和AF2的顶板和底板之间的介电层。具体而言, 反熔丝结构AF1包含导电结构210、隔离结构200、及与晶体管302a共享的源极/漏极区312。类似地, 反熔丝结构AF2包含导电结构210、隔离结构200及与晶体管302b共享的源极/漏极区322。可以在反熔丝AF1和AF2的两端 (即源极/漏极区312、322和导电结构210) 施加电压, 以引起介电层的击穿 (breakdown), 这导致介电层的破裂 (rupture)。

[0041] 如上所述, 根据本发明的实施方式, 提供一种制造半导体结构的方法。在本发明的半导体结构的制造中, 隔离结构将基板分离成多个主动区。然后从隔离结构的顶表面嵌入导电结构, 并在隔离结构相对两侧的主动区中形成晶体管。因此, 在两个相邻的晶体管之间会形成一对反熔丝结构, 并且可以同时被熔断 (blown out)。换句话说, 本发明的方法可以减少具有反熔丝结构和晶体管的半导体结构的尺寸, 从而实现高装置密度。

[0042] 虽然本发明已以实施方式公开如上, 然其并非用以限定本发明, 任何所属领域的技术人员, 在不脱离本发明的精神和范围内, 当可作各种的更动与润饰, 因此本发明的保护范围当视权利要求所界定的为准。

10

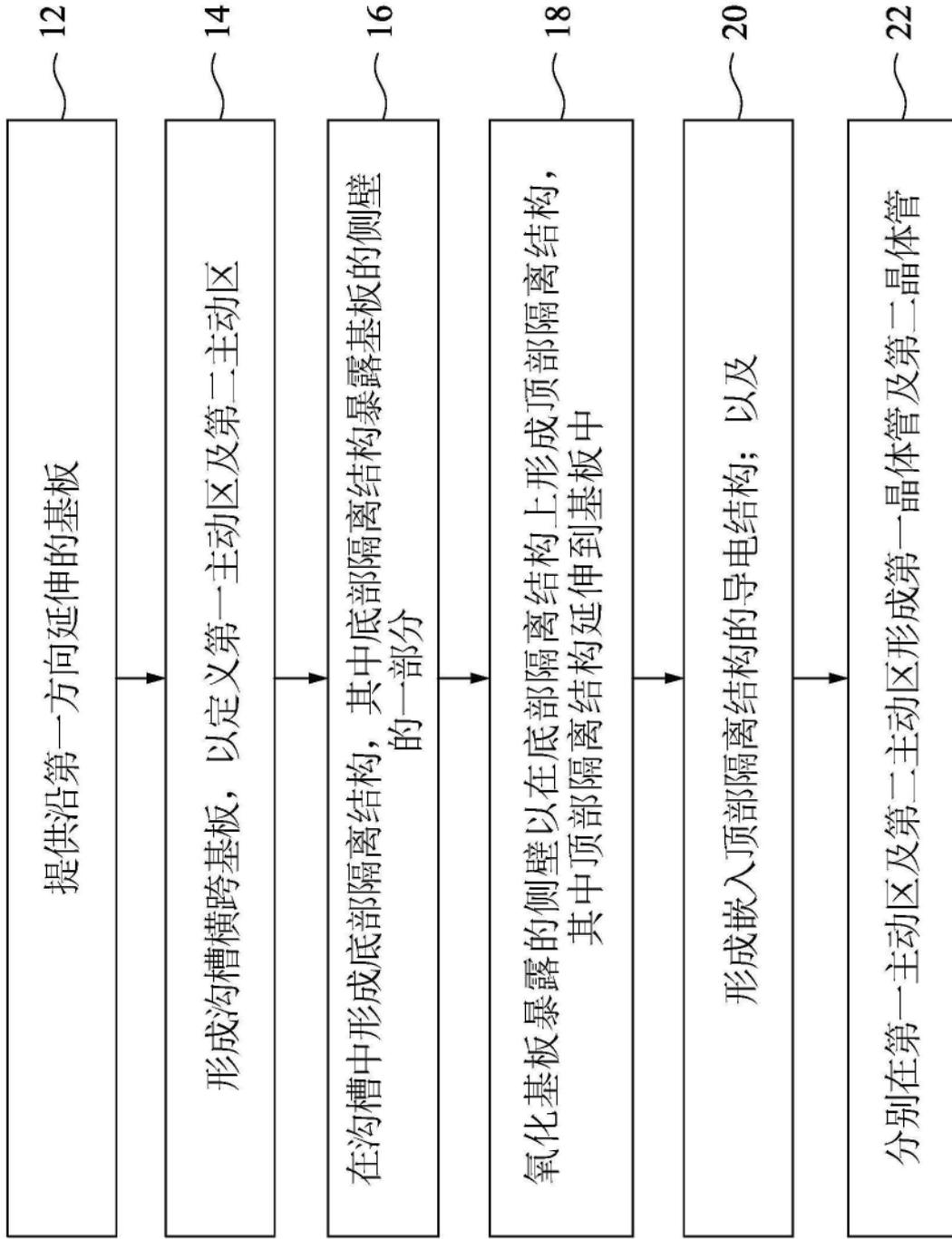


图1

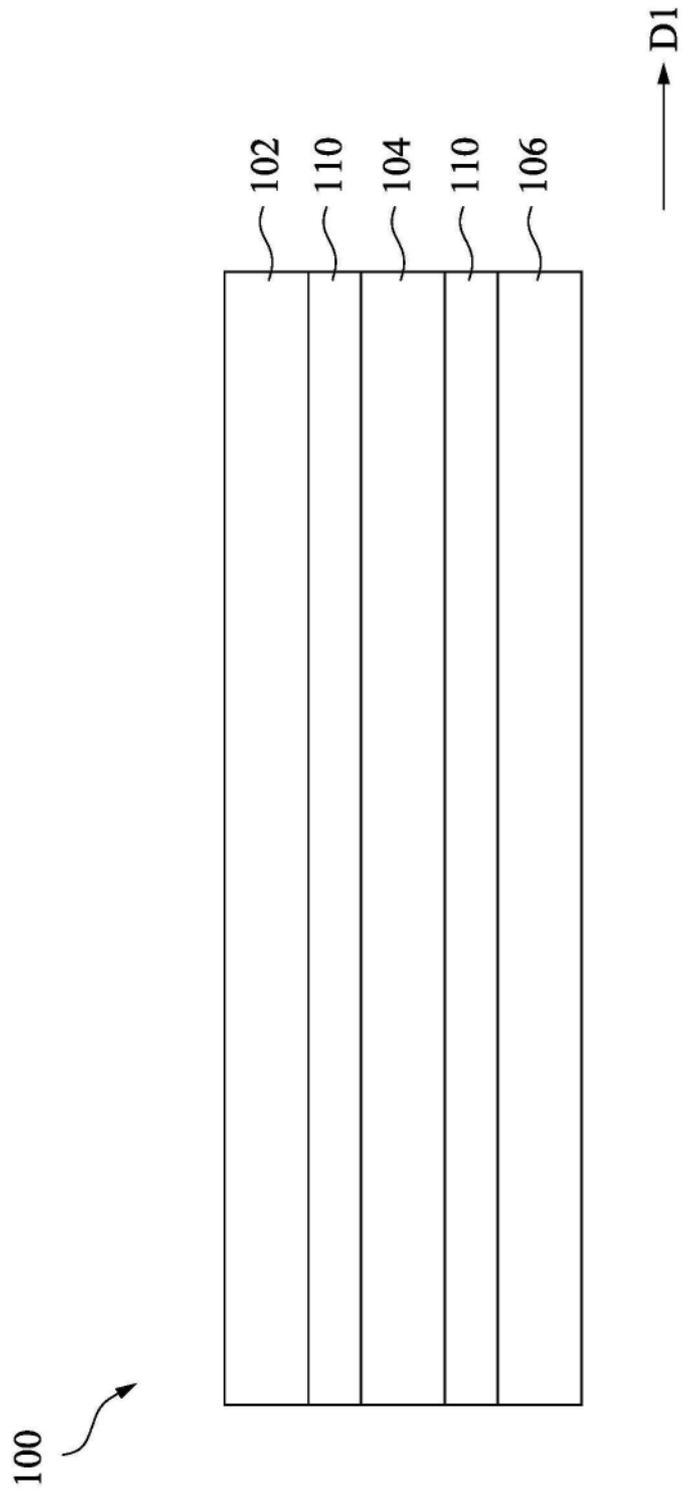


图2

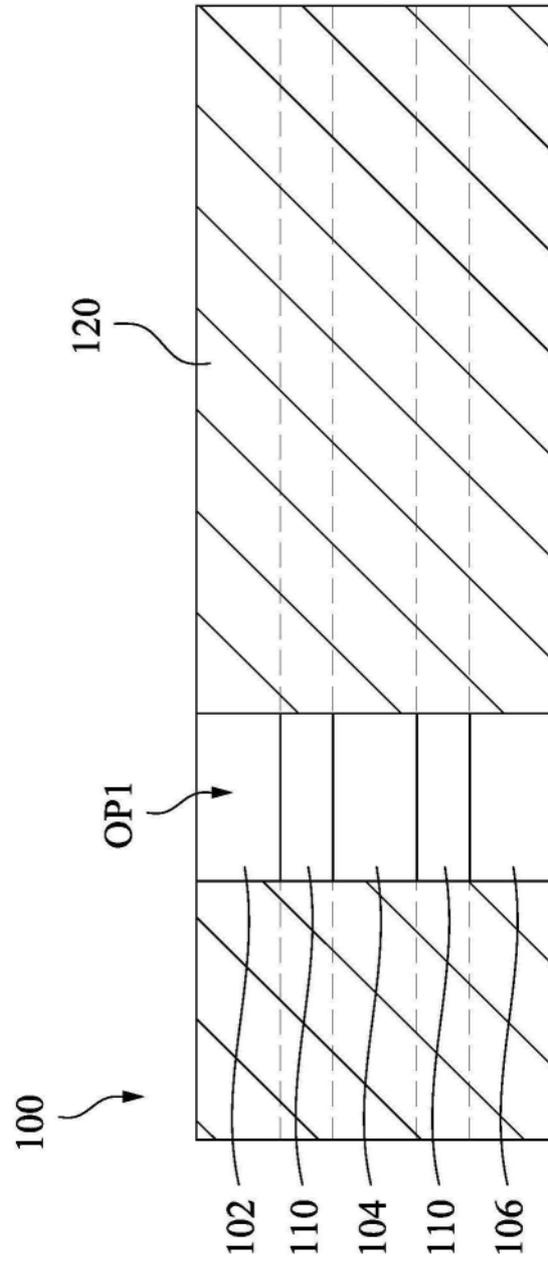


图3

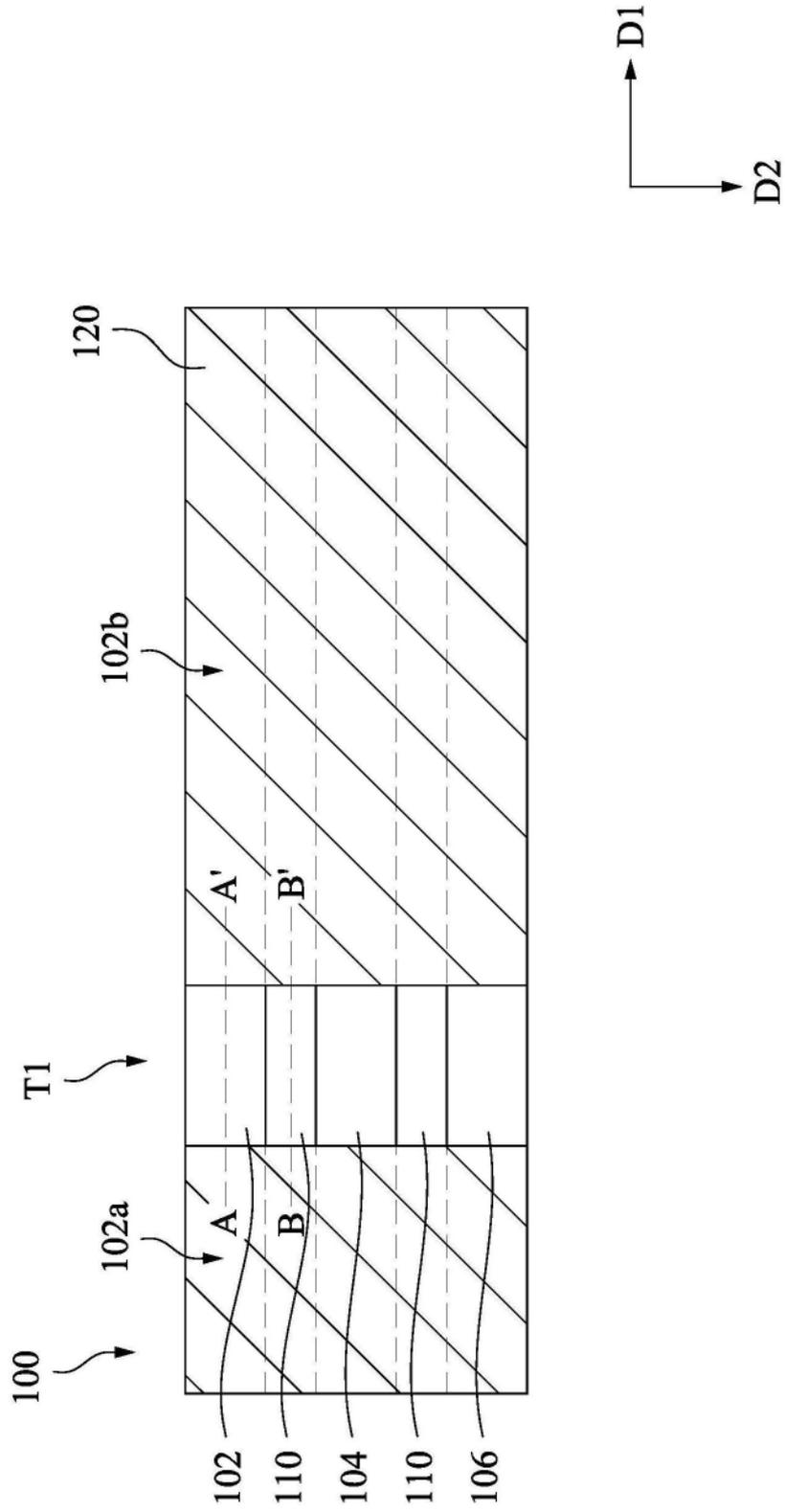


图4

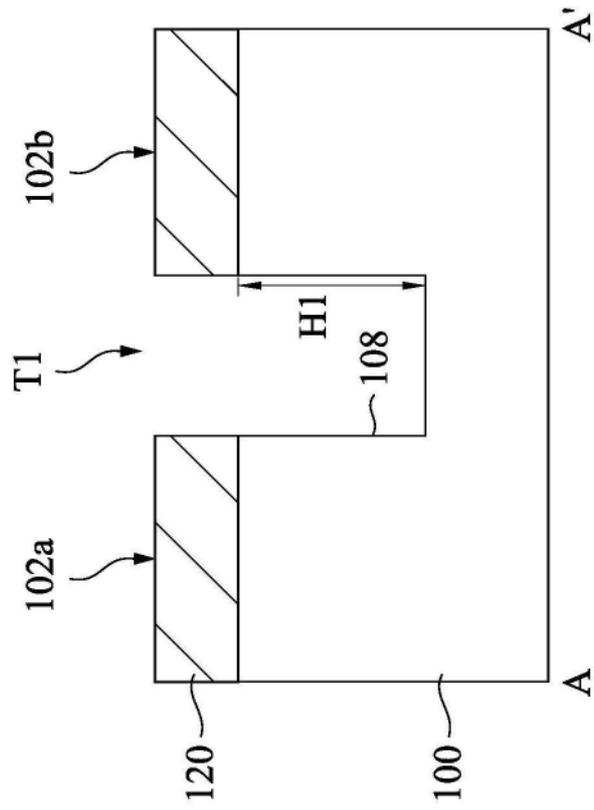


图5A

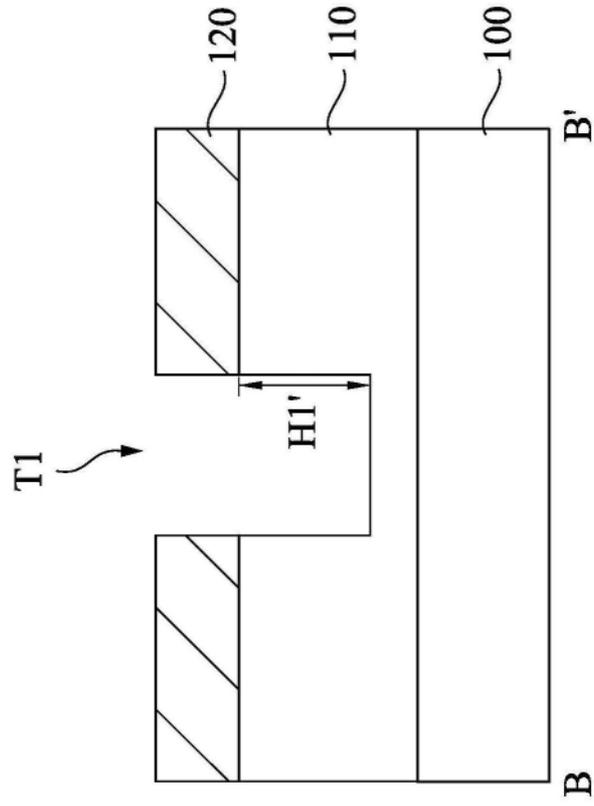


图5B

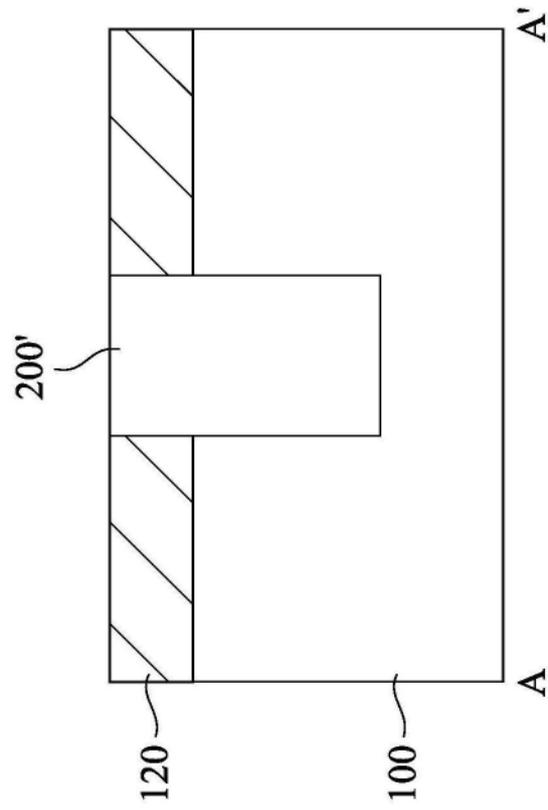


图6A

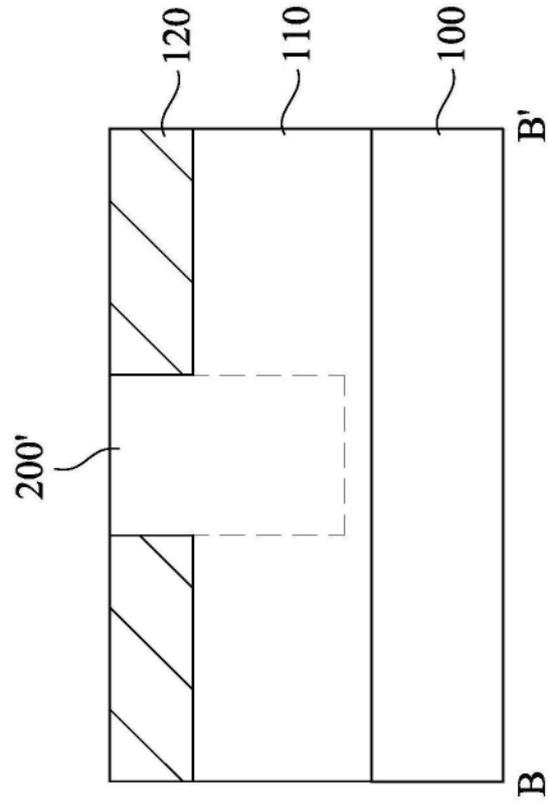


图6B

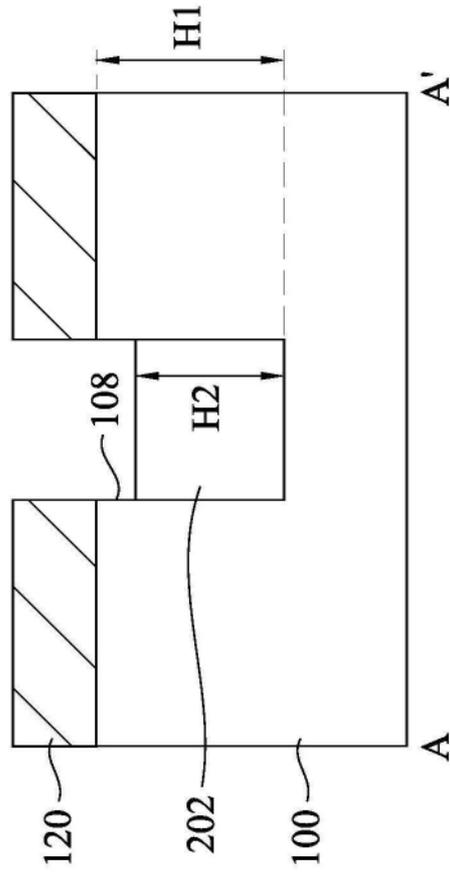


图7A

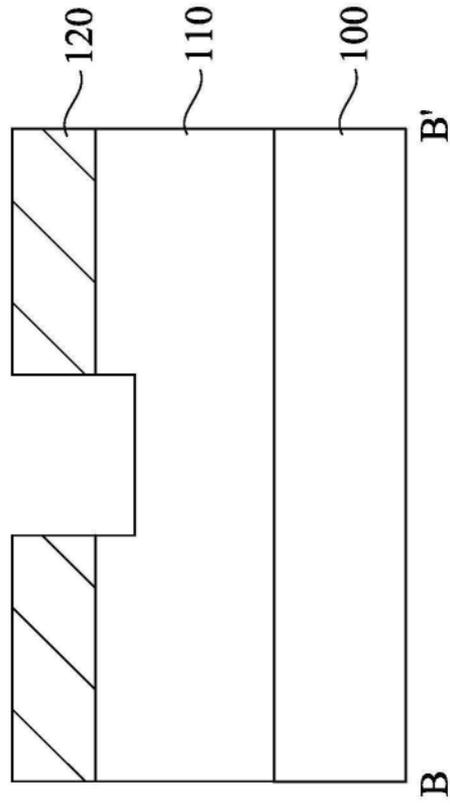


图7B

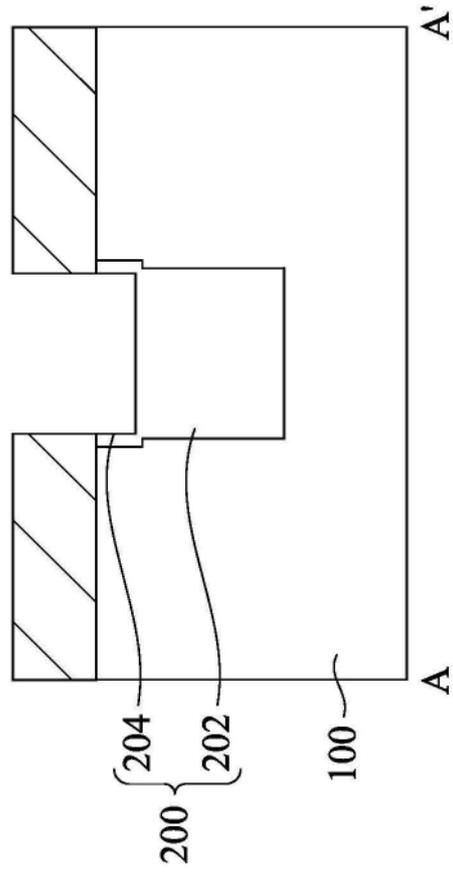


图8A

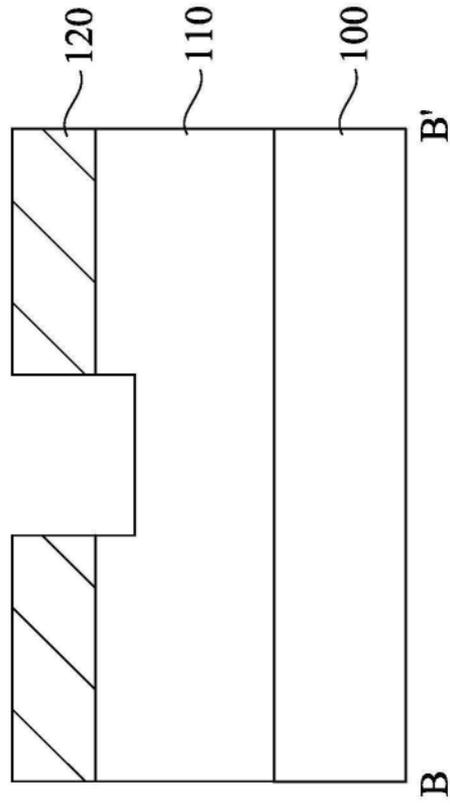


图8B

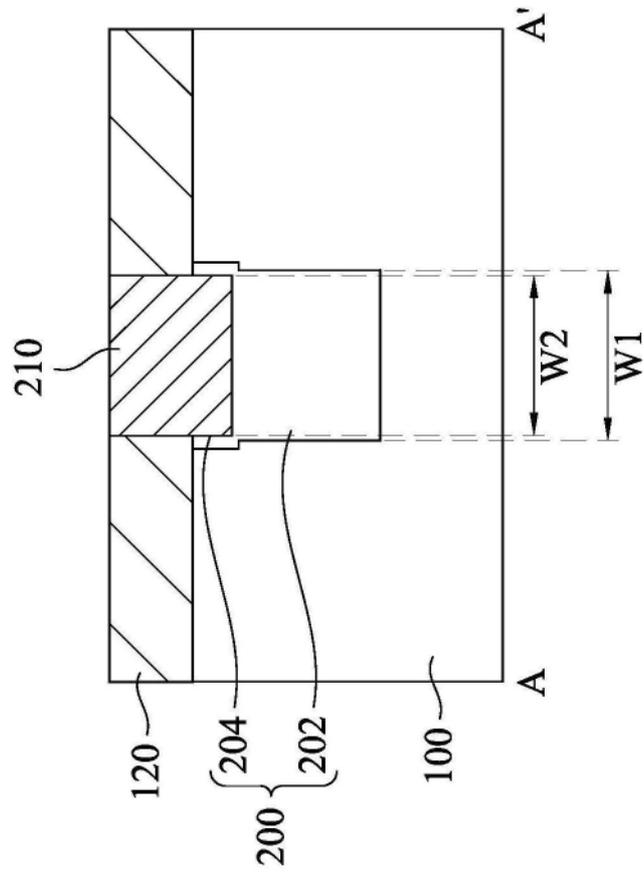


图9A

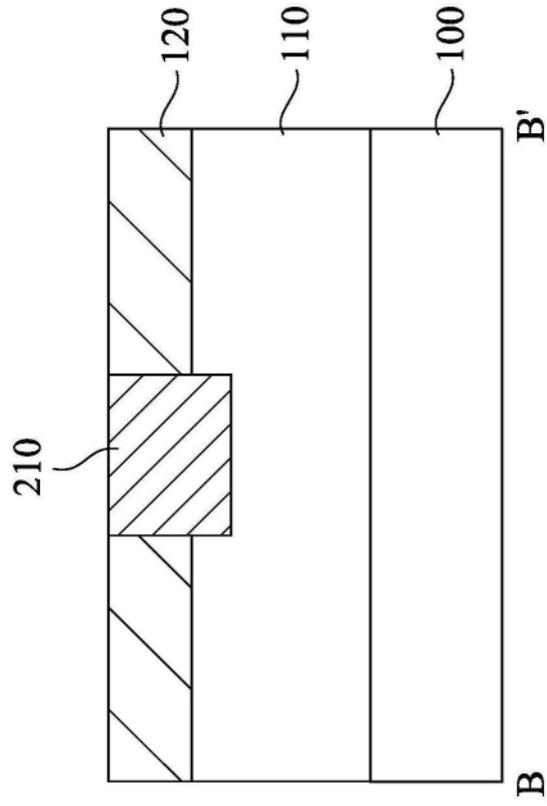


图9B

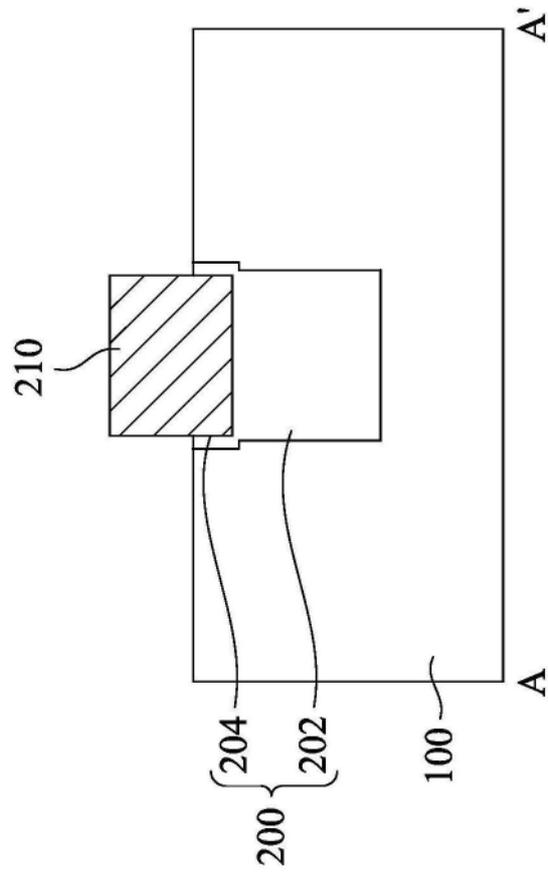


图10A

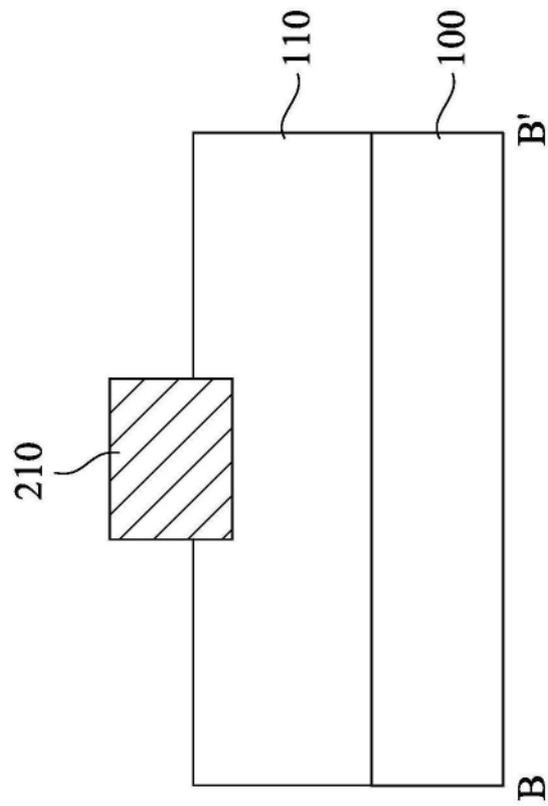


图10B

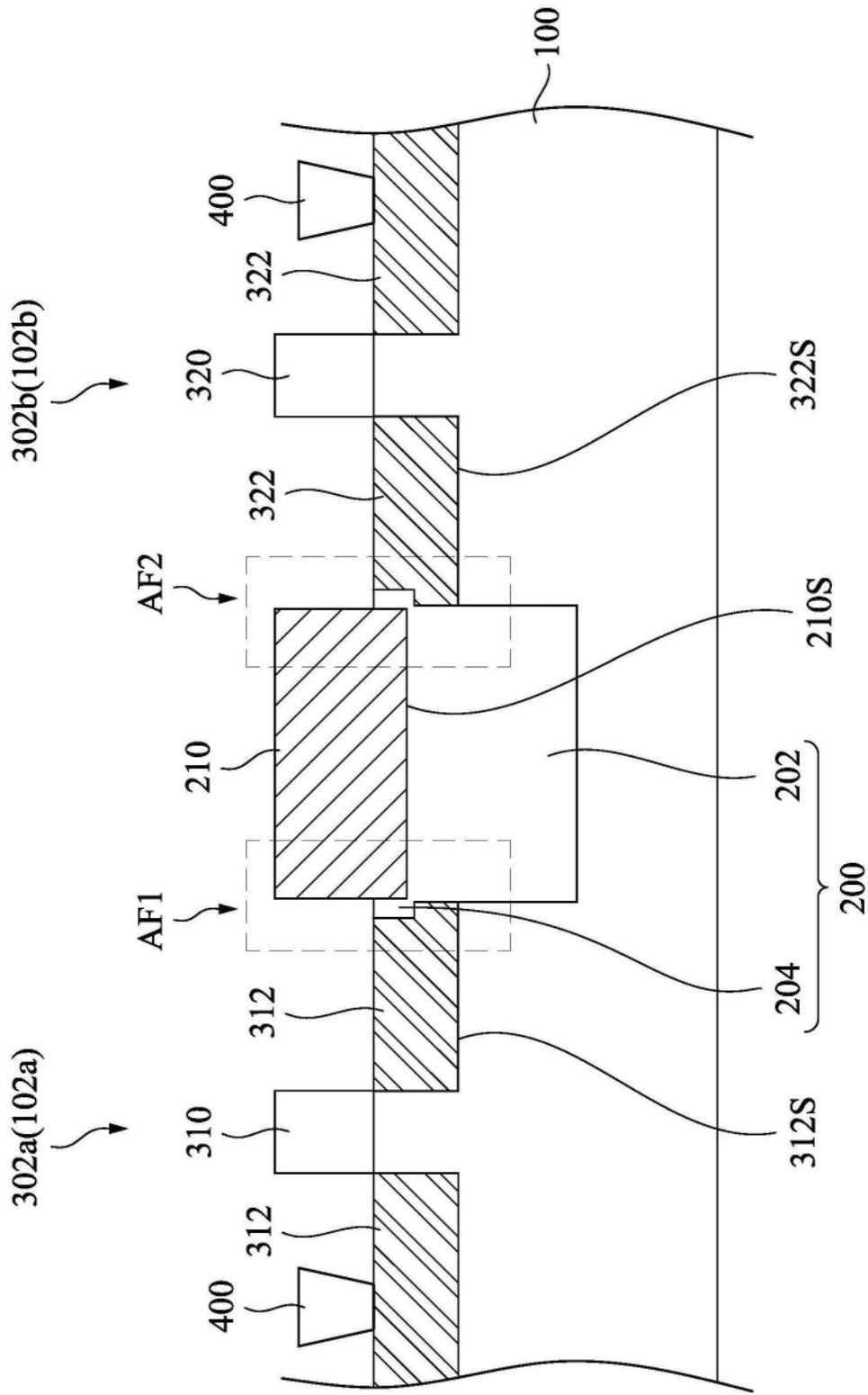


图11