

公告本

89年3月10日

修正本

申請日期:

89.1.11

案號: 89100330

類別:

H01L 21/8227

(以上各欄由本局填註)

439231

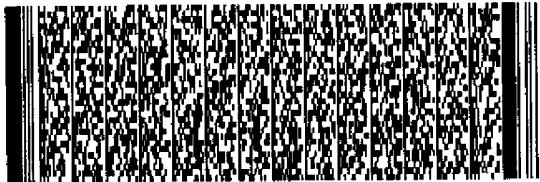
發明專利說明書

補充

89.3.10

一、發明名稱	中文	多階記憶單元
	英文	
二、發明人	姓名 (中文)	1. 林泓均 2. 王是琦 3. 陳泰元
	姓名 (英文)	1. Hong Chin Lin 2. Shyh-Chyi Wong 3. Tai-Yuan Chen
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台北市中山區正守里2鄰林森北路67巷150弄55號 2. 台中市北區金華里10鄰興進路187號15樓之5 3. 屏東市橋南里2鄰民生路139號
三、申請人	姓名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓名 (名稱) (英文)	1. Winbond Electronics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研新三路四號
	代表人 姓名 (中文)	1. 焦佑鈞
代表人 姓名 (英文)	1.	

填請委員顯示本發明專利說明書內容



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

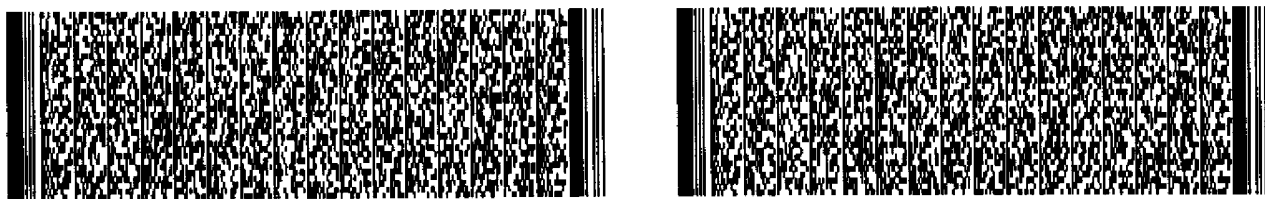
無

五、發明說明 (1)

本發明係關於一種半導體記憶裝置，特別關於一種多階記憶單元，可儲存多個位元，並提高每單位晶片面積之位元儲存容量，亦不需複雜之週邊電路。

隨著CMOS之技術深入到次微米以下，快閃記憶體(Flash memory)之密度也跟著不斷升高，使每位元所需之成本被大幅地減少。但是，在電路體積縮小之過程中卻會遇上更多的問題。有些研究者提出了不同種類記憶體之多階(multi-level)結構，這些記憶體種類包括DRAM、SDRAM、Flash EEPROM。其中，多階Flash EEPROM特別受到注目。在多階結構之觀念尚未應用於快閃記憶體之前，一個快閃記憶體單元僅可儲存一個位元，且藉由臨界電壓值(threshold voltage)之改變來控制位元之讀取。臨界電壓之改變係起因於浮接閘極(floating gate)中所儲存之電荷量的改變。當浮接閘極充入電荷時，臨界電壓值較高，可以視為「0」。反之，浮接閘極內沒有電荷時，臨界電壓值較低，可以視為「1」。因此，每一個快閃記憶體之記憶單元(memory cell)使用兩個位階來儲存一個位元。但是，如果每一個記憶單元可以使用兩個以上之位階，如4個、8個或更多，就等於可以儲存2個、3個或更多個位元。如此，在每單位晶片面積上儲存之資料容量便可以大幅增加。由於臨界電壓值係由儲存於浮接閘極中之電荷來控制，如果臨界電壓值可以具有數個位階，則多階記憶便可實現。

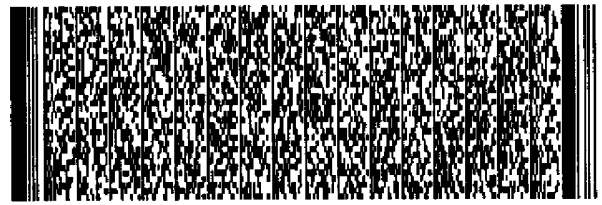
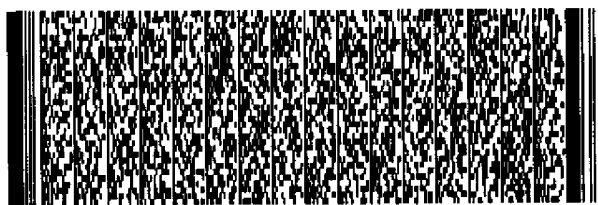
為了多階記憶之應用，許多種不同的快閃記憶單元結構都被提出研究，包括common ground(工業標準)、



五、發明說明 (2)

DINOR、AND、NOR、NAND等結構。這些快閃記憶單元不外乎利用在源/汲極接合面之CHE(Channel Hot Electron)或FN(Fowler-Nordheim)隧穿來進行寫入之動作。為了控制在浮接閘極中之電荷量，在控制閘極(control gate)或源/汲極接合面加上了多個不同之電壓值。快閃記憶單元在進行抹除時，通常利用在源/汲極接合面、控制閘極或另一個抹除閘極間之FN隧穿來達成。大部份之快閃記憶單元是使用N通道的。最近，有些研究者試著將P通道應用於快閃記憶單元，以發展其在低功率上之應用，包括DINOR及多階快閃記憶體。其寫入之方法係同時使用了CHE及FN隧穿，且在控制閘極上使用脈衝。

除了多階記憶之技術，另一種則是多重儲存式(multi-storage)快閃記憶體。在此技術中，電荷被儲存於快閃記憶單元的不同位置中。其寫入、讀取及抹除之條件與單位元快閃記憶單元相同，但其結構則與一般標準之快閃記憶單元不同。在Y. Ma等人提出之「A dual-bit split-gate (DSG)EEPROM cell in contactless array for single-Vcc high density Flash memories」(IEDM Tech. Dig., 1994, pp.57-60)文章中提供了一種雙位元分離閘極(DSG)快閃記憶單元。第1圖即顯示了此種雙位元分離閘極(DSG)快閃記憶單元，係由一具有二個做為源/汲極之摻雜區12、14之基底11、兩個浮接閘極15、16、一選擇閘極17、一控制閘極18及一傳輸閘極(transfer gate)19所構成。此記憶單元包含了兩個共用一對源/汲極12、14之記憶單元，可以記憶兩個位元。



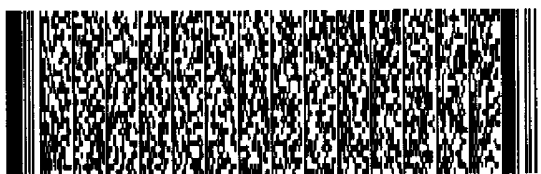
五、發明說明 (3)

對傳統之多階快閃記憶體來說，由於其需要不同之電壓值來進行寫入，所以其所需之週邊電路相當的複雜。且其可靠度方面的問題也與單位元記憶體的不同。另一方面，雖然多重儲存式快閃記憶體之性能、可靠度及電路複雜度與單位元的記憶體類似，卻在記憶單元的大小上有過大的問題。

因此，本發明係提供了一種多階記憶單元，結合了上述多階及多重儲存式記憶體之優點，且不需要複雜之週邊電路以進行寫入之動作，亦能夠保持與傳統記憶體相同之可靠度特性。其大小係介於傳統多階記憶體與多重儲存式記憶體之間。

本發明之多階記憶單元，包括一基底、一第一浮接閘極、一第二浮接閘極及一控制閘極。基底內具有一第一摻雜區、第二摻雜區及位於該第一摻雜區與該第二摻雜區間的通道區。第一浮接閘極絕緣地設置於靠該第一摻雜區側之通道區上。第二浮接閘極絕緣地設置於靠該第二摻雜區側之通道區上，且與該第一浮接閘極隔開。控制閘極絕緣地設置於該等第一及第二浮接閘極上。

另外，本發明亦提供另一種多階記憶單元，包括一基底、一第一浮接閘極、一第二浮接閘極、一控制閘極及一抹除閘極。基底內具有一第一摻雜區、第二摻雜區及位於該第一摻雜區與該第二摻雜區間的通道區。第一浮接閘極絕緣地設置於靠該第一摻雜區側之通道區上。第二浮接閘極絕緣地設置於靠該第二摻雜區側之通道區上，且與該第一浮接閘極隔開。控制閘極絕緣地設置於該等第一及第二



五、發明說明 (4)

浮接閘極上。抹除閘極絕緣地設置於該等浮接閘極側邊。

在本發明之上述兩種多階記憶單元中，第一摻雜區與第二摻雜區係做為源極區或汲極區使用，且具有不同之摻雜濃度，使其在相同偏壓之條件下，能夠使浮接閘極內之儲存電荷量不同，而在不需複雜之週邊電路下，產生多階之效果。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式簡單說明

圖1係傳統複合式快閃記憶體之結構圖。

圖2係本發明實施例之一多階記憶單元之剖面圖。

圖3A、3B係本發明另一實施例之一多階記憶單元之剖面圖。

符號說明

10~傳統複合式記憶體；11、21~基底；12、14、22、23~摻雜區；15、16、27、28、33、35~浮接閘極；17~選擇閘極；18、29、36~控制閘極；19~傳輸閘極；20、30~多階記憶體；211~通道區；24~閘極氧化層；25~絕緣層；26~隧穿氧化層及鳥嘴型氧化層；271、281~浮接閘極之突出部；31~抹除閘極；32~場氧化區。

實施例

第2圖係本發明實施例之一多階記憶單元20之剖面圖。多階記憶單元20係使用N通道，其具有一基底21、兩個位於基底21中具有不同摻雜濃度且做為源/汲極之用的



五、發明說明 (5)

摻雜區22、23、一通道區211、一閘極氧化層24、一將兩個浮接閘極27、28隔離之絕緣層25、一隧穿氧化層及鳥嘴型氧化層26及一控制閘極29。浮接閘極27、28分別位於通道區211上方之兩側，且在邊緣各具有一突出部271、281，其形成方式與一般在結晶矽上形成鳥嘴型氧化層及浮接閘極之方式相同。藉由此突出部，在進行抹除時可以加強由浮接閘極及控制閘極間電場所引發之FN隧穿之效果。另外，摻雜區22之摻雜濃度高於摻雜區23，而可以使儲存於浮接閘極中之電荷量不同。此處源極與汲極之名稱並未被使用，係由於在進行寫入時，摻雜區22及23均可做為源極或汲極使用，並沒有被限定。

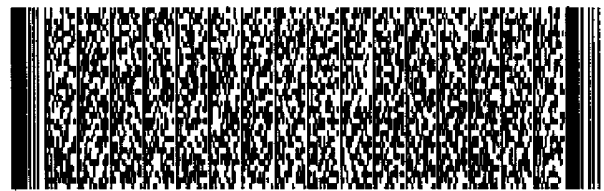
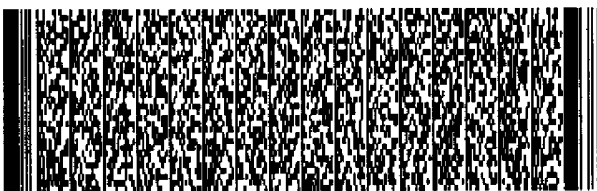
在此實施例中，閘極氧化層24之厚度約為 80 \AA ，浮接閘極27、28之長度約為 $0.075 \mu\text{m}$ ，其間隔約為 $0.03 \mu\text{m}$ 。在摻雜區22之砷摻雜濃度約為 $5 \times 10^{13} \text{ cm}^{-2}$ ，而在摻雜區23之砷摻雜濃度約為 $1 \times 10^{16} \text{ cm}^{-2}$ 。

另外，由於使用CHE注入來進行寫入較以FN隧穿進行寫入具有更多之優點，如較快之寫入速度、較佳之臨界電壓值及較小之干擾，所以此例之寫入方式以CHE為主。同時為了說明方便，在此處之基底21係直接接地，但其並不限於此種連接方式，其亦可連接至一負電壓以增加寫入及抹除之效率。

以下將逐項說明本發明之多階記憶單元的操作。

1. 寫入

a. 「0」位階：在兩個浮接閘極27、28中均沒有電荷時，表示其位於一「0」位階上，以二進位可表示成11。



五、發明說明 (6)

b. 「1」位階：當控制閘極29加正偏壓，例如是6V、摻雜區22加上一偏壓，在此例中為4V、且摻雜區23接地，通電 $10\ \mu\text{sec}$ 時，則在浮接閘極27中會具有一約 -1.437fCoulomb 之電荷量，而在浮接閘極28中沒有電荷。這種情形表示其處於一「1」之位階，以二進位可表示成10。

c. 「2」位階：當控制閘極29加正偏壓，例如是6V、摻雜區23加上一偏壓，在此例中為4V、且摻雜區22接地，通電 $10\ \mu\text{sec}$ 時，則在浮接閘極28中會具有一約 -2.235fCoulomb 之電荷量，而在浮接閘極27中沒有電荷。這種情形表示其處於一「2」之位階，以二進位可表示成01。

d. 「3」位階：首先將上述條件c通電 $10\ \mu\text{sec}$ ，接著轉換為上述條件b並亦通電 $10\ \mu\text{sec}$ ，如此，會在浮接閘極27及28中分別之電荷量分別為 -1.180fCoulomb 及 -2.235fCoulomb 。這種情形表示其處於一「2」之位階，以二進位可表示成00。

在上述四項操作條件中值得注意的是，在b與c之條件下，浮接閘極27、28中之電荷量並不相同，這是由於摻雜區22及23之摻雜濃度不同所致。這種不同所帶來之優點是可以使用相同之偏壓。因此省去了用以提供不同偏壓之額外電路。

2. 讀取

在讀取時需有適當之電壓加於控制閘極29之上。此時之摻雜區22做為汲極而摻雜區23則做為源極。基底21依然



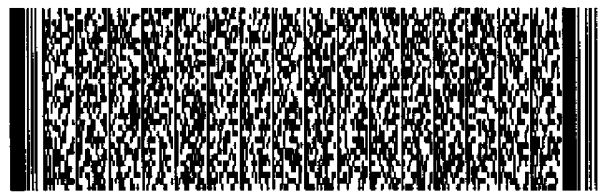
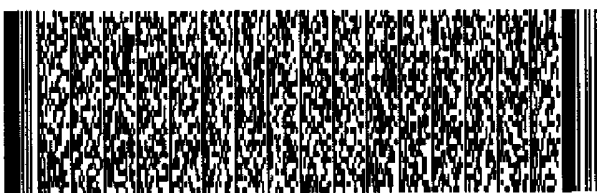
五、發明說明 (7)

接地。汲極(摻雜區22)之偏壓不需要很大，只要能使記憶體輸出之電流可以被放大器或電流比較器感測出即可。

3. 抹除

抹除時則採用「三步驟」的抹除程序；首先，無論元件處於任何位階，均先以寫入「2」位階的方式來偏壓元件 $10\ \mu\text{sec}$ ，其次以寫入「1」位階的方式偏壓元件 $10\ \mu\text{sec}$ ，經過上述兩道「重新寫入」的步驟，使各元件處於「3」位階後，將元件各端點加上所需之偏壓值進行抹除，例如，加約 6V 於控制閘極29，摻雜區23浮接，而基底21及摻雜區22連接至約 -5V 的負電壓，此時，浮接閘極27、28中之負電荷將會因FN隧穿效應而流入控制閘極29，且其偏壓時間約 $730\ \mu\text{sec}$ ，因此全部「三步驟」抹除所需之時間約為 $750\ \mu\text{sec}$ 。

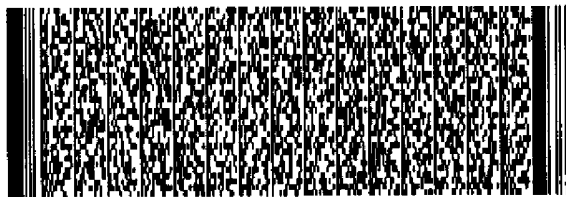
此外如第3A及3B圖所示，係本發明之另一實施例之多階記憶單元30。第3B圖係為將第3A圖沿AB線切割後所得到之剖面圖，且在第3A及3B圖中與第2圖相同之元件係使用相同之符號來表示。多階記憶單元30與第2圖中之多階記憶單元20之結構大部份均相同，唯一不同之處為多階記憶體30額外具有一抹除閘極31，位於場氧化區32之上而絕緣地設置於浮接閘極27、28之側邊。在進行抹除動作時，浮接閘極27、28中之負電荷係經由FN隧穿而藉由抹除閘極31導出，在此值得一提的是：浮接閘極27、28可以不需突出部，即如第3A圖中之271、281就可進行抹除。另外，多階記憶單元30之讀取與寫入方法與圖2中之多階記憶體20相同，此處不再贅述。



五、發明說明 (8)

綜合上述，本發明提供了一種多階記憶單元，具有兩個浮接閘極，且由於其源/汲極之摻雜濃度不同而可以使用同一種偏壓值進行寫入動作，因此結合了傳統多階及複合式記憶單元之優點，省去了複雜之週邊電路，亦增加了每單位晶片面積之記憶量。

本發明雖已以較佳實施例揭露如上，但其並非用以限制本發明。任何熟悉此技藝者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：多階記憶單元)

本發明提供一種多階記憶單元，包括一基底、一第一浮接閘極、一第二浮接閘極及一控制閘極。基底內具有一第一摻雜區、第二摻雜區及位於該第一摻雜區與該第二摻雜區間的通道區。第一浮接閘極絕緣地設置於靠該第一摻雜區側之通道區上。第二浮接閘極絕緣地設置於靠該第二摻雜區側之通道區上，且與該第一浮接閘極隔開。控制閘極絕緣地設置於該等第一及第二浮接閘極上。此種記憶單元在寫入不同位元時，控制閘極的偏壓值均相同，且視所要儲存的位元而對第一摻雜區或第二摻雜區以固定電壓值偏壓，此外，寫入與抹除時均使用相同的偏壓值於控制閘極，故使每單位晶片面積之記憶量增加，亦達到簡化週邊電路之目的。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種多階記憶單元，包括：

一基底，具有一第一摻雜區、第二摻雜區及位於該第一摻雜區與該第二摻雜區間的通道區；

一第一浮接閘極，絕緣地設置於靠該第一摻雜區側之通道區上；

一第二浮接閘極，絕緣地設置於靠該第二摻雜區側之通道區上，且與該第一浮接閘極隔開；以及

一控制閘極，絕緣地設置於該等第一及第二浮接閘極上。

2. 如申請專利範圍第1項所述之記憶單元，其中該第一及第二摻雜區具有不同之摻雜濃度，例如，該第一摻雜區之摻雜濃度係高於該第二摻雜區之摻雜濃度，另外，亦可改變浮接閘極與摻雜區的重疊面積，或改變摻雜區之深度。

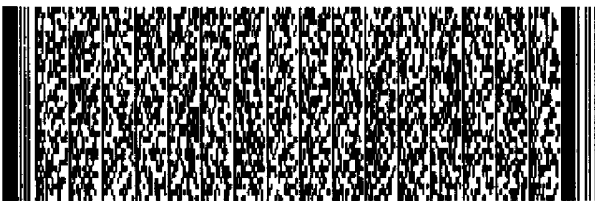
3. 如申請專利範圍第1項所述之記憶體單元，其中該第一及第二浮接閘極係由多晶矽所構成。

4. 如申請專利範圍第1項所述之記憶體單元，其中該控制閘極係由多晶矽所構成。

5. 如申請專利範圍第1項所述之記憶體單元，其中更包括一位於該第一與第二浮接閘極間之氧化層，將第一與第二浮接閘極絕緣。

6. 如申請專利範圍第1項所述之記憶體單元，其中更包括一閘極氧化層，位於該基底與該第一及第二浮接閘極之間。

7. 如申請專利範圍第1項所述之記憶體單元，其中，



六、申請專利範圍

更包括一隧穿氧化層及一鳥嘴型厚絕緣層，係位於該控制閘極與該第一及第二浮接閘極之間；由於該第一與該第二浮接閘極各自具有一突出部，所以能加快抹除速度。

8. 如申請專利範圍第1項所述之記憶體單元，其中，對該記憶體單元之寫入方法由第二摻雜區進行寫入，產生「1」位階，由第一摻雜區進行寫入，產生「2」位階，而上述兩項寫入法之組合則可產生「3」位階。

9. 如申請專利範圍第1項所述之記憶體單元，其中，在抹除時，無論原先所存之資料為何，先重複進行「3」位階之寫入程序，然後於該控制閘極加一正電壓，該第二摻雜區與該基底加一負偏壓，且該第一摻雜區浮接以進行穿隧效應，而進行抹除之動作。

10. 如申請專利範圍第1項所述之記憶體單元，其中，係於摻雜離子濃度較低之該第二摻雜區加很小的正電壓，且於該控制閘極加一正電壓，以進行讀取電流值之讀取動作。

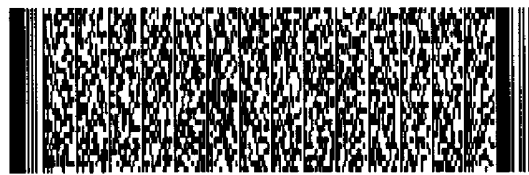
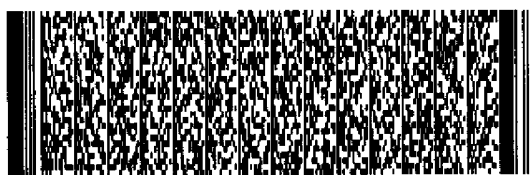
11. 一種多階記憶體單元，包括：

一基底，具有一第一摻雜區、第二摻雜區及位於該第一摻雜區與該第二摻雜區間的通道區；

一第一浮接閘極，絕緣地設置於靠該第一摻雜區側之通道區上；

一第二浮接閘極，絕緣地設置於靠該第二摻雜區側之通道區上，且與該第一浮接閘極隔開；以及

一控制閘極，絕緣地設置於該等第一及第二浮接閘極上；以及



六、申請專利範圍

一 抹除閘極，絕緣地設置於該等浮接閘極側邊。

12. 如申請專利範圍第11項所述之記憶單元，其中該第一及第二摻雜區具有不同之摻雜濃度。

13. 如申請專利範圍第11項所述之記憶體單元，其中該第一及第二浮接閘極係由多晶矽所構成。

14. 如申請專利範圍第11項所述之記憶體單元，其中該控制閘極與該抹除閘極係由多晶矽所構成。

15. 如申請專利範圍第11項所述之記憶體單元，其中更包括一位於該第一與第二浮接閘極間之氧化層，將第一與第二浮接閘極絕緣。

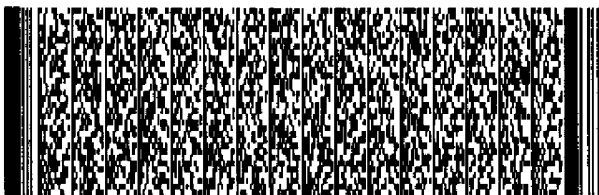
16. 如申請專利範圍第11項所述之記憶體單元，其中更包括一閘極氧化層，位於該基底與該第一及第二浮接閘極之間。

17. 如申請專利範圍第11項所述之記憶體單元，其中更包括一氧化層，位於該控制閘極與該第一及第二浮接閘極之間。

18. 如申請專利範圍第11項所述之記憶體單元，其中，更包括一位於該抹除閘極與該第一、第二浮接閘極間之隧穿氧化層。

19. 如申請專利範圍第11項所述之記憶體單元，其中，對該記憶體單元之寫入方法係由該第二摻雜區進行寫入以產生「1」位階，由該第一摻雜區進行寫入以產生「2」位階，而上述兩種寫入法之組合則可產生「3」位階。

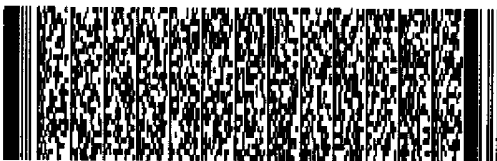
20. 如申請專利範圍第11項所述之記憶體單元，係於

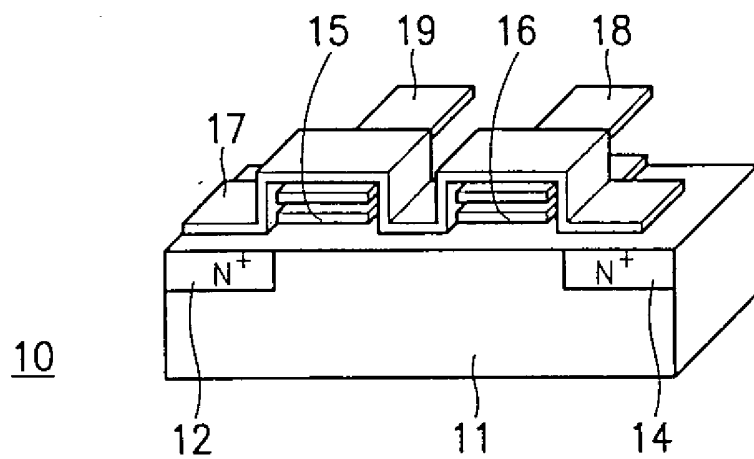


六、申請專利範圍

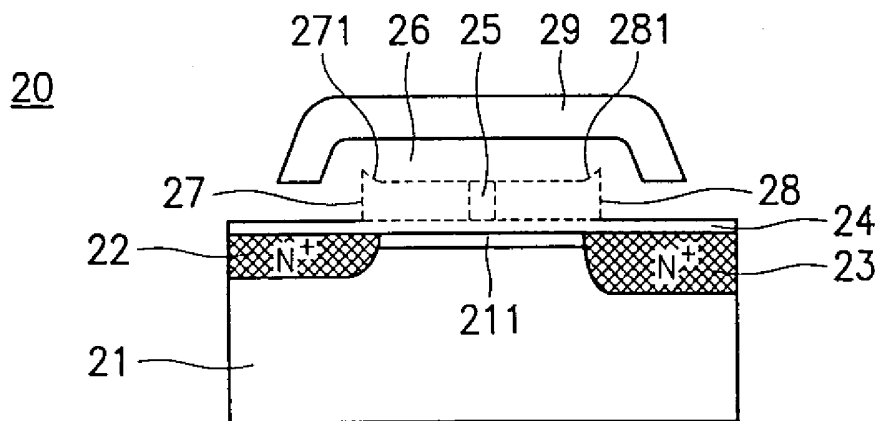
該抹除閘極加正電壓，並於該第二摻雜區與該基底加負偏壓，且該第一摻雜區與該控制閘極浮接以產生穿隧效應，而進行抹除的動作。

21. 如申請專利範圍第11項所述之記憶體單元，其中，係於摻雜濃度較低之該第二摻雜區加很小的正電壓，且於該控制閘極加一正電壓，以進行讀取電流值之讀取動作。

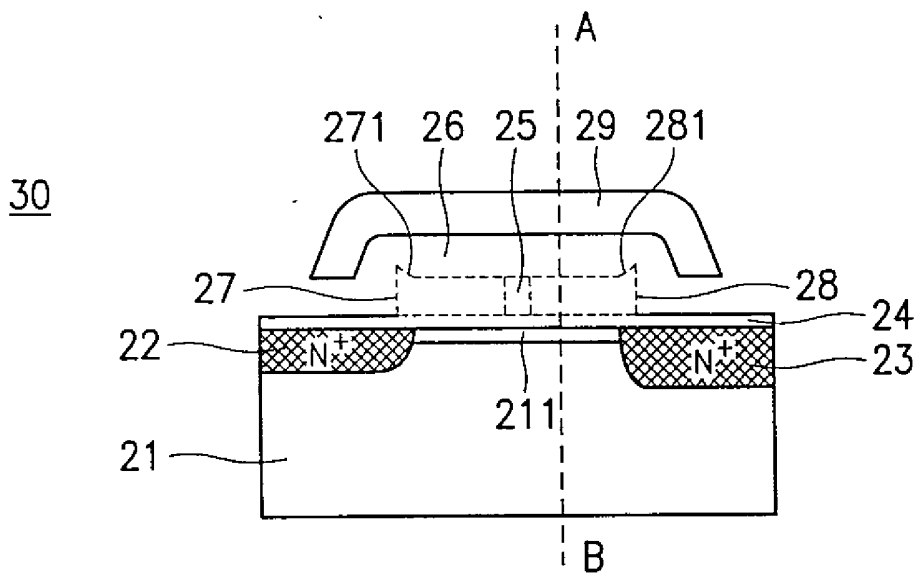




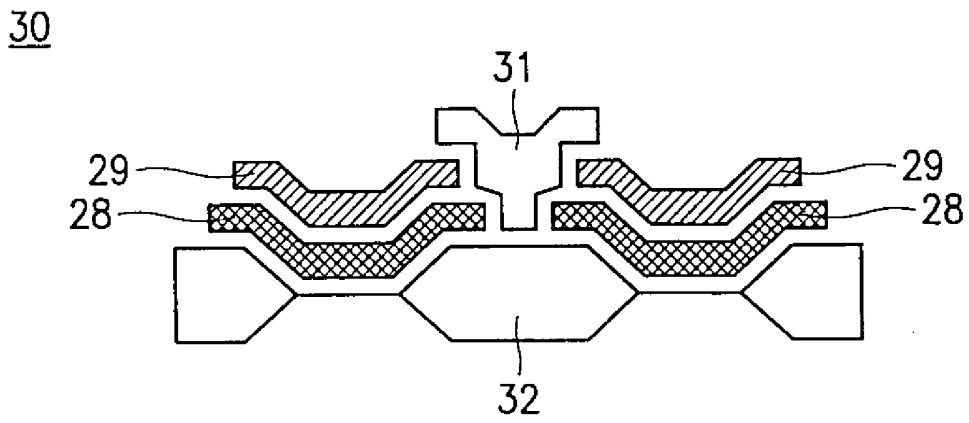
第 1 圖



第 2 圖



第3A圖



第3B圖

公告本

89年3月10日

修正本

申請日期:

89.1.11

案號: 89100330

類別:

H01L 21/8227

(以上各欄由本局填註)

439231

發明專利說明書

補充

89.3.10

一、發明名稱	中文	多階記憶單元
	英文	
二、發明人	姓名 (中文)	1. 林泓均 2. 王是琦 3. 陳泰元
	姓名 (英文)	1. Hong Chin Lin 2. Shyh-Chyi Wong 3. Tai-Yuan Chen
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台北市中山區正守里2鄰林森北路67巷150弄55號 2. 台中市北區金華里10鄰興進路187號15樓之5 3. 屏東市橋南里2鄰民生路139號
三、申請人	姓名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓名 (名稱) (英文)	1. Winbond Electronics Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研新三路四號
	代表人 姓名 (中文)	1. 焦佑鈞
代表人 姓名 (英文)	1.	

填請委員顯示本發明專利說明書內容

