

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-199864

(P2014-199864A)

(43) 公開日 平成26年10月23日(2014.10.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 F	4M104
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5F058
HO 1 L 29/778 (2006.01)	HO 1 L 29/58 G	5F102
HO 1 L 29/49 (2006.01)	HO 1 L 21/28 3O1B	
HO 1 L 29/423 (2006.01)	HO 1 L 21/318 B	

審査請求 未請求 請求項の数 11 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2013-74629 (P2013-74629)  
 (22) 出願日 平成25年3月29日 (2013.3.29)

(71) 出願人 000154325  
 住友電工デバイス・イノベーション株式会社  
 神奈川県横浜市栄区金井町1番地  
 (74) 代理人 100087480  
 弁理士 片山 修平  
 (72) 発明者 西 眞弘  
 神奈川県横浜市栄区金井町1番地 住友電  
 工デバイス・イノベーション株式会社内  
 Fターム(参考) 4M104 AA04 AA07 BB05 BB14 BB17  
 CC05 DD08 DD12 DD17 DD28  
 DD34 DD68 EE02 EE09 EE17  
 FF06 FF07 FF17 FF26 GG09  
 GG12 GG18 HH04 HH12 HH15

最終頁に続く

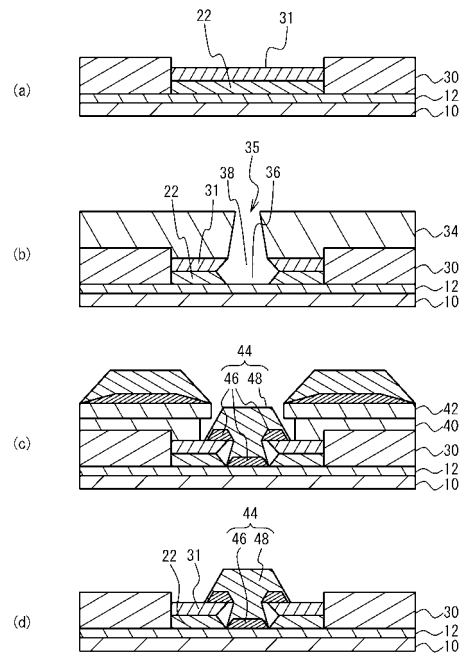
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 特性及び信頼性の低下を抑制することが可能な半導体装置及びその製造方法を提供する。

【解決手段】 窒化物半導体層12と、窒化物半導体層12上に形成され、内壁が順テーパである第1開口部36を有する第1窒化シリコン膜22と、第1窒化シリコン膜22上に形成され、内壁が逆テーパである第2開口部38を有する第2窒化シリコン膜31と、第1開口部36の内部に露出した窒化物半導体層12の表面全面を覆って形成されたゲート電極44と、を備え、ゲート電極44の側壁は、第1窒化シリコン膜22の第2窒化シリコン膜31側の面と第2窒化シリコン膜31の第1窒化シリコン膜22側の面との境界から空隙をもって離間してなる半導体装置。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

窒化物半導体層と、

前記窒化物半導体層上に形成され、内壁が順テーパである第 1 開口部を有する第 1 窒化シリコン膜と、

前記第 1 窒化シリコン膜上に形成され、内壁が逆テーパである第 2 開口部を有する第 2 窒化シリコン膜と、

前記第 1 開口部の内部に露出した前記窒化物半導体層の表面全面を覆って形成されたゲート電極と、を備え、

前記ゲート電極の側壁は、前記第 1 窒化シリコン膜の前記第 2 窒化シリコン膜側の面と前記第 2 窒化シリコン膜の前記第 1 窒化シリコン膜側の面との境界から空隙をもって離間してなることを特徴とする半導体装置。

10

## 【請求項 2】

前記第 1 窒化シリコン膜と前記第 2 窒化シリコン膜の間には第 3 開口部を有する絶縁膜がさらに介在してなり、前記ゲート電極の側壁は、さらに前記第 3 開口部の内壁から空隙を持って離間してなることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記ゲート電極は、前記第 1 窒化シリコン膜の下側の内壁と接して形成されてなることを特徴とする請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記ゲート電極は、下地となる第 1 金属層と、前記第 1 金属層上に形成された前記第 1 金属層より低抵抗の第 2 金属層と、を含み、

前記第 1 金属層は、前記窒化物半導体層上に設けられた前記第 1 金属層とは離間して、前記第 2 窒化シリコン膜上にも形成されてなることを特徴とする請求項 1 または 2 に記載の半導体装置。

20

## 【請求項 5】

前記絶縁膜は、窒化シリコンあるいは酸化シリコンであることを特徴とする請求項 2 ~ 4 のいずれか 1 項に記載の半導体装置。

## 【請求項 6】

前記第 1 金属層はニッケルを含み、前記第 2 金属層は金であることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

30

## 【請求項 7】

前記第 1 金属層はニッケルおよびその上に形成されたパラジウムからなることを特徴とする請求項 6 に記載の半導体装置。

## 【請求項 8】

窒化物半導体層上に第 1 窒化シリコン膜を形成する工程と、

前記第 1 窒化シリコン膜上に、前記第 1 窒化シリコン膜よりエッチングレートが大きい第 2 窒化シリコン膜を形成する工程と、

前記第 1 窒化シリコン膜及び前記第 2 窒化シリコン膜をエッチングし、前記第 1 窒化シリコン膜に第 1 開口部を、前記第 2 窒化シリコン膜に第 2 開口部をそれぞれ形成する工程と、

40

前記窒化物半導体層上の前記第 1 開口部および前記第 2 開口部にゲート電極を形成する工程と、を備え、

前記ゲート電極を形成する工程は、前記ゲート電極が前記第 1 開口内に露出する前記窒化物半導体層全面を覆い、且つ、前記ゲート電極の側壁が、前記第 1 窒化シリコン膜の前記第 2 窒化シリコン膜側の面と前記第 2 窒化シリコン膜の前記第 1 窒化シリコン膜側の面との境界から空隙をもって離間して形成されることを特徴とする半導体装置の製造方法。

## 【請求項 9】

前記第 1 窒化シリコン膜を形成する工程は、前記第 1 窒化シリコン膜に熱処理を行うことで、前記第 1 窒化シリコン膜のエッチングレートを前記第 2 窒化シリコン膜より小さく

50

する工程を含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 窒化シリコン膜と前記第 2 窒化シリコン膜との間に第 3 開口部を有する絶縁膜を形成する工程をさらに有し、前記ゲート電極の側壁は、前記第 3 開口部の内壁から空隙を持って離間してなることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 11】

前記第 1 窒化シリコン膜及び前記第 2 窒化シリコン膜をエッチングする工程は、前記窒化物半導体層に対し順テーパ形状を有する前記第 1 開口部を前記第 1 窒化シリコン膜に形成する工程、且つ前記窒化物半導体層に対し逆テーパ形状を有する前記第 2 開口部を前記第 2 窒化シリコン膜に形成する工程を含むことを特徴とする請求項 8 ~ 10 に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、窒化物半導体を用いた半導体装置及びその製造方法に関する。

【背景技術】

【0002】

窒化物半導体を用いた半導体装置は、高周波かつ高出力で動作するパワー素子等に用いられている。特に、マイクロ波、準ミリ波、及びミリ波等の高周波帯域での増幅に適した半導体装置として、例えば高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) 等の電界効果トランジスタ (FET: Field Effect Transistor) が知られている。

20

【0003】

特許文献 1 には、窒化物半導体層上にゲート電極及びオーミック電極 (ソース電極、ドレイン電極) を形成した電界効果トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特 2005 - 302916 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

窒化物半導体を用いたトランジスタ (HEMT 等) では、窒化物半導体層上の窒化シリコン (SiN) 膜に開口部を形成し、当該開口部から窒化物半導体層に接するゲート電極を形成することが一般的である。このとき、ゲート電極が窒化シリコン膜の側壁と接触することで、当該接触領域の周辺に容量が付き、トランジスタの特性が変化してしまう場合があった。また、ゲート電極に金 (Au) を用いた場合、窒化シリコンとの接触により AuSi 共晶が発生し、信頼性が低下してしまうという課題があった。更に、ゲート電極と窒化シリコン膜とでは熱膨張率が異なるため、両者が接触することでゲート近傍に大きなストレスが加わり、トランジスタの特性が変化してしまう場合があった。

40

【0006】

本発明は上記課題に鑑みなされたものであり、特性及び信頼性の低下を抑制することが可能な半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、窒化物半導体層と、前記窒化物半導体層上に形成され、内壁が順テーパである第 1 開口部を有する第 1 窒化シリコン膜と、前記第 1 窒化シリコン膜上に形成され、内壁が逆テーパである第 2 開口部を有する第 2 窒化シリコン膜と、前記第 1 開口部の内部に露出した前記窒化物半導体層の表面全面を覆って形成されたゲート電極と、を備え、前記ゲート電極の側壁は、前記第 1 窒化シリコン膜の前記第 2 窒化シリコン膜側の面と前記第

50

2 窒化シリコン膜の前記第 1 窒化シリコン膜側の面との境界から空隙をもって離間してなることを特徴とする半導体装置である。

【0008】

上記構成において、前記第 1 窒化シリコン膜と前記第 2 窒化シリコン膜との間には第 3 開口部を有する絶縁膜がさらに介在してなり、前記ゲート電極の側壁は、さらに前記第 3 開口部の内壁から空隙を持って離間してなる構成とすることができる。

【0009】

上記構成において、前記ゲート電極は、前記第 1 窒化シリコン膜の下側の内壁と接して形成されてなる構成とすることができる。

【0010】

上記構成において、前記ゲート電極は、下地となる第 1 金属層と、前記第 1 金属層上に形成された前記第 1 金属層より低抵抗の第 2 金属層と、を含み、前記第 1 金属層は、前記窒化物半導体層上に設けられた前記第 1 金属層とは離間して、前記第 2 窒化シリコン膜上にも形成されてなる構成とすることができる。

【0011】

上記構成において、前記絶縁膜は、窒化シリコンあるいは酸化シリコンである構成とすることができる。

【0012】

上記構成において、前記第 1 金属層はニッケルを含み、前記第 2 金属層は金である構成とすることができる。

【0013】

上記構成において、前記第 1 金属層はニッケルおよびその上に形成されたパラジウムからなる構成とすることができる。

【0014】

本発明は、窒化物半導体層上に第 1 窒化シリコン膜を形成する工程と、前記第 1 窒化シリコン膜上に、前記第 1 窒化シリコン膜よりエッチングレートが大きい第 2 窒化シリコン膜を形成する工程と、前記第 1 窒化シリコン膜及び前記第 2 窒化シリコン膜をエッチングし、前記第 1 窒化シリコン膜に第 1 開口部を、前記第 2 窒化シリコン膜に第 2 開口部をそれぞれ形成する工程と、前記窒化物半導体層上の前記第 1 開口部および前記第 2 開口部内にゲート電極を形成する工程と、を備え、前記ゲート電極を形成する工程は、前記ゲート電極が前記第 1 開口内に露出する前記窒化物半導体層全面を覆い、且つ、前記ゲート電極の側壁が、前記第 1 窒化シリコン膜の前記第 2 窒化シリコン膜側の面と前記第 2 窒化シリコン膜の前記第 1 窒化シリコン膜側の面との境界から空隙をもって離間して形成される構成とすることができる。

【0015】

上記構成において、前記第 1 窒化シリコン膜を形成する工程は、前記第 1 窒化シリコン膜に熱処理を行うことで、前記第 1 窒化シリコン膜のエッチングレートを前記第 2 窒化シリコン膜より小さくする工程を含む構成とすることができる。

【0016】

上記構成において、前記第 1 窒化シリコン膜と前記第 2 窒化シリコン膜との間に第 3 開口部を有する絶縁膜を形成する工程をさらに有し、前記ゲート電極の側壁は、前記第 3 開口部の内壁から空隙を持って離間してなる構成とすることができる。

【0017】

上記構成において、前記第 1 窒化シリコン膜及び前記第 2 窒化シリコン膜をエッチングする工程は、前記窒化物半導体層に対し順テーパ形状を有する前記第 1 開口部を前記第 1 窒化シリコン膜に形成する工程、且つ前記窒化物半導体層に対し逆テーパ形状を有する前記第 2 開口部を前記第 2 窒化シリコン膜に形成する工程を含む構成とすることができる。

【発明の効果】

【0018】

本発明によれば、窒化シリコン膜の開口部におけるゲート電極との接触を抑制すること

10

20

30

40

50

で、装置の特性及び信頼性の低下を抑制することができる。

【図面の簡単な説明】

【0019】

【図1】実施例1に係る半導体装置の製造方法を示す図(その1)である。

【図2】実施例1に係る半導体装置の製造方法を示す図(その2)である。

【図3】実施例1及び比較例に係る半導体装置の構成を示す図である。

【図4】実施例1の変形例に係る半導体装置の構成を示す図である。

【図5】実施例2に係る半導体装置の製造方法を示す図(その1)である。

【図6】実施例2に係る半導体装置の製造方法を示す図(その2)である。

【図7】実施例2に係る半導体装置の製造方法を示す図(その3)である。

【図8】ゲート電極部分の構成を示す拡大図である。

【図9】実施例2の第1の変形例に係る半導体装置の構成を示す図である。

【図10】実施例2の第2の変形例に係る半導体装置の製造方法を示す図である。

【発明を実施するための形態】

【実施例1】

【0020】

図1(a)~図2(d)は、実施例1に係る半導体装置の製造方法を示す断面模式図である。最初に、図1(a)に示すように、基板10上に窒化物半導体層12を形成する。基板10には、例えば(0001)主面を有するSiC基板を用いることができる。窒化物半導体層12は、核形成層14、電子走行層16、電子供給層18、及びキャップ層20が順に積層されて形成されている。核形成層14には、例えば厚さが300nmの窒化アルミニウム(AlN)を用いることができる。電子走行層16には、例えば厚さが1000nmのノンドープ窒化ガリウム(GaN)を用いることができる。電子供給層18には、例えば厚さが20nmのn型窒化アルミニウムガリウム(AlGaN)を用いることができる。キャップ層20には、例えば厚さが5nmのn型窒化ガリウム(GaN)を用いることができる。以下の工程図では、上記の積層体を窒化物半導体層12としてまとめて示し、各層の図示は省略する。

【0021】

次に、図1(b)に示すように、窒化物半導体層12上に第1窒化シリコン膜22(SiN)を形成する。第1窒化シリコン膜22は、例えばCVD(Chemical Vapor Deposition)法により形成することができ、その厚みは例えば20nmとすることができる。その後、第1窒化シリコン膜22上に第1レジスト24を形成し、オーミック電極(ソース電極及びドレイン電極)の形状に合わせてパターニングする。第1レジスト24には、例えばフォトリソグラフィを用い、パターニングは露光により行うことができる。

【0022】

次に、図1(c)に示すように、第1レジスト24をマスクとして第1窒化シリコン膜22をエッチングし、窒化物半導体層12を露出させる。その後、第1レジスト24をリフトオフし、改めて窒化物半導体層12上に第2レジスト26及び第3レジスト28を形成・パターニングする。このとき、第2レジスト26は、その上面の位置がオーミック電極の形成位置より上になるようにする。また、第3レジスト28の外周部は、第2レジスト26の外周部からはみ出るようにする。その後、第2レジスト26及び第3レジスト28をマスクとして、窒化物半導体層12上にオーミック電極30を形成する。形成されたオーミック電極30のうち、一方がソース電極、他方がドレイン電極となる。オーミック電極30には、例えば厚み10nmのチタン(Ti)上に、厚さ300nmのアルミニウム(Al)が積層された金属層を用いることができる。また、上記チタンの代わりに、厚さ10nmのタンタル(Ta)を用いてもよい。オーミック電極30の形成は、例えば蒸着法により行うことができる。

【0023】

次に、図1(d)に示すように、第2レジスト26及び第3レジスト28をリフトオフする。次に、図1(e)に示すように、第1窒化シリコン膜22及びオーミック電極30

10

20

30

40

50

上に、第2窒化シリコン膜31(SiN)を形成する。第2窒化シリコン膜31は、例えばCVD(Chemical Vapor Deposition)法により形成することができ、その厚みは例えば40nmとすることができる。その後、第2窒化シリコン膜31上に第4レジスト32を形成し、オーミック電極30間の開口部に第4レジスト32が残るようにパターニングする。

#### 【0024】

ここで、第2窒化シリコン膜31には、第1窒化シリコン膜22に比べてエッチングレートの大きい窒化シリコン膜を用いる。本実施例では、第2窒化シリコン膜31に、第1窒化シリコン膜22に比べて低緻密な膜を用いる。そのための方法としては、例えば、第1窒化シリコン膜22の形成後に、第1窒化シリコン膜22に熱処理(アニール)を施して高緻密化させる方法がある。アニールの温度は、例えば500とすることができ、本実施例では第1窒化シリコン膜22とオーミック電極30を同時にアニールする。なお、第1窒化シリコン膜22とオーミック電極30のアニール工程は、別々に行ってもよい。また、アニールの温度は、300~700の範囲内であることが好ましく、400~600の範囲内であることが更に好ましい。上記のアニール工程により、第1窒化シリコン膜22のエッチングレートを、第2窒化シリコン膜31のエッチングレートに比べて小さくすることができる。

10

#### 【0025】

次に、図2(a)に示すように、第4レジスト32をマスクとして第2窒化シリコン膜31をエッチングする。このとき、第2窒化シリコン膜31が、オーミック電極30の間の開口部における第1窒化シリコン膜22上に延在するようにエッチングを行う。エッチングの完了後、第4レジスト32を剥離する。

20

#### 【0026】

次に、図2(b)に示すように、第2窒化シリコン膜31及びオーミック電極30上に、第5レジスト34を形成し、ゲート電極の形成位置に合わせて開口部35の形成(パターニング)を行う。このとき、後述の工程において第2窒化シリコン膜31に逆テーパ形状の開口部を形成しやすくするため、開口部35の形状は、表面側から反対側(基板10側)に向かって広がるテーパ形状となるようにすることが好ましい。

#### 【0027】

その後、第5レジスト34をマスクとして、第2窒化シリコン膜31及び第1窒化シリコン膜22をエッチングし、窒化物半導体層12を露出させる。当該エッチング工程は、例えば反応性イオンエッチング(RIE:Reactive Ion Etching)または誘導結合プラズマ(ICP:Inductively Coupled Plasma)方式によるドライエッチングを採用することができる。具体的に、エッチングガスとしては、SF<sub>6</sub>、CHF<sub>3</sub>、及びCH<sub>4</sub>のうち少なくとも1つ以上を用いることができる。

30

#### 【0028】

上記工程により、第1窒化シリコン膜22には第1開口部36が、第2窒化シリコン膜31には第2開口部38が、それぞれのエッチングレートに応じて形成される。このとき、第1窒化シリコン膜22は高緻密な膜であることから、第1開口部36は窒化物半導体層12側から反対側に向かって広がるテーパ形状(以下、「順テーパ形状」と称する)となる。また、第2窒化シリコン膜31は低緻密な膜であることから、下部領域が大きくエッチングされ、第2開口部38は窒化物半導体層12側から反対側に向かって狭まるテーパ形状(以下、「逆テーパ形状」と称する)となる。エッチング工程は、第2窒化シリコン膜31が逆テーパ形状となる条件で行うのであれば、上記以外の方法を用いてもよい。

40

#### 【0029】

次に、図2(c)に示すように、第5レジスト34を剥離する。その後、第2窒化シリコン膜31及びオーミック電極30上に、第6レジスト40及び第7レジスト42を形成し、ゲート電極の形成位置に合わせてパターニングを行う。このとき、第7レジスト42(上層)の開口部は、第6レジスト40(下層)の開口部より小さくなるようにする。その後、第6レジスト40及び第7レジスト42をマスクとして、ゲート電極44の形成を

50

行う。ゲート電極 44 は、高抵抗で下地となる第 1 金属層 46 上に、低抵抗の第 2 金属層 48 を順に積層して形成する。第 1 金属層 46 には、例えばニッケル (Ni) 及びその上に形成されたパラジウム (Pd) を用いることができ、その厚さは例えば厚さ 50 nm とすることができる。第 2 金属層 48 には、例えば厚さ 400 nm の金 (Au) を用いることができる。

#### 【0030】

次に、図 2 (d) に示すように、第 6 レジスト 40 及び第 7 レジスト 42 をリフトオフする。以上の工程により、実施例 1 に係る半導体装置 100 が完成する。半導体装置 100 では、基板 10 に窒化物半導体層 12 が形成され、窒化物半導体層 12 上はソース電極及びドレイン電極となるオーミック電極が直接形成されている。また、オーミック電極 30 の間の開口部には、2 層の窒化シリコン膜 (第 1 窒化シリコン膜 22 及び第 2 窒化シリコン膜 31) が形成され、当該窒化シリコン膜に形成された開口部 (第 1 開口部 36 及び第 2 開口部 38 には) に、ゲート電極 44 が形成されている。ゲート電極 44 は、窒化物半導体層 12 に接し、上記開口部を介して第 2 窒化物半導体層 12 の表面に至るまで形成されている。本実施例では、ゲート電極 44 の表面が、第 2 窒化シリコン膜 31 の表面から突出して盛り上がった形状となっている。

10

#### 【0031】

次に、図 3 を用い、実施例 1 に係る半導体装置に特有の効果について説明する。

#### 【0032】

図 3 (a) は、実施例 1 に係る半導体装置におけるゲート電極部分の詳細な構成を示す断面模式図である。図 3 (b) 及び図 3 (c) は、それぞれ比較例に係る半導体装置を示す図である。3 つの図は、基板 10、窒化物半導体層 12、及びオーミック電極 30 については構成が共通しており、窒化シリコン膜及びゲート電極の構成が異なっている。

20

#### 【0033】

図 3 (b) に示すように、第 1 の比較例では、窒化シリコン膜 80 が単層であり、且つ開口部の形状が窒化物半導体層 12 側から反対側に向かって広がる順テーパ形状となっている。このため、ゲート電極 44 の第 1 金属層 46 が、窒化シリコン膜 80 における開口部の側壁に付着し、且つ窒化物半導体層 12 上の第 1 金属層 46 と窒化シリコン膜 80 上の第 1 金属層 46 とが接続されている。その結果、窒化シリコン膜 80 の側壁部に付着した高抵抗の第 1 金属層 46 により、寄生容量が付着し、HEMT の特性が変化してしまう場合がある。また、第 2 金属層 48 に用いられる金 (Au) との間で AuSi 共晶が発生し、信頼性が低下してしまう場合がある。更に、ゲート電極 44 と窒化シリコン膜 80 とで熱膨張率が異なるため、両者が接触することでゲート近傍に大きなストレスが加わり、HEMT の特性が変化してしまう場合がある。

30

#### 【0034】

図 3 (c) に示すように、第 2 の比較例では、窒化シリコン膜 82 が単層であり、且つ開口部の形状が窒化物半導体層 12 側から反対側に向かって狭まる逆テーパ形状となっている。本構成では、窒化シリコン膜 82 の側壁に対する第 1 金属層 46 の付着は抑制できるが、第 1 金属層 46 が窒化物半導体層 12 の表面全体を覆うことができず、窒化物半導体層 12 の表面が露出してしまっている (符号 84)

40

#### 【0035】

これに対し、図 3 (a) に示す実施例 1 の半導体装置 100 では、窒化シリコン膜が 2 層構造 (第 1 窒化シリコン膜 22 及び第 2 窒化シリコン膜 31) となっている。そして、下層 (第 1 窒化シリコン膜 22) の開口部 (第 1 開口部 36) は、窒化物半導体層 12 側から反対側に向かって広がる順テーパ形状となっており、上層 (第 2 窒化シリコン膜 31) の開口部 (第 2 開口部 38) は、窒化物半導体層 12 側から反対側に向かって狭まる逆テーパ形状となっている。そして、ゲート電極 44 は、第 1 開口部 36 及び第 2 開口部 38 のそれぞれにおいて、第 1 窒化シリコン膜 22 及び第 2 窒化シリコン膜 31 の側壁と、空隙 50 を介して離間している。換言すれば、ゲート電極 44 の側壁は、第 1 窒化シリコン膜 22 における第 2 窒化シリコン膜 31 側の面と、第 2 窒化シリコン膜 31 における第

50

1 窒化シリコン膜 2 2 側の面との境界から、空隙 5 0 をもって離間した構成となっている。このため、比較例 1 と比べて、窒化シリコン膜の側壁に対するゲート電極（下地層）の付着が抑制され、当該付着に伴う上記の弊害を抑制することができる。その結果、H E M T の特性及び信頼性を向上させることができる。

【 0 0 3 6 】

また、実施例 1 に係る半導体装置 1 0 0 によれば、窒化物半導体層 1 2 上の第 1 金属層 4 6 と、第 2 窒化シリコン膜 3 1 上の第 1 金属層 4 6 とが分離している。これにより、低抵抗の第 2 金属層 4 8 が高抵抗の第 1 金属層 4 6 との反応により高抵抗化することを抑制し、H E M T の特性及び信頼性の低下をより効果的に抑制することができる。

【 0 0 3 7 】

また、実施例 1 に係る半導体装置 1 0 0 によれば、第 1 開口部 3 6 の形状が、上側（窒化物半導体層 1 2 の反対側）から見て順テーパ形状となっているため、窒化物半導体層 1 2 の表面を覆うようにゲート電極 4 4 （第 1 金属層 4 6 ）を形成することが可能である。換言すれば、ゲート電極 4 4 は、第 1 窒化シリコン膜 2 2 の下側の内壁と接して形成されている。このため、比較例 2 に比べ、窒化物半導体層 1 2 の露出に伴う信頼性の低下を抑制することができる。

【 0 0 3 8 】

以上のように、実施例 1 に係る半導体装置 1 0 0 によれば、H E M T の特性及び信頼性の低下を抑制することができる。なお、本実施例では、ゲート電極 4 4 が第 1 窒化シリコン膜 2 2 及び第 2 窒化シリコン膜 3 1 の側壁と接触していない例について説明したが、仮にゲート電極が側壁の一部と接触していたとしても、ゲート電極と側壁との間に離間している部分があれば、その分だけ両者の接触に伴う特性変化及び信頼性の低下を抑制することが可能である。

【 0 0 3 9 】

実施例 1 に係る半導体装置 1 0 0 では、第 1 窒化シリコン膜 2 2 に高緻密の膜を、第 2 窒化シリコン膜 3 1 に低緻密の膜を用い、ドライエッチングによりエッチングを行った。これにより、第 1 窒化シリコン膜 2 2 の第 1 開口部 3 6 を順テーパ形状とし、第 2 窒化シリコン膜 3 1 の第 2 開口部 3 8 を逆テーパ形状とすることができる。第 2 窒化シリコン膜 3 1 を逆テーパ形状とするには、前述のように、 $SF_6$ 、 $CHF_3$ 、及び  $CH_4$  等のエッチングガスを用いることが効果的である。また、 $CHF_3$  のように HF を含むガスを用いる場合には、ガス圧を大きくすることで、第 2 窒化シリコン膜 3 1 への CF のデポジットを増大させ、更に逆テーパ形状を形成しやすくすることができる。また、ゲート長が短く開口部の長さが小さい場合は、 $SF_6$  単体で逆テーパ形状のエッチングを行うことも可能である。なお、実施例 1 では、第 1 窒化シリコン膜 2 2 の厚みを 2 0 nm、第 2 窒化シリコン膜 3 1 の厚みを 4 0 nm としたが、これらは 1 0 nm ~ 1 0 0 nm の範囲で任意に変更することが可能である。

【 0 0 4 0 】

また、図 4 は、実施例 1 の変形例に係る半導体装置の構成を示す図である。実施例 1 （図 3 ( a ) ）と共通する構成には同一の符号を付し、詳細な説明を省略する。図 4 に示すように、本変形例では、ゲート電極 4 4 と窒化シリコン膜（2 2、3 1）との間の空隙 5 0 が、第 2 窒化シリコン膜 3 1 の上方まで突出している（突出部分を空隙 5 2 とする）。これにより、第 2 窒化シリコン膜 3 1 上の第 1 金属層 4 6 の一部が、空隙 5 0 と連続する空隙 5 2 を介して、第 2 金属層 4 8 と離間した構成となっている。本構成によれば、空隙 5 2 の存在により、ゲート電極 4 4 と窒化シリコン膜（2 2、3 1）との間のストレスを緩和することが出来るため、H E M T の特性及び信頼性の低下を更に抑制することができる。

【 0 0 4 1 】

この構造において、第 1 窒化シリコン膜 2 2 および第 2 窒化シリコン膜 3 1 をエッチングし（図 2 ( b ) ）、窒化物半導体層 1 2 を露出させる時の I C P を用いたエッチング条件は、以下の条件で行うことができる。 $SF_6 : CHF_3 = 40 : 5$  s c c m、圧力 1 P

10

20

30

40

50



a、power = 100W、バイアス = 10W。

【実施例2】

【0042】

実施例2は、2層構造の窒化シリコン膜の代わりに3層構造の絶縁膜を用いた例である。

【0043】

図5(a)~図5(c)は、実施例2に係る半導体装置の製造工程を示す断面模式図である。実施例1と共通する部分については同一の符号を付し、詳細な説明を省略する。

【0044】

最初に、図5(a)に示すように、基板10上に窒化物半導体層12を形成し、その上に第1窒化シリコン膜22を形成する。次に、図5(b)に示すように、第1窒化シリコン膜22上に、絶縁膜54を形成する。絶縁膜54は、第1窒化シリコン膜22及び後述の第2窒化シリコン膜33よりも、低緻密かつ低屈折率の膜とする。絶縁膜54には、例えば厚さ40nmの窒化シリコン(SiN)膜を用いることができるが、これ以外にも酸化シリコン膜(SiO<sub>2</sub>)膜等を用いることが可能である。

10

【0045】

次に、図5(c)に示すように、絶縁膜54上に第2窒化シリコン膜33を形成する。次に、図5(d)に示すように、第2窒化シリコン膜33上に第1レジスト24を形成・パターンニングする。その後、第1レジスト24をマスクとして、第2窒化シリコン膜33、絶縁膜54、第1窒化シリコン膜22をそれぞれエッチングし、窒化物半導体層12の表面を露出させる。なお、実施例2における第2窒化シリコン膜33は、実施例1の第2窒化シリコン膜31とは膜の仕様が異なるため、異なる符号を用いることとする。具体的に、実施例1の第2窒化シリコン膜31は、第1窒化シリコン膜22に比べ低緻密であることが条件であったが、実施例2の第2窒化シリコン膜33は、絶縁膜54に比べ高緻密であることが条件となっている。

20

【0046】

次に、図6(a)に示すように、第1レジスト24を剥離し、第2レジスト26及び第3レジスト28を形成・パターンニングする。その後、第2レジスト26及び第3レジスト28をマスクとして、オーミック電極30の形成を行う。次に、図6(b)に示すように、第2レジスト26及び第3レジスト28をリフトオフし、オーミック電極30をアニール処理する。

30

【0047】

次に、図6(c)に示すように、第2窒化シリコン膜33及びオーミック電極30上に第4レジスト32を形成し、ゲート電極の形成位置に合わせてパターンニングする。その後、第4レジスト32をマスクとして、第2窒化シリコン膜33、絶縁膜54、第1窒化シリコン膜22をそれぞれエッチングし、窒化物半導体層12の表面を露出させる。当該工程により、第1窒化シリコン膜22には第1開口部36が、第2窒化シリコン膜33には第2開口部38が、絶縁膜54には第3開口部56が、それぞれ形成される。このとき、第1開口部36は、窒化物半導体層12側から反対側に向かって広がるテーパ形状となり、第2開口部38は、窒化物半導体層12側から反対側に向かって狭まるテーパ形状となる。上記のエッチング工程は、例えば反応性イオンエッチング(RIE)によるドライエッチングを採用することができる。具体的には、例えばエッチングガスとしてSF<sub>6</sub>(ガス流量:40SCCM)及びCHF<sub>3</sub>(ガス流量:5SCCM)を用い、圧力は2Pa、パワーは100Wとすることができる。

40

【0048】

次に、図7(a)に示すように、第4レジスト32を剥離する。続いて、第2窒化シリコン膜33及びオーミック電極30上に、第5レジスト34及び第6レジスト40を形成し、ゲート電極の形成位置に合わせてパターンニングする。このとき、第6レジスト40の開口部が、第5レジスト34の開口部より小さくなるようにする。その後、第5レジスト34及び第6レジスト40をマスクとして、ゲート電極44を形成する。ゲート電極44

50

は、実施例 1 と同じく、下地となる高抵抗の第 1 金属層 4 6 上に、低抵抗の第 2 金属層 4 8 が積層された構成とする。

【 0 0 4 9 】

次に、図 7 ( b ) に示すように、第 5 レジスト 3 4 及び第 6 レジスト 4 0 をリフトオフする。以上の工程により、実施例 2 に係る半導体装置 1 1 0 が完成する。半導体装置 1 1 0 では、基板 1 0 に窒化物半導体層 1 2 が形成され、窒化物半導体層 1 2 上はソース電極及びドレイン電極となるオーミック電極が直接形成されている。また、オーミック電極 3 0 の間の開口部には、3 層の絶縁膜 ( 第 1 窒化シリコン膜 2 2 、絶縁膜 5 4 、及び第 2 窒化シリコン膜 3 3 ) が形成され、当該絶縁膜に形成された開口部 ( 第 1 開口部 3 6 、第 2 開口部 3 8 、及び第 3 開口部 5 6 ) には、ゲート電極 4 4 が形成されている。ゲート電極 4 4 は、窒化物半導体層 1 2 に接し、上記開口部を介して第 2 窒化物半導体層 1 2 の表面に至るまで形成されている。本実施例では、ゲート電極 4 4 の表面が、第 2 窒化シリコン膜 3 3 の表面から突出して盛り上がった形状となっている。

10

【 0 0 5 0 】

図 8 は、実施例 2 に係る半導体装置におけるゲート電極部分の詳細な構成を示す断面模式図である。実施例 1 と同様に、下側の窒化シリコン膜 ( 第 1 窒化シリコン膜 2 2 ) の開口部 ( 第 1 開口部 3 6 ) の形状は順テーパ形状、上側の窒化シリコン膜 ( 第 2 窒化シリコン膜 3 3 ) の開口部 ( 第 2 開口部 3 8 ) の形状は逆テーパ形状となっている。そして、ゲート電極 4 4 は、各絶縁膜の開口部 ( 第 1 開口部 3 6 、第 2 開口部 3 8 、及び第 3 開口部 5 6 ) において、各絶縁膜の側壁と空隙 5 0 を隔てて離間している。本構成によれば、窒化物半導体層 1 2 上の絶縁膜 ( 2 2 、 3 1 、 5 4 ) の開口部 ( 3 6 、 3 8 、 5 6 ) における、ゲート電極 4 4 と絶縁膜との接触を抑制することにより、H E M T の特性及び信頼性の低下を抑制することができる。

20

【 0 0 5 1 】

また、実施例 2 に係る半導体装置 1 1 0 によれば、第 1 開口部 3 6 が順テーパ形状となっているため、ゲート電極 4 4 が窒化物半導体層 1 2 の表面全体を覆うように電極の形成を行うことが可能である。これにより、実施例 1 と同様に、窒化物半導体層 1 2 の露出を抑制することができる。

【 0 0 5 2 】

次に、実施例 2 の変形例に係る半導体装置について説明する。

30

【 0 0 5 3 】

図 9 は、実施例 2 の第 1 変形例に係る半導体装置 1 1 0 a の構成を示す図である。半導体装置 1 1 0 a では、ゲート電極 4 4 と絶縁膜 ( 2 2 、 3 1 、 5 4 ) の側壁との間の空隙 5 0 が、第 2 窒化シリコン膜 3 3 の上方まで延長 ( 突出 ) しており、第 2 窒化シリコン膜 3 3 上の第 1 金属層 4 6 の一部が第 2 金属層 4 8 と離間している。換言すれば、第 2 窒化シリコン膜 3 3 上の第 1 金属層 4 6 の一部は、空隙 5 2 を介して第 2 金属層 4 8 と離間しており、当該空隙 5 2 はゲート電極 4 4 と窒化シリコン膜 ( 2 2 、 3 1 ) との間の空隙 5 0 と連続している。これにより、ゲート電極 4 4 と窒化シリコン膜 ( 2 2 、 3 1 ) との間のストレスを緩和し、H E M T の特性及び信頼性の低下を更に抑制することができる。

【 0 0 5 4 】

40

実施例 2 では、等方性のドライエッチングを用いて絶縁膜 ( 2 2 、 3 1 、 5 4 ) のエッチングを行ったが、異方性のエッチングを用いることも可能である。以下、この点について説明する。

【 0 0 5 5 】

図 1 0 は、実施例 2 の第 2 変形例に係る半導体装置の製造工程を示す断面模式図であり、図 6 ( b ) ~ ( c ) に示す絶縁膜 ( 2 2 、 3 1 、 5 4 ) のエッチング工程に代わるものである。最初に、図 1 0 ( a ) に示す状態から、図 1 0 ( b ) に示すように、第 2 窒化シリコン膜 3 3 及びオーミック電極 3 0 上に、第 4 レジスト 3 2 の形成・パターンニングを行う。その後、図 1 0 ( b ) に示すように、第 4 レジスト 3 2 をマスクとして、第 2 窒化シリコン膜 3 3 、絶縁膜 5 4 、第 1 窒化シリコン膜 2 2 をそれぞれエッチングし、窒化物半

50

導体層 1 2 の表面を露出させる。当該工程により、第 1 窒化シリコン膜 2 2 には第 1 開口部 3 6 が、第 2 窒化シリコン膜 3 3 には第 2 開口部 3 8 が、絶縁膜 5 4 には第 3 開口部 5 6 が、それぞれ形成される。このとき、第 1 開口部 3 6、第 2 開口部 3 8、及び第 3 開口部 5 6 は全て同一形状となり、開口部の側壁は垂直となる。上記のエッチング工程は、例えば誘導結合プラズマ (ICP) 方式によるドライエッチングを採用することができる。具体的には、例えばエッチングガスとして  $\text{SF}_6$  (ガス流量: 40 sccm) 及び  $\text{CHF}_3$  (ガス流量: 5 sccm) を用い、圧力は 0.5 Pa、アンテナパワーは 100 W、バイアスパワーは 10 W とすることができる。

#### 【0056】

次に、図 10 (c) に示すように、第 1 開口部 3 6 ~ 第 3 開口部 5 6 に対し更にエッチングを行い、第 1 開口部 3 6 を順テーパー形状、第 2 開口部 3 8 を逆テーパー形状とする。上記のエッチング工程は、例えばウェットエッチングにより行うことができる。具体的には、例えばエッチャントとしてフッ化アンモニウムを用い、30 秒間のエッチングを施す。このとき、絶縁膜 5 4 のエッチングレートが、第 1 窒化シリコン膜 2 2 及び第 2 窒化シリコン膜 3 3 のエッチングレートより大きくなるように、予め絶縁膜 5 4 の材料選択を行っておく。例えば、絶縁膜 5 4 に  $\text{SiO}_2$  を用いることで、上記の条件 (エッチングレート:  $\text{SiN} < \text{SiO}_2$ ) を達成することができる。

#### 【0057】

次に、図 10 (d) に示すように、第 4 レジスト 3 2 を剥離する。その後は、実施例 2 の図 7 (a) 以降と同様に、ゲート電極 4 4 の形成を行う。以上のように、第 2 変形例に係る方法でも、実施例 2 と同様の形状の開口部を形成することが可能である。

#### 【0058】

実施例 2 では、低緻密且つ低屈折率の絶縁膜 5 4 を、高緻密且つ高屈折率の第 1 窒化シリコン膜 2 2 及び第 2 窒化シリコン膜 3 3 で上下から挟み込む構成とした。これにより、エッチング時における開口部の形状を、下層 (第 1 窒化シリコン膜 2 2) が順テーパー形状、上層 (第 2 窒化シリコン膜 3 3) が逆テーパー形状となるようにすることができる。緻密性及び屈折率を変化させる方法としては、前述のように窒化シリコン膜に熱処理を施す方法がある。また、成膜条件を様々に変更することによっても、窒化シリコン膜及び絶縁膜の緻密性・屈折率を変化させることができる。

#### 【0059】

ここで、窒化シリコン膜における屈折率が大きくなると、窒化シリコン膜のシリコン組成比率は大きくなる。例えば、屈折率が 1.8 ~ 2.1 の窒化シリコン膜の組成比  $\text{Si}/\text{N}$  は、化学量論的な値 0.75 となるが、屈折率が 2.2 以上の窒化シリコン膜はシリコンが過剰な膜 (シリコンリッチ膜) となり、高緻密となる。従って、実施例 2 において高屈折率となる第 1 窒化シリコン膜 2 2 及び第 2 窒化シリコン膜 3 3 の屈折率は、2.3 以上が好ましく、2.35 以上がより好ましい。また、第 1 窒化シリコン膜 2 2 及び第 2 窒化シリコン膜 3 3 の屈折率は、アモルファス状とならない程度以下であることが好ましく、例えば 2.85 以下が好ましく、2.6 以下がより好ましい。一方、低屈折率となる絶縁膜 5 4 の屈折率は、化学量論的な組成であることが好ましく、例えば、1.8 以上且つ 2.1 以下が好ましい。また、1.85 以上且つ 2.05 以下がより好ましい。

#### 【0060】

実施例 2 における高屈折率の窒化シリコン膜 2 2 及び 3 1 は、例えば次の成膜条件により生成することができる。

成膜装置: 平行平板型プラズマ CVD 装置

基板温度: 250 ~ 350

成膜ガス:  $\text{SiH}_4$ 、 $\text{N}_2$ 、 $\text{He}$ 、 $\text{NH}_3$

ガス流量:  $\text{SiH}_4$ : 3 ~ 6 sccm、 $\text{N}_2$ : 200 ~ 600 sccm、 $\text{He}$ : 500 ~ 900 sccm、 $\text{NH}_3$ : 0 ~ 8 sccm

圧力: 0.8 ~ 1.0 Torr

パワー: 25 ~ 75 Watts

10

20

30

40

50

## 【0061】

一方、低屈折率の絶縁膜54は、例えば次の成膜条件により生成することができる。

成膜装置：平行平板型プラズマCVD装置

基板温度：250 ~ 350

成膜ガス：SiH<sub>4</sub>、N<sub>2</sub>、He、NH<sub>3</sub>

ガス流量：SiH<sub>4</sub>：1~4sccm、N<sub>2</sub>：200~600sccm、He：900~1100sccm、NH<sub>3</sub>：4~10sccm

圧力：0.8~1.0Torr

パワー：25~75Watts

## 【0062】

10

実施例1~2では、基板10としてSiCを用いたが、他にもSi、GaN、サファイア等を用いることができる。また、第2窒化物半導体層12としてGaN、AlGaN等を用いたが、他にもInN、AlN、AlInN、InGaN、AlInGaN等を用いることができる。

## 【0063】

以上、本発明の実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

## 【符号の説明】

## 【0064】

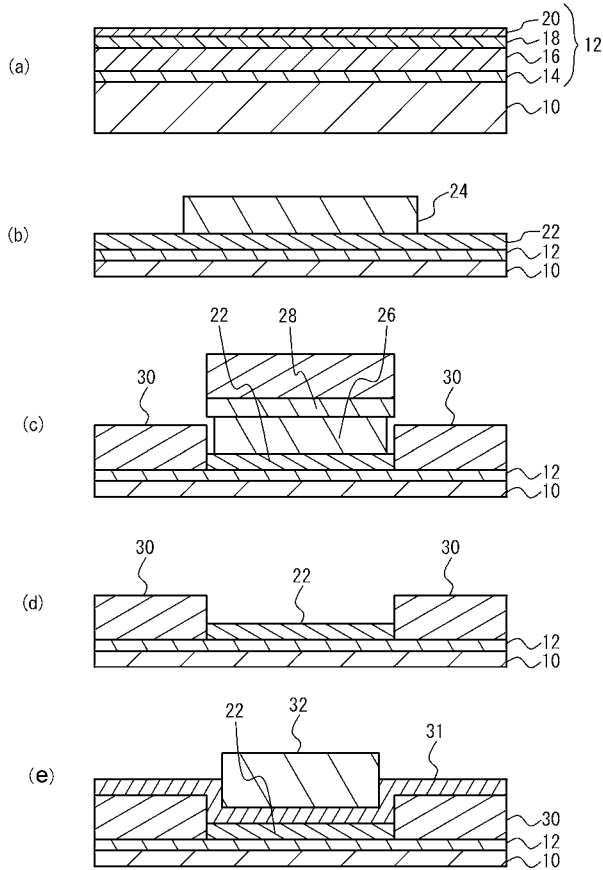
20

- 10 基板
- 12 窒化物半導体層
- 14 核形成層
- 16 電子走行層
- 18 電子供給層
- 20 キャップ層
- 22 第1窒化シリコン膜
- 24 第1レジスト
- 26 第2レジスト
- 28 第3レジスト
- 30 オーミック電極
- 31 第2窒化シリコン膜（実施例1）
- 32 第4レジスト
- 33 第2窒化シリコン膜（実施例2）
- 34 第5レジスト
- 35 開口部
- 36 第1開口部
- 38 第2開口部
- 40 第6レジスト
- 42 第7レジスト
- 44 ゲート電極
- 46 第1金属層
- 48 第2金属層
- 50 空隙
- 52 空隙
- 54 絶縁膜
- 56 第3開口部
- 100 半導体装置
- 110 半導体装置

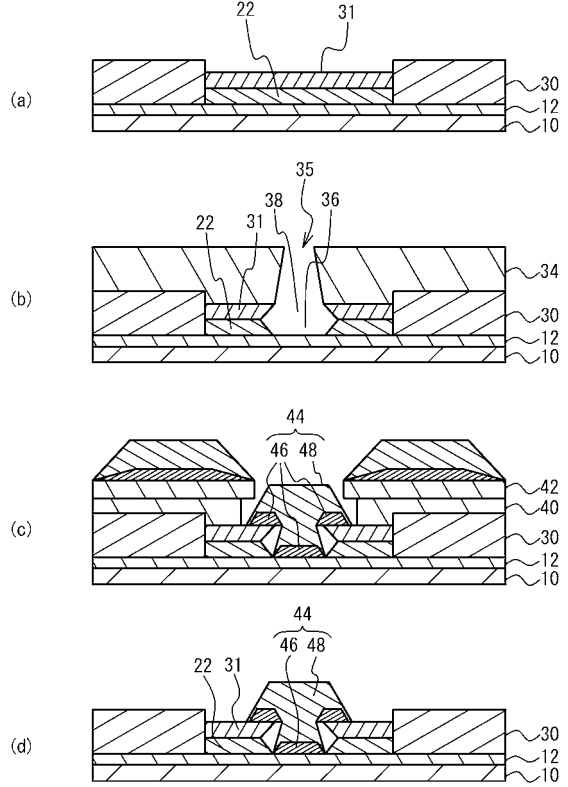
30

40

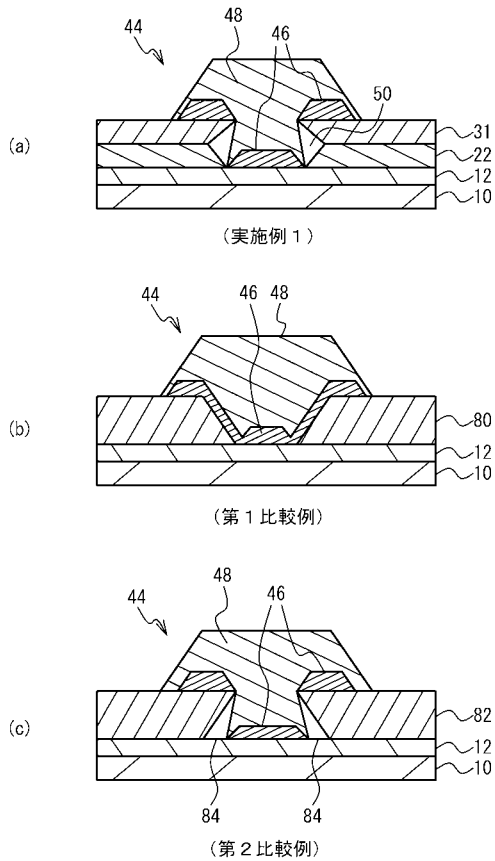
【 図 1 】



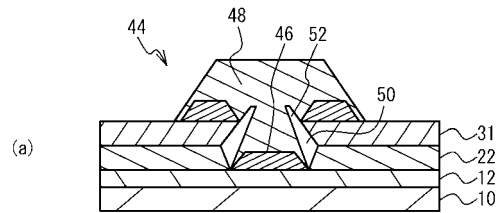
【 図 2 】



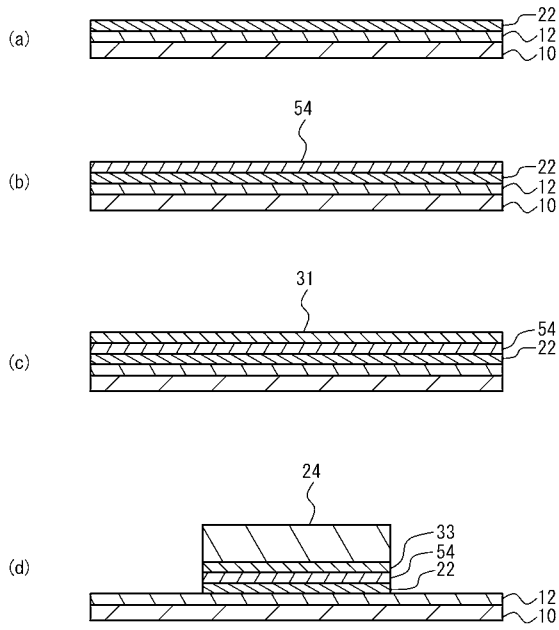
【 図 3 】



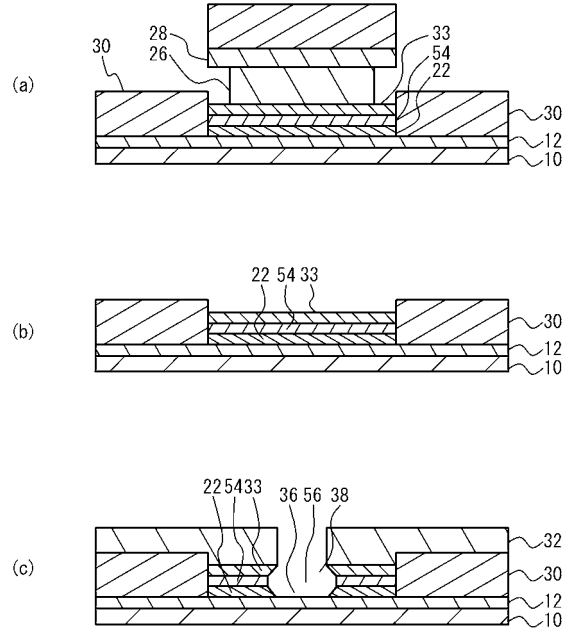
【 図 4 】



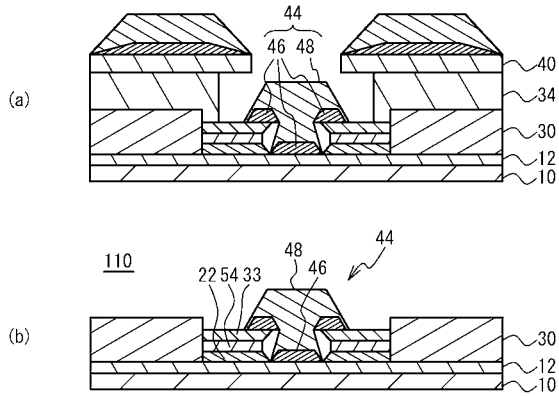
【 図 5 】



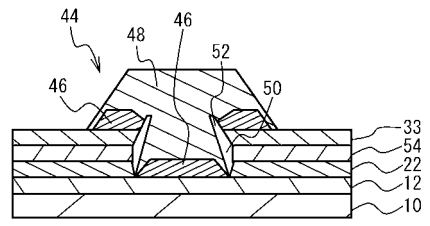
【 図 6 】



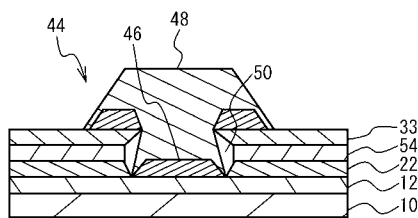
【 図 7 】



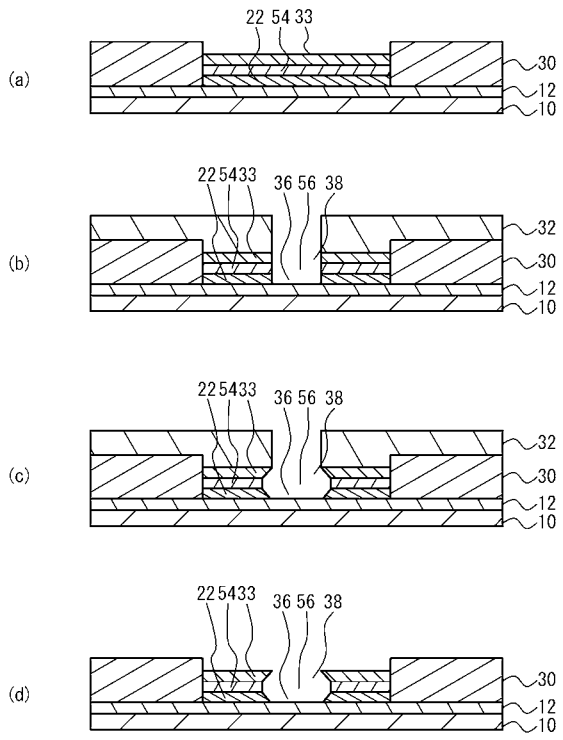
【 図 9 】



【 図 8 】



【 図 1 0 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 21/28 (2006.01) H 0 1 L 21/318 M  
H 0 1 L 21/318 (2006.01)

Fターム(参考) 5F058 BA20 BB01 BC08 BD01 BD02 BD10 BE01 BF02 BH01 BH12  
BJ04  
5F102 GB01 GC01 GD01 GJ02 GK04 GL04 GM04 GM08 GQ01 GR01  
GS01 GS03 GS04 GT01 GV05 GV06 GV07 GV08 HC16 HC21