

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4585197号
(P4585197)

(45) 発行日 平成22年11月24日(2010.11.24)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int. Cl.		F I		
HO 1 L	21/82	(2006.01)	HO 1 L	21/82 W
GO 3 F	1/08	(2006.01)	HO 1 L	21/82 C
HO 1 L	21/027	(2006.01)	GO 3 F	1/08 D
			HO 1 L	21/30 5 O 2 P

請求項の数 8 (全 13 頁)

(21) 出願番号	特願2003-424914 (P2003-424914)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成15年12月22日(2003.12.22)	(74) 代理人	100110928 弁理士 速水 進治
(65) 公開番号	特開2005-183793 (P2005-183793A)	(74) 代理人	100118544 弁理士 野本 可奈
(43) 公開日	平成17年7月7日(2005.7.7)	(74) 代理人	100127236 弁理士 天城 聡
審査請求日	平成18年11月13日(2006.11.13)	(72) 発明者	国分 徹也 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		審査官	池淵 立

最終頁に続く

(54) 【発明の名称】 レイアウト設計方法およびフォトマスク

(57) 【特許請求の範囲】

【請求項1】

ホールパターンを互いに直交する仮想グリッドの交点である格子点に配置する半導体集積回路のレイアウト設計方法であって、

前記仮想グリッドのサイズが前記半導体集積回路の露光工程の解像限界ピッチよりも小さく、前記サイズの2倍が前記解像限界ピッチ以上の大きさであり、

前記ホールパターンを前記格子点に配置し、かつ、該ホールパターンの格子点に最も近い格子点である隣接格子点には他のホールパターンを配置せず、

前記ホールパターンが配置されていない格子点のうち、該ホールパターンの前記隣接格子点を除く格子点の一部に、前記露光工程にてフォトレジストにパターンが転写されない大きさを有する補助パターンを配置することを特徴とするレイアウト設計方法。

【請求項2】

請求項1記載のレイアウト設計方法によって設計された半導体集積回路の露光工程に用いられるフォトマスクであって、

前記補助パターンの格子点に最も近い格子点である隣接格子点に他の補助パターンが配置されていないことを特徴とするフォトマスク。

【請求項3】

前記ホールパターンの格子点から、前記ホールパターンを配置できる最小ピッチである最密ピッチの整数倍の位置に配置された補助パターンの前記隣接格子点に他の補助パターンが配置されていないことを特徴とする、請求項2に記載のフォトマスク。

【請求項 4】

前記ホールパターンおよび前記補助パターンの各パターンの格子点を中心として前記最密ピッチを半径とする円内の他の格子点に補助パターンが配置されていないことを特徴とする、請求項 3 に記載のフォトマスク。

【請求項 5】

ホールパターンを互いに直交する仮想グリッドの交点である格子点に配置する半導体集積回路のレイアウト設計方法であって、

前記仮想グリッドの直交する 2 方向の配列のうちいずれか一方の配列の間隔が前記半導体装置の露光工程の解像限界ピッチよりも小さく、かつ他方の配列の間隔が前記解像限界ピッチ以上の大きさであり、

前記ホールパターンを前記仮想グリッドの格子点に配置したとき、前記解像限界ピッチよりも小さい間隔を有する配列方向については、最も近い格子点である隣接格子点に他のホールパターンを配置しないことを特徴とするレイアウト設計方法。

【請求項 6】

請求項 5 に記載のレイアウト設計方法によって設計された半導体集積回路の露光工程に用いられるフォトマスクであって、

フォトマスク上の仮想グリッドの格子点にホールパターンが配置されており、該ホールパターンが配置されていない格子点の一部に、前記露光工程にてフォトレジストにパターンが転写されない大きさを有する補助パターンが配置されていることを特徴とするフォトマスク。

【請求項 7】

前記フォトマスク上の仮想グリッドにおいて、前記ホールパターンが該仮想グリッドの格子点に配置されており、前記解像限界ピッチよりも小さい間隔を有する配列方向については、前記ホールパターンに最も近い格子点である隣接格子点に前記補助パターンが配置されていないことを特徴とする、請求項 6 に記載のフォトマスク。

【請求項 8】

前記フォトマスク上の仮想グリッドにおいて、前記補助パターンが該仮想グリッドの格子点に配置されており、前記解像限界ピッチよりも小さい間隔を有する配列方向については、前記補助パターンに最も近い格子点である隣接格子点に他の補助パターンが配置されていないことを特徴とする、請求項 7 に記載のフォトマスク。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路の製造工程のうち露光工程でフォトレジストにホールパターンを形成するために用いるフォトマスクと、そのホールパターンについてフォトマスク上の配置を決めるためのレイアウト設計方法とに関する。

【背景技術】**【0002】**

半導体集積回路のコンタクトホールおよび配線等のパターンを配置するためのレイアウト設計は回路の種類によって異なる。所定の論理回路を単位回路として複数配置されたスタンダードセル方式等の大規模集積回路では、コンタクトホールおよび V i a ホールなどのホールパターンを、互いに直交する仮想グリッドの格子点に配置するレイアウト設計手法が用いられる。ホールパターンを格子点上に配置する理由は、大きく分けて 2 つある。

【0003】

1 つ目は、C A D (C o m p u t e r A i d e d D e s i g n) を用いた自動配置配線ツールに対応させるためである。セル、配線パターン、およびホールパターンを回路設計に合わせて定められた格子点上に配置することにより、予め格納されたプログラムにしたがって処理を実行する C A D が、回路設計どおりに配線を配置しやすくなる。

【0004】

2 つ目は、フォトリソグラフィに対応させるためである。ホールパターンを配置する際

10

20

30

40

50

、配列間隔の等しい仮想グリッドの交点となる格子点にホールパターンをアレイ状に配置するようにすれば、露光工程において、隣り合うホールパターンからの光の干渉を利用して、目標どおりの寸法および形状のホールパターンをフォトレジストに加工しやすくなる。また、ホールパターンがアレイ状に配列することなく、単に仮想グリッドの格子点上に配置されているだけでも、OPC (Optical Proximity Correction : 光学近接効果補正) における補正形状の発生が容易になるという利点がある。

【0005】

近年、半導体集積回路の微細化および高集積化に伴い、特にフォトリソグラフィへの対応としてのホールパターン設計方法が重要になっており、ホールパターンの仮想グリッド格子点上への配置と変形照明法や位相シフトマスクとの組み合わせが提案されている (例えば、特許文献1参照)。

10

【0006】

次に、スタンダードセル方式の半導体集積回路で単位回路となるプリミティブセルのレイアウトの例について説明する。

【0007】

図5は従来技術によるプリミティブセルの一構成例のレイアウトパターンを示す図である。図5は2入力NANDゲートの場合を示す。このプリミティブセルでは、N型MOS (Metal Oxide Semiconductor) トランジスタおよびP型MOS トランジスタを有する2入力NANDゲートの場合を示す。なお、「MOS トランジスタ」を以下では単に「トランジスタ」と称する。また、N型ウェル、P型ウェル、およびウェル電位固定のためのN型拡散層とP型拡散層等は図に示すことを省略している。

20

【0008】

図5に示すプリミティブセルは、N型トランジスタのソース電極およびドレイン電極となるN型拡散層4と、P型トランジスタのソース電極およびドレイン電極となるP型拡散層5と、トランジスタのゲート電極6と、素子間を接続するためのメタル配線2の各パターンが配置されている。このレイアウトパターンでは、レイアウト設計で用いられる仮想グリッド1が格子状に設定されている。そして、コンタクトホール3が、互いに直交する仮想グリッド1の交点となる格子点上に配置されている。

【0009】

なお、符号7は、隣り合うセルとの境を示すセル境界である。また、以下では、仮想グリッド1の間隔を仮想グリッドサイズと称し、仮想グリッドサイズのn倍 (nは整数) の寸法をn仮想グリッドサイズと称する。

30

【0010】

図5に示すように、P型トランジスタのゲート電極6を挟んで隣り合うコンタクトホール3の中心間距離を仮想グリッドサイズに設定している。その理由について、以下に説明する。

【0011】

コンタクトホール3のサイズが、例えば、 $0.09\mu\text{m} \times 0.09\mu\text{m}$ とする。そして、半導体集積回路の露光工程における解像限界の最小ピッチである解像限界ピッチについて、コンタクトホール3の解像限界ピッチが、例えば、 $0.18\mu\text{m}$ であるとする。このとき、仮想グリッドサイズをコンタクトホール3の解像限界ピッチの $0.18\mu\text{m}$ に設定すると、ゲート電極6とコンタクトホール3のクリアランスを確保する必要から、ゲート電極6を挟んで隣り合うコンタクトホール3を隣接の格子点に配置できなくなる。仮想グリッドを1つ分空けて2仮想グリッドサイズのピッチで配置すると、今度はゲート電極6を挟んで隣り合うコンタクトホール3が $0.36\mu\text{m}$ のピッチで配置されることになり、レイアウト基準に対する余裕が大きくなって面積的に不利になる。そこで、図5に示すように、ゲート電極6を挟んで隣り合うコンタクトホール3を関係する全ての設計基準を満たす最小のピッチ (例えば、 $0.27\mu\text{m}$) で配置し、このときのコンタクトホール3のピッチを仮想グリッドサイズとすると、セルサイズを効率的に小さくすることができる。

40

【0012】

50

次に、図5に示したプリミティブセルのコンタクトホール11の露光工程用フォトマスクについて説明する。

【0013】

図6はコンタクトホールの露光工程用フォトマスクを示す図である。なお、図5に示したコンタクトホール3をフォトマスク29上では符号11で示す。

【0014】

図6のフォトマスク29に示すように、コンタクトホール11が仮想グリッド10の格子点に配置されている。また、コンタクトホール11が配置されていない格子点には、コンタクトホール11よりもサイズの小さい補助パターン12が配置されている。この補助パターン12のサイズは、ウェハ上に形成されたフォトレジストへの露光工程においてフォトレジストが開口しない大きさ、すなわち解像限界よりも小さい大きさに設定されている。なお、仮想グリッド10は実際のフォトマスクには形成されない。

10

【0015】

次に、補助パターン12を設けることによる作用および効果について説明する。

【0016】

補助パターン12を設けていないフォトマスクを用いてコンタクトホール11をフォトレジストに形成する際、コンタクトホール11のうち隣接の格子点にホールパターンが配置されていない孤立ホールに合わせて露光条件を設定して露光すると、孤立ホールのフォトレジストの開口サイズは目標どおりに形成されるが、隣接の格子点にホールパターンが配置された密集ホールでは目標よりもサイズが大きくなってしまふ。反対に、密集ホールに合わせて露光条件を設定して露光すると、孤立ホールのフォトレジストの開口サイズが目標よりも小さくなってしまふ。

20

【0017】

これに対して、補助パターン12を設けると、図6に示したレイアウトパターン図において各ホールの光学条件が均一になる。そのため、パターン疎密差による寸法変化（近接効果）が低減する。近接効果が低減して孤立ホールと密集ホールとの寸法差が小さくなると、結果としてフォーカスマージンが拡大し、微細なホールパターンの形成が容易になる。

【特許文献1】特開平11-135402号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0018】

従来技術における仮想グリッドサイズは、隣接するコンタクトホールを解像できる限界のピッチ以上の寸法に設定される。また、コンタクトホール以外の他の設計基準上の制約から決定されることもある。さらに、上述したように、スタンダードセル方式におけるプリミティブセルの場合は、通常、トランジスタのゲート電極を挟んで隣り合うコンタクトホールの中心間距離が仮想グリッドサイズに設定される。

【0019】

しかし、従来技術の設計手法で全てのコンタクトホールを仮想グリッドの格子点に配置しようとする、場所によってはコンタクトホール間隔が必要以上に空いてしまい、コンタクトホールと接続されるゲート電極、拡散層、およびメタル配線の配置が必要以上に疎になり、コンタクトホールを自由に配置した場合に比べて、セル面積が増大する場合がある。以下に、具体例を説明する。

40

【0020】

例えば、図5に示した仮想グリッドの横方向の配列をX方向仮想グリッドとし、縦方向の配列をY方向仮想グリッドとすると、図5に示したプリミティブセルでは、ゲート電極上のコンタクトホールと拡散層上のコンタクトホールがX方向仮想グリッドの同じ線上に配置されている。その結果として、ゲート電極上コンタクトホール付近のメタル配線が大きく横方向にはみ出すようなレイアウトとなっている。セルサイズは仮想グリッドサイズ

50

の整数倍で構成されるため、図5のセル境界7で示されるような、無駄なスペースを含むセルとなる。このようなプリミティブセルの面積の増大は、ひいてはチップ全体の面積の増大につながる。

【0021】

本発明は上述したような従来の技術が有する問題点を解決するためになされたものであり、回路パターン面積を縮小可能とした半導体集積回路のレイアウト設計方法、およびフォトマスクを提供することを目的とする。

【課題を解決するための手段】

【0022】

上記目的を達成するための本発明のレイアウト設計方法は、ホールパターンを互いに直交する仮想グリッドの交点である格子点に配置する半導体集積回路のレイアウト設計方法であって、

前記仮想グリッドのサイズが前記半導体集積回路の露光工程の解像限界ピッチよりも小さく、前記サイズの2倍が前記解像限界ピッチ以上の大きさであり、

前記ホールパターンを前記格子点に配置し、かつ、該ホールパターンの格子点に最も近い格子点である隣接格子点には他のホールパターンを配置せず、

前記ホールパターンが配置されていない格子点のうち、該ホールパターンの前記隣接格子点を除く格子点の一部に、前記露光工程にてフォトレジストにパターンが転写されない大きさを有する補助パターンを配置することを特徴とするものである。

【0023】

この場合、前記仮想グリッドのサイズが、前記半導体集積回路の露光工程におけるホールパターンの解像限界ピッチよりも小さいこととしてもよい。

【0026】

また、上記本発明のフォトマスクにおいて、前記補助パターンの格子点に最も近い格子点である隣接格子点に他の補助パターンが配置されていないこととしてもよい。

【0027】

また、上記本発明のフォトマスクにおいて、前記ホールパターンの格子点から、前記ホールパターンを配置できる最小ピッチである最密ピッチの整数倍の位置に配置された補助パターンの前記隣接格子点に他の補助パターンが配置されていないこととしてもよい。

【0028】

さらに、上記本発明のフォトマスクにおいて、前記ホールパターンおよび前記補助パターンの各パターンの格子点を中心として前記最密ピッチを半径とする円内の他の格子点に補助パターンが配置されていないこととしてもよい。

【0029】

また、本発明のレイアウト設計方法は、ホールパターンを互いに直交する仮想グリッドの交点である格子点に配置する半導体集積回路のレイアウト設計方法であって、

前記仮想グリッドの直交する2方向の配列のうちいずれか一方の配列の間隔が前記半導体装置の露光工程の解像限界ピッチよりも小さく、かつ他方の配列の間隔が前記解像限界ピッチ以上の大きさであり、

前記ホールパターンを前記仮想グリッドの格子点に配置したとき、前記解像限界ピッチよりも小さい間隔を有する配列方向については、最も近い格子点である隣接格子点に他のホールパターンを配置しないことを特徴とするものである。

【0030】

一方、上記目的を達成するための本発明のフォトマスクは、上記レイアウト設計方法によって設計された半導体集積回路の露光工程に用いられるフォトマスクであって、

フォトマスク上の仮想グリッドの格子点にホールパターンが配置されており、該ホールパターンが配置されていない格子点の一部に、前記露光工程にてフォトレジストにパターンが転写されない大きさを有する補助パターンが配置されている構成である。

【0031】

また、上記本発明のフォトマスク上の仮想グリッドにおいて、前記ホールパターンが該

10

20

30

40

50

仮想グリッドの格子点に配置されており、前記解像限界ピッチよりも小さい間隔を有する配列方向については、前記ホールパターンに最も近い格子点である隣接格子点に前記補助パターンが配置されていないこととしてもよい。

【0032】

さらに、上記本発明のフォトマスク上の仮想グリッドにおいて、前記補助パターンが仮想グリッドの格子点に配置されており、前記解像限界ピッチよりも小さい間隔を有する配列方向については、前記補助パターンに最も近い格子点である隣接格子点に他の補助パターンが配置されていないこととしてもよい。

【0033】

本発明では、上記いずれかのレイアウト設計方法によるホールパターンの配置、およびフォトマスクの製造がなされる。そのため、このフォトマスクを用いて製造される半導体集積回路のチップ面積が従来よりも小さくなる。

【発明の効果】

【0034】

本発明では、仮想グリッド格子点へのホールパターン配置による利点を保持しつつ、パターン全体の面積の縮小を図ることができる。

【発明を実施するための最良の形態】

【0035】

本発明のレイアウト設計方法は、露光工程の解像限界の最小ピッチである解像限界ピッチよりも小さい間隔の仮想グリッドを設定し、ホールパターンを仮想グリッドの交点である格子点に配置し、ホールパターンから最も近い格子点である隣接格子点には他のホールパターンを配置しないものである。

(実施形態1)

本発明の構成について説明する。

【0036】

図1は本発明のレイアウト設計方法によるプリミティブセルの一構成例のレイアウトパターンを示す図である。図1は2入力NANDゲートの場合を示す。

【0037】

図1に示すように、従来と同様に、プリミティブセルはP型トランジスタとN型トランジスタとを有し、コンタクトホール3は、互いに直交する仮想グリッド1の格子点上に配置されている。

【0038】

本実施形態では、仮想グリッドサイズがコンタクトホール3の解像限界ピッチよりも小さい寸法である。また、2仮想グリッドサイズが解像限界ピッチ以上の大きさになっている。コンタクトホールは仮想グリッド1の格子点上に配置されているが、あるホールパターンに着目すると、その最隣接の格子点には他のホールパターンが配置されていない。

【0039】

図1に示すように、P型トランジスタのゲート電極6を挟んで隣り合うコンタクトホール3の格子点間の寸法が2仮想グリッドサイズになっている。この2仮想グリッドサイズはコンタクトホール3の格子点間寸法のうち最小ピッチに相当する。以下では、このコンタクトホール3の最小ピッチを最密ピッチと称する。

【0040】

次に、図1に示したプリミティブセルのコンタクトホール3の露光工程用フォトマスクについて説明する。

【0041】

図2はコンタクトホールの露光工程用フォトマスクを示す図である。従来と同様に、図1に示したコンタクトホール3をフォトマスク9上では符号11で示す。

【0042】

フォトマスク9には、従来と同様にコンタクトホール11が仮想グリッド10の格子点に配置されている。そして、図1で説明したのと同様に、本実施形態では、仮想グリッド

10

20

30

40

50

サイズはコンタクトホール 1 1 の解像限界ピッチよりも小さく、2 仮想グリッドサイズが解像限界ピッチ以上の大きさになっている。なお、仮想グリッド 1 0 は実際のフォトマスクには形成されない。

【 0 0 4 3 】

コンタクトホール 1 1 が配置されていない格子点の一部には、コンタクトホール 1 1 よりもサイズの小さい補助パターン 1 2 が配置されている。この補助パターン 1 2 のサイズは、ウェハ上に形成されたフォトレジストへの露光工程においてフォトレジストが開口しない大きさ、すなわち解像限界よりも小さい大きさに設定されている。さらに、図 2 に示すように、コンタクトホール 1 1 および補助パターン 1 2 の各パターンの格子点から最も近い格子点である隣接格子点には、コンタクトホール 1 1 および補助パターン 1 2 のどちら

10

【 0 0 4 4 】

また、本実施形態では、ホールパターン 1 1 の格子点から最密ピッチの整数倍の位置に配置された補助パターン 1 2 の隣接格子点に他の補助パターン 1 2 を配置していない。そのため、パターンの開口密度がより均一になり露光工程における光学条件がさらに向上する。

20

【 0 0 4 5 】

さらに、ホールパターン 1 1 および補助パターン 1 2 の各パターンの格子点を中心として最密ピッチを半径とする円内の他の格子点に補助パターン 1 2 を配置していない。これにより、各パターンの格子点を頂点として仮想グリッドで形成される最小四角形において、各パターンの格子点の対角の頂点にも補助パターンが配置されなくなり、パターンの開口密度がさらに均一になる。

【 0 0 4 6 】

上述のレイアウト設計方法では、全てのコンタクトホール 1 1 と補助パターン 1 2 が完全に規則的に並ぶことはなくなるものの、コンタクトホール 1 1 が密に配置されている箇所には補助パターン 1 2 が配置されない。また、コンタクトホール 1 1 が孤立している箇所では仮想グリッドサイズの 2 倍のピッチで補助パターン 1 2 が配置されるため、結果として適度な間隔で補助パターン 1 2 が挿入され、露光時の解像度やフォーカスマージンが従来技術と同程度に保たれる。

30

【 0 0 4 7 】

次に、本実施形態のレイアウト設計方法によるセル面積の従来のセル面積に対する面積縮小率について説明する。ここでは、ArF ステッパ（光源波長：193 nm）を用いた場合とする。また、コンタクトホールのサイズを $0.09 \mu\text{m} \times 0.09 \mu\text{m}$ 、コンタクトホールの解像限界ピッチを $0.18 \mu\text{m}$ とする。

【 0 0 4 8 】

従来技術となる図 5 に示した構成の仮想グリッドでは、ゲート電極 6 を挟んで隣り合うコンタクトホール 3 のピッチを仮想グリッドサイズとしていた。このピッチを仮に $0.27 \mu\text{m}$ とすると、2 入力 NAND ゲートのセル面積は、 $(0.27 \mu\text{m} \times 7 \text{ 仮想グリッド}) \times (0.27 \mu\text{m} \times 11 \text{ 仮想グリッド}) = 5.61 \mu\text{m}^2$ となる。

40

【 0 0 4 9 】

これに対し、本実施形態のレイアウト設計方法を用いると、2 仮想グリッドサイズが解像限界ピッチの $0.18 \mu\text{m}$ 以上であればよいので、例えば、1 仮想グリッドサイズを $0.135 \mu\text{m}$ にすることができる。図 1 に示した 2 入力 NAND ゲートで仮想グリッドサイズを $0.135 \mu\text{m}$ とすると、ゲート電極 6 を挟んで隣り合うコンタクトホールのピッチは従来例と同じ $0.27 \mu\text{m}$ ($0.135 \mu\text{m} \times 2 \text{ 仮想グリッド}$) であるにもかかわらず、セルの面積は $(0.135 \mu\text{m} \times 12 \text{ 仮想グリッド}) \times (0.135 \mu\text{m} \times 21 \text{ 仮想$

50

グリッド) = $4.59 \mu\text{m}^2$ となり、従来例に比べ約18%の面積縮小が可能となる。図1には、セル面積の違いを比較しやすいように、図5に示した2入力NANDゲートの場合による従来のセル境界8を示す。

【0050】

本発明のレイアウト設計方法を用いることにより、セルの面積、ひいてはチップの面積を縮小することができる。

【0051】

本発明のレイアウト設計方法により作製されたフォトマスクでは、各コンタクトホール10の光学条件がほぼ均一となるため、全てのコンタクトホールを均一な大きさと解像することができる。また、本発明のレイアウト設計では、コンタクトホールの配置を決めるための設計の際、仮想グリッドが解像限界となるコンタクトホールのピッチよりも小さいサイズとなっているため、従来技術に比べてコンタクトホール配置の自由度が増し、結果としてセル内の無駄なスペースを排し、セルの面積を縮小することができる。

【0052】

なお、本実施形態ではプリミティブセルのコンタクトホールを例として用いているが、同様に「Viaホールを最隣接仮想グリッド上に配置しない」という制約の下にViaホールの配置およびフォトマスクの作製を行うことにより、Viaホール配置場所の自由度が向上し、面積の縮小を図ることができる。

【0053】

また、コンタクトホールの解像限界ピッチを2等分した値を仮想グリッドサイズとしたが、2より大きい値で等分してもよい。コンタクトホールの解像限界ピッチを n (n は整数)等分した場合、仮想グリッドサイズはコンタクトホールの解像限界ピッチよりも小さく、 n 仮想グリッドサイズが解像限界ピッチ以上の大きさになっている。

(実施形態2)

本実施形態は、実施形態1の図1で示した仮想グリッドの配列方向が横方向のX方向と、配列方向が縦方向のY方向とで仮想グリッドサイズが異なる点が特徴となる。

【0054】

本実施形態の構成について説明する。なお、実施形態1と同様な構成については同一の符号を付し、その詳細な説明を省略する。

【0055】

図3は本実施形態のレイアウト設計方法によるプリミティブセルの一構成例のレイアウトパターンを示す図である。図3は、実施形態1と同様に、2入力NANDゲートの場合を示す。

【0056】

図3のX方向仮想グリッド31aを $X_0 \sim X_{12}$ とし、Y方向仮想グリッド31bを $Y_0 \sim Y_{15}$ としている。X方向の仮想グリッドサイズは、実施形態1と同様に、コンタクトホール11の解像限界ピッチよりも小さく、また、X方向の2仮想グリッドサイズは解像限界ピッチ以上の大きさになっている。これに対し、Y方向の仮想グリッドサイズは解像限界ピッチ以上の大きさに設定されている。このように、X方向とY方向で仮想グリッドサイズが異なっている。

【0057】

次に、本実施形態のレイアウト設計方法によるセル面積の従来のセル面積に対する面積縮小率について説明する。なお、光源波長、コンタクトホールのサイズ、および解像限界等の条件を実施形態1と同様とする。

【0058】

図3において、X方向の仮想グリッドサイズを $0.135 \mu\text{m}$ 、Y方向の仮想グリッドサイズを解像限界ピッチの $0.18 \mu\text{m}$ と設定する。こうすることで、セルの上下辺に位置するウェル電位固定用のコンタクトホールと、トランジスタのソース電極およびドレイン電極の拡散層上のコンタクトホールとの間隔が最適化され、実施形態1に比べて、さらに面積縮小が可能となる。

【 0 0 5 9 】

図3に示したセルでは、面積が $(0.135\mu\text{m} \times 12\text{ 仮想グリッド}) \times (0.18\mu\text{m} \times 15\text{ 仮想グリッド}) = 4.37\mu\text{m}^2$ となり、図5に示した従来例に対して約22%の面積縮小となる。図3には、セル面積の違いを比較しやすいように、図5に示した2入力NANDゲートの場合による従来のセル境界8を示す。このようにX方向とY方向で異なる仮想グリッドサイズを用いることで、コンタクトホール配置の自由度がさらに向上し、セル面積をより小さくすることが可能となる。

【 0 0 6 0 】

上述の寸法例(X方向の仮想グリッドサイズ $= 0.135\mu\text{m}$ 、Y方向の仮想グリッドサイズ $= 0.18\mu\text{m}$)の場合のコンタクトホールのフォトマスクについて説明する。

10

【 0 0 6 1 】

図4は、コンタクトホールの露光工程用フォトマスクを示す図である。図3に示したコンタクトホール3をフォトマスク19上では符号11で示す。なお、X方向仮想グリッド31aおよびY方向仮想グリッド31bは実際のフォトマスクには形成されない。

【 0 0 6 2 】

図4のフォトマスク19に示すように、X方向の仮想グリッドサイズが $0.135\mu\text{m}$ なので、X方向に隣接する格子点への補助パターン12の配置が困難であるが、Y方向の仮想グリッドサイズは $0.18\mu\text{m}$ (=解像限界ピッチ)なので、Y方向に隣接する格子点上には補助パターン12を配置することができる。

【 0 0 6 3 】

20

なお、補助パターン12は、実施形態1と同様に、コンタクトホールパターン11が配置されていない格子点の一部に配置されているが、本実施形態では、X方向グリッド31aの配列方向について、コンタクトホール11の隣接格子点には配置されない。また、X方向グリッド31aの配列方向については、補助パターン12の隣接格子点に他の補助パターン12が配置されない。パターンの開口密度がより均一になり露光工程における光学条件がより向上する。

【 0 0 6 4 】

本実施形態では、上述のようにして、X方向とY方向でそれぞれ状況に応じた最適な仮想グリッドサイズを決めることで、セルサイズを最小にするような最適のコンタクトホール配置のための仮想グリッドが設定される。

30

【 0 0 6 5 】

なお、本実施形態ではプリミティブセルのコンタクトホールを例として用いているが、同様に、Viaホール配置のために、X方向とY方向で異なる間隔の仮想グリッドが設定されることにより、Viaホール配置場所の自由度が向上し、面積の縮小を図ることができる。

【 0 0 6 6 】

また、グリッドのX方向について解像限界ピッチを2等分した値を仮想グリッドサイズとしたが、2より大きい値で等分してもよい。コンタクトホールの解像限界ピッチを n (n は整数)等分した場合、X方向の仮想グリッドサイズはコンタクトホールの解像限界ピッチよりも小さく、 n 仮想グリッドサイズが解像限界ピッチ以上の大きさになっている。

40

【 0 0 6 7 】

また、Y方向の仮想グリッドサイズを解像限界ピッチとしたが、解像限界ピッチよりも大きくしてもよい。また、Y方向の仮想グリッドサイズを実施形態1と同様にし、X方向の仮想グリッドサイズを解像限界ピッチ以上の大きさにしてもよい。

【 0 0 6 8 】

また、仮想グリッドのX方向、Y方向でそれぞれ仮想グリッドサイズを固定としたが、プリミティブセル内やチップ内の特定の領域毎に異なる仮想グリッドを定義することで、ホール形成工程の近接効果を低減できる範囲内でホール配置の自由度を上げることができる。

【 0 0 6 9 】

50

上記実施形態 1 および実施形態 2 において、本発明の補助パターンを有するフォトマスクは、輪帯状光源や 4 点状光源を用いた変形照明による露光を行うことで、ホール解像度の向上が期待できる。また、本発明のフォトマスクにおいて、周期的に配列されたホールパターン / 補助パターンに対し、1 つ置きに位相シフターを配置することで解像度を向上させることもできる。さらに、本発明のフォトマスクのパターンに対し、適切な OPC を施してもよい。

【図面の簡単な説明】

【0070】

【図 1】実施形態 1 のレイアウト設計手法によって設計されたプリミティブセルのレイアウトパターンを示す図である。

10

【図 2】図 1 に示したレイアウトパターンに対応するコンタクトホールの露光工程用フォトマスクを示す図である。

【図 3】実施形態 2 のレイアウト設計手法によって設計されたプリミティブセルのレイアウトパターンを示す図である。

【図 4】図 3 に示したレイアウトパターンに対応するコンタクトホールの露光工程用フォトマスクを示す図である。

【図 5】従来のレイアウト設計手法によって設計されたプリミティブセルのレイアウトパターンを示す図である。

【図 6】図 5 に示したレイアウトパターンに対応するコンタクトホールの露光工程用フォトマスクを示す図である。

20

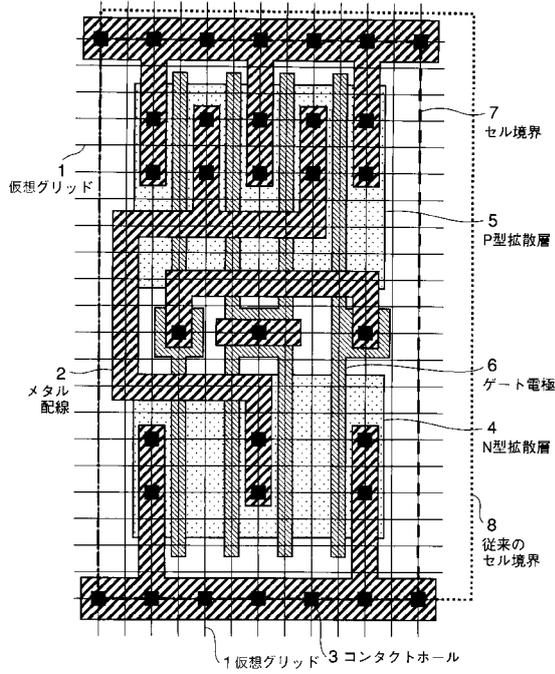
【符号の説明】

【0071】

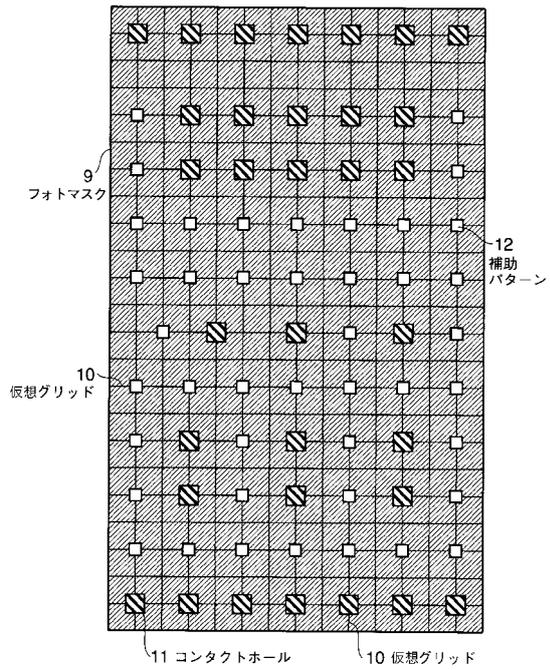
- 1、10 仮想グリッド
- 2 メタル配線
- 3、11 コンタクトホール
- 4 N型拡散層
- 5 P型拡散層
- 6 ゲート電極
- 7 セル境界
- 8 従来のセル境界
- 9、19、29 フォトマスク
- 12 補助パターン
- 31a X方向仮想グリッド
- 31b Y方向仮想グリッド

30

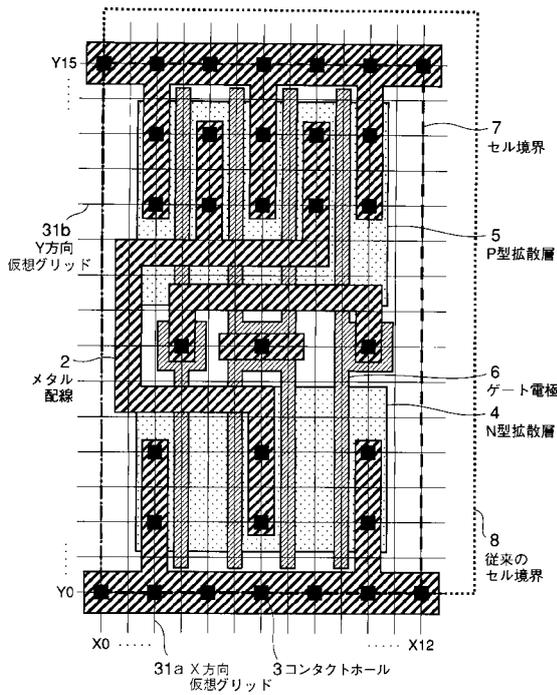
【図1】



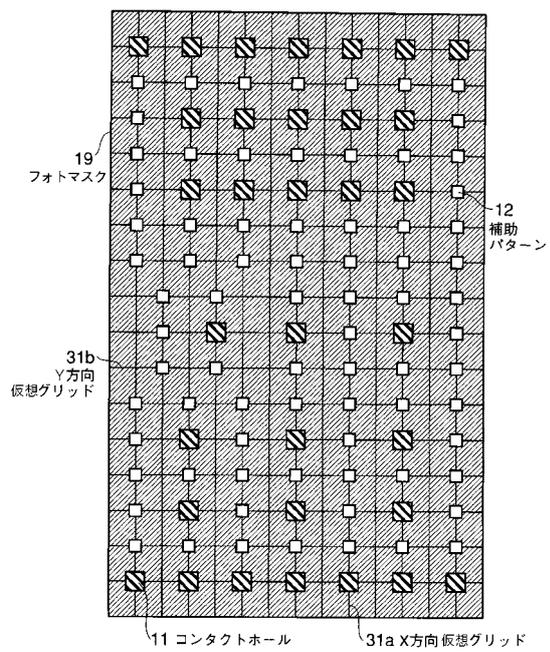
【図2】



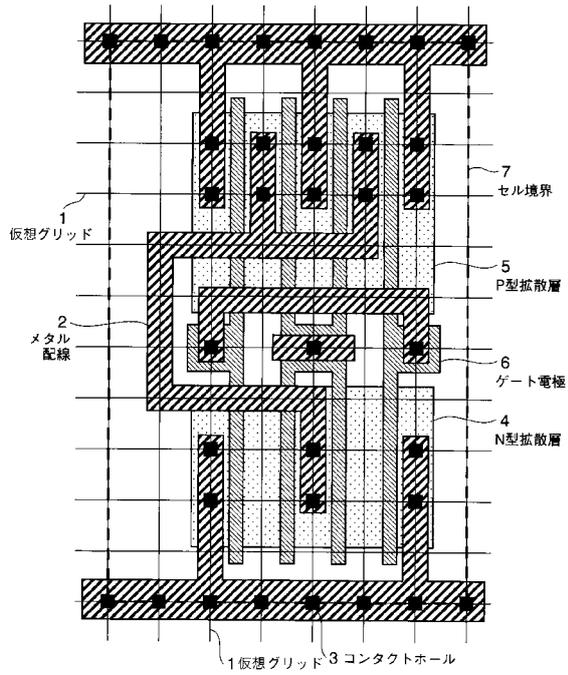
【図3】



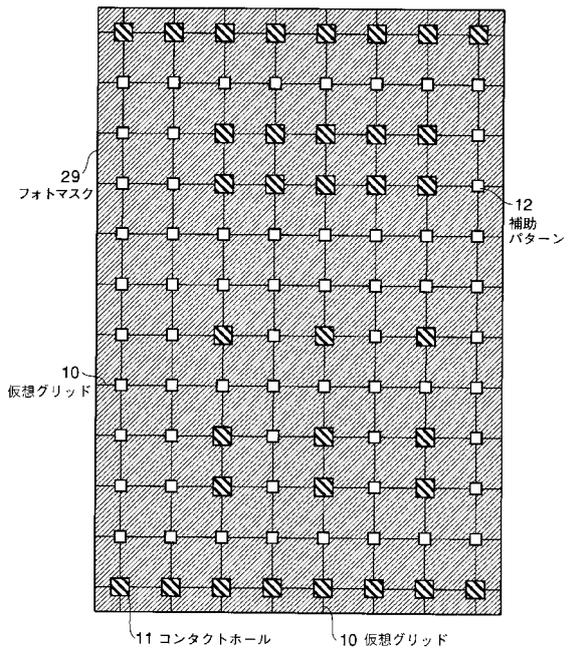
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2002-122976(JP,A)
特開平07-086414(JP,A)
特開平03-203372(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/82
H01L 21/027
G03F 1/08