

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5380037号
(P5380037)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月4日(2013.10.4)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	6 1 2 D	
HO 1 L 29/786	(2006.01)	HO 1 L 29/78	6 2 7 C	
GO 2 F 1/1368	(2006.01)	HO 1 L 29/78	6 1 6 N	
		GO 2 F 1/1368		

請求項の数 5 (全 14 頁)

(21) 出願番号	特願2008-269324 (P2008-269324)	(73) 特許権者	000153878
(22) 出願日	平成20年10月20日(2008.10.20)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2009-124123 (P2009-124123A)		神奈川県厚木市長谷398番地
(43) 公開日	平成21年6月4日(2009.6.4)	(72) 発明者	細谷 邦雄
審査請求日	平成23年10月4日(2011.10.4)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2007-275781 (P2007-275781)		半導体エネルギー研究所内
(32) 優先日	平成19年10月23日(2007.10.23)	(72) 発明者	藤川 最史
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	千葉 陽子
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	大橋 達也

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に第一の金属膜を形成し、
 第一のフォトレジストを用いて前記金属膜をエッチングしゲート電極を形成し、
 前記ゲート電極上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上にI型半導体層を形成し、
 前記I型半導体層上に一導電性を付与する不純物元素を含む半導体層を形成し、
 第一の裏面露光を行って第二のフォトレジストを形成し、
 前記第二のフォトレジストを用いて前記I型半導体層および前記一導電性を付与する不
 純物元素を含む半導体層をエッチングして島状に形成し、
 前記基板上に第二の金属膜を形成し、
 第一の多階調マスクを用いて第三のフォトレジストを形成し、
 前記第三のフォトレジストを用いて前記第二の金属膜、前記一導電性を付与する不純物
 元素を含む半導体層および前記I型半導体層をエッチングし、
 前記第三のフォトレジストをアッシングし、
 アッシングされた前記第三のフォトレジストを用いて前記第二の金属膜をエッチングし
 、ソース電極およびドレイン電極を形成し、
 アッシングされた前記第三のフォトレジストを用いて前記一導電性を付与する不純物元
 素を含む半導体層および前記I型半導体層をエッチングし、チャンネル領域、ソース領域お
 よびドレイン領域を形成し、

10

20

第二の多階調マスクを用いて第四のフォトレジストを形成し、
 前記第四のフォトレジストを用いて前記第四のフォトレジストで覆われていない前記ゲート絶縁膜をエッチングしてコンタクトホールを形成し、
 前記第四のフォトレジストをアッシングし、
 前記基板上に導電膜を形成し、
 前記第四のフォトレジストを除去することにより画素電極を形成し、
 前記基板上に保護膜を形成し、
 第二の裏面露光を行い前記保護膜上に第五のフォトレジストを形成し、
 前記第五のフォトレジストをリフロー処理し、
 リフロー処理された前記第五のフォトレジストを用いて前記保護膜をエッチングする半
 10 導体装置の作製方法。

【請求項 2】

請求項 1 において、前記第一、第二の多階調マスクはハーフトーンマスク又はグレイトーンマスクであることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または 2 において、前記第一の裏面露光は光が前記 I 型半導体層と前記一導電性を付与する不純物元素を含む半導体層を通過して行われることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、前記 I 型半導体層は I 型アモルファスシリ
 20 リコン層であることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、前記画素電極は透明導電膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の作製方法に関し、特に、アクティブマトリクス型表示装置の作製方法に関するものである。

【背景技術】

30

【0002】

従来、液晶テレビ、パーソナルコンピュータのディスプレイ、携帯電話等、広く普及している表示装置の多くに、アモルファスシリコンを用いた T F T をスイッチング素子として利用した液晶表示装置が用いられている。絶縁表面を有する基板上に形成された半導体薄膜を用いて T F T を構成する技術が注目されている。T F T は I C や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発されている。

【0003】

アモルファスシリコンを用いた T F T は、従来、5 枚以上のフォトマスクを用い、フォトリソグラフィ工程によって積層構造が形成されていた。以前から、そのようなフォトマスク
 40 を用いたフォトリソグラフィ工程の削減が望まれていた。従来、フォトマスクを用いたフォトリソグラフィ工程の回数の削減をしたものとして特許文献 1 および特許文献 2 が知られている。

【0004】

図 10 は従来のアモルファスシリコンを用いた T F T の構成図である。

【0005】

その製造工程を説明する。ゲート電極 501 はガラス基板 500 上に成膜され、1 枚目のフォトマスクを用いたフォトリソグラフィ工程で作製される。

【0006】

ゲート絶縁膜 502、I 型アモルファスシリコン層 503 および n⁺ 型アモルファスシリ
 50

コン層504を成膜する。I型アモルファスシリコン層503およびn⁺型アモルファスシリコン層504は、2枚目のフォトマスクを用いたフォトリソグラフィ工程で島状領域とされる。

【0007】

ソース電極508およびドレイン電極509が成膜され、3枚目のフォトマスクを用いたフォトリソグラフィ工程で作製される。その際、フォトレジストをそのまま利用し、n⁺型アモルファスシリコン層をエッチングしチャンネル領域505、ソース領域506、ドレイン領域507を形成する。

【0008】

保護膜510を成膜し、4枚目のフォトマスクを用いたフォトリソグラフィ工程で画素電極511とのコンタクトホールが形成される。

10

【0009】

インジウム錫酸化物(ITO、Indium Tin Oxide)を成膜し、5枚目のフォトマスクを用いたフォトリソグラフィ工程で画素電極511が形成される。

【特許文献1】特開2000-131719号公報

【特許文献2】特開2003-45893号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

フォトマスクを用いたフォトリソグラフィ工程は、フォトレジストの塗布、プリバーク、金属フォトマスクを用いた露光工程、現像工程、ポストバーク、エッチング工程、レジスト剥離工程等からなる。これらに加えて洗浄工程や検査工程など、多数の工程が一つのフォトリソグラフィ工程に含まれる。

20

【0011】

従って、従来の5枚フォトマスクプロセスを実施することはこれらを5回繰り返すことになるため、製造工程におけるスループットや製造コストを増大させる大きな要因となっていた。このため、フォトマスク数の削減は、製造時間および製造コストの削減を意味し、待ち望まれていた。量産という観点からも、フォトマスク数の削減は大きな課題であった。また、工程数の削減も課題の一つとする。

【課題を解決するための手段】

30

【0012】

上記課題を解決するため、本発明ではチャンネルエッチ型ボトムゲートTFET構造を採用し、ゲート配線を利用し裏面露光しフォトレジストを選択的に露光し所望のパターンのフォトレジストを形成し、さらに多階調マスクとしてハーフトーンマスク又はグレイトーンマスクを利用することを特徴とする。また、ハーフトーンマスク又はグレイトーンマスクを利用するリフトオフ工程及びフォトレジストをリフロー処理する工程を特徴とする。リフトオフ工程とは、目的とするパターン以外のパターンを、基板上にフォトレジスト等で構成し、目的薄膜を成膜後、フォトレジストと重なる不要部分をフォトレジストと共に除去し、目的とするパターンを残す方法である。リフロー処理とは、基板上のフォトレジストを加熱処理又は薬剤処理し、加工する工程のことである。また、リフトオフ工程とマスクアライメントの組み合わせを繰り返すことにより、部分的に膜厚の異なるパターン、又は部分的に異なる物質の薄膜パターンングが可能となる。

40

【0013】

本発明の構成は、基板上に第一の金属膜を形成し、第一のフォトレジストを用いて金属膜をエッチングしゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上にI型半導体層を形成し、I型半導体層上にn⁺型半導体層を形成し、裏面露光を行い第二のフォトレジスト形成し、第二のフォトレジスト用いてI型半導体層およびn⁺型半導体層を島状領域とし、n⁺型半導体層上に第二の金属膜を形成し、多階調マスクを用いて第三のフォトレジストを形成し、第三のフォトレジストを用いて第二の金属膜、n⁺型半導体層およびI型半導体層をエッチングし、第三のフォトレジストをアッシングし、

50

アッシングされた第三のフォトレジストを用いて第二の金属膜をエッチングし、ソース電極およびドレイン電極を形成し、アッシングされた第三のフォトレジストを用いて n^+ 型半導体層およびI型半導体層をエッチングし、チャンネル領域、ソース領域およびドレイン領域を形成し、ソース電極およびドレイン電極上に絶縁膜を形成し、第四のフォトレジストを用いて絶縁膜にコンタクトホールを形成し、絶縁膜上に導電膜を形成し、第五のフォトレジストを用いて導電膜をエッチングし画素電極を形成する半導体装置作製方法である。

【0014】

また、他の発明の構成は、基板上に第一の金属膜を形成し、第一のフォトレジストを用いて金属膜をエッチングしゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上にI型半導体層を形成し、I型半導体層上に n^+ 型半導体層を形成し、裏面露光を行い第二のフォトレジスト形成し、第二のフォトレジスト用いてI型半導体層および n^+ 型半導体層を島状領域とし、 n^+ 型半導体層上に第二の金属膜を形成し、第一の多階調マスクを用いて第三のフォトレジストを形成し、第三のフォトレジストを用いて第二の金属膜、 n^+ 型半導体層およびI型半導体層をエッチングし、第三のフォトレジストをアッシングし、アッシングされた第三のフォトレジストを用いて第二の金属膜をエッチングし、ソース電極およびドレイン電極を形成し、アッシングされた第三のフォトレジストを用いて n^+ 型半導体層およびI型半導体層をエッチングし、チャンネル領域、ソース領域およびドレイン領域を形成し、第二の多階調マスクを用いて第四のフォトレジストを形成し、第四のフォトレジストを用いてゲート絶縁膜にコンタクトホールを形成し、第四のフォトレジストをアッシングし、アッシングされた第四のフォトレジスト上に導電膜を形成し、アッシングされた第四のフォトレジスト上の導電膜を第四のフォトレジストと共に除去することにより画素電極を形成し、画素電極上に絶縁膜を形成し、裏面露光を行い絶縁膜上に第五のフォトレジストを形成し、第五のフォトレジストをリフロー処理し、リフロー処理された第五のフォトレジストを用いて絶縁膜をエッチングする半導体装置作製方法である。

【発明の効果】

【0015】

発明の効果により、従来のアモルファスシリコンTFTが5枚フォトマスクで製造されているのに対し、本発明では4枚又は3枚フォトマスクでTFTを作製することが可能になり、製造時間および製造コストを削減することができる。また、裏面露光を行うことにより、セルフアライン工程となりフォトマスクの位置あわせが不要となる。セルフアライン工程ではフォトマスクの位置ずれが起こらないため、位置ずれのマージンを不要とし、より微細なパターンが可能となる。またチャンネル領域がゲート電極によって外部からの光から保護されるため、TFTのオフ時のリーク電流の増加を抑えることができる。

【0016】

また、リフロー処理を採用することによりTFTを絶縁膜で完全に覆うことで、素子の信頼性を向上させることができる。つまり、ソース電極の端を確実にカバーできるためTFTが汚染されることを防止することができる。従来のハーフトーン技術がI型アモルファスシリコン層、 n^+ 型アモルファスシリコン層、ソースメタルおよびドレインメタルを一度にエッチングしている。そのため、素子間においてI型アモルファスシリコン層が接続された状態になる。それに対して、本発明は、ソースメタルおよびドレインメタル成膜前にI型アモルファスシリコン層および n^+ 型アモルファスシリコン層のみを裏面露光により所望のパターンのフォトレジストを形成し島状領域とする為、I型アモルファスシリコン層が切断され素子の分離がより確実になされる。

【発明を実施するための最良の形態】

【0017】

本発明の実施形態について、以下に説明する。

【0018】

本発明は、従来の5枚フォトマスクプロセスによる工程数を削減するために、フォトマス

10

20

30

40

50

ク数を4枚又は3枚として製造した半導体装置およびその作製方法に関するものである。

【0019】

図1から図9は本発明の作製方法を示したものである。

【0020】

本実施の形態では、ゲート配線材料をフォトマスクとして裏面露光によりフォトレジストを選択的に露光し所望のパターンを得ることで島状領域とする。更に、ハーフトーン露光技術を用いて、チャンネル領域、ソース領域、ドレイン領域、ソース配線およびドレイン配線を形成する。本実施の形態ではハーフトーン露光技術を用いたが、グレイトーン露光技術を用いても良い。これら特徴を合わせることにより、従来の5枚フォトマスクよりフォトマスク数を削減した4枚フォトマスクプロセスが可能となる。また、さらにハーフトーン露光技術を用いて3枚フォトマスクプロセスが可能となる。

10

【0021】

(実施の形態1)

図1から図3により、本発明の4枚フォトマスクプロセスを説明する。

【0022】

図1(A)において、ガラス基板100上に金属膜をスパッタリング法により積層して成膜する。ガラス基板は、透光性を有する基板であれば良く、コーニング社のNo.7059ガラスやNo.1737ガラス等に代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスを用いることができる。その他に、石英基板、プラスチック基板等の透光性基板を使用することができる。第1のフォトマスクを用いて所望のフォトレジストを形成し上記金属膜のエッチングを行いゲート電極101、ゲート配線を形成する。ゲート電極101、ゲート配線は、アルミニウム(Al)や銅(Cu)などの低抵抗導電材料で形成することが望ましいが、アルミニウム単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性及び導電性を兼ね備える材料と組み合わせ形成する。また、低抵抗を示す導電性材料としてAgPdCu合金を用いてもよい。耐熱性及び導電性兼ね備える材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)から選ばれた元素、又は前記元素を成分とする合金か、前記元素を組み合わせた合金膜、又は前記元素を成分とする窒化物で形成する。例えば、チタンと銅の積層、窒化タンタルと銅との積層が挙げられる。また、チタン、シリコン、クロム、ネオジム等の耐熱性及び導電性兼ね備える材料と組み合わせ形成した場合、平坦性が向上するため好ましい。また、このような耐熱性及び導電性を兼ね備える材料のみ、例えばモリブデンとタングステンを組み合わせ形成しても良い。

20

30

【0023】

図1(B)において、前記のゲート電極101上に、絶縁膜102、I型アモルファスシリコン層103およびn⁺型アモルファスシリコン層104を順に成膜する。絶縁膜102は後にゲート絶縁膜102となるもので、例えば窒化珪素膜、酸化珪素膜、酸化窒化珪素膜などの単層又はこれらの積層構造により形成する。勿論、ゲート絶縁膜はこのような材料に限定されるものではなく、酸化タンタル膜等の他の絶縁膜を用い、これら材料から成る単層又は積層構造として形成しても良い。I型アモルファスシリコン層103およびn⁺型アモルファスシリコン層104は、後にチャンネル領域、ソース領域およびドレイン領域を形成するものである。I型アモルファスシリコン層103は導電性を付与する不純物を含有しない、ノンドーブ層であり、n⁺型アモルファスシリコン層104は一導電性を付与する不純物元素を有する半導体膜、特に燐を高濃度に含有しn型の導電性を付与した半導体層である。これら絶縁膜102、I型アモルファスシリコン層103およびn⁺型アモルファスシリコン層104は、CVD法により形成する。マルチチャンバ型のCVD装置を用いることで、連続して成膜することも可能である。このように大気に曝さないことで不純物の混入を防止することができる。本実施の形態では、CVD法により形成したが、スパッタリング法等も用いることができる。

40

【0024】

図1(C)において、ゲート電極101、ゲート配線の金属膜をフォトマスクとして、基

50

板裏面からの裏面露光より、 n^+ 型アモルファスシリコン層104上に形成したフォトレジストを選択的に露光し、所望のパターンのフォトレジストを形成する。裏面露光により、光が薄膜を通過してフォトレジスト121が露光するため、ゲート配線以外の層、I型アモルファスシリコン層103および n^+ 型アモルファスシリコン層104の膜厚は、露光できる程度に薄くなくてはならない。つまり、光がI型アモルファスシリコン層103および n^+ 型アモルファスシリコン層104を通過してフォトレジスト121を露光させる。裏面露光によって形成されたフォトレジストパターンにより、I型アモルファスシリコン層103および n^+ 型アモルファスシリコン層104をエッチングし、図1(D)のように、島状型アモルファスシリコン層123および島状 n^+ 型アモルファスシリコン層124とする。裏面露光を行うことによって、セルフアライン工程となりフォトマスクの位置あわせが不要となり、露光後のフォトレジストの位置がずれることなく、自己整合的にエッチングを行うことができる。

10

【0025】

図1(E)において、基板全面に金属膜105を成膜する。この金属膜105は後にソース電極、ドレイン電極およびソース配線になる。金属膜105の材料としては島状 n^+ 型アモルファスシリコン層124とオーミックコンタクトのとれる金属材料であれば特に限定されず、アルミニウム、クロム、タンタル、チタンから選ばれた元素、又は前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。

【0026】

図2(A)において、第2のフォトマスクを用いてフォトレジスト1を形成する。このフォトレジスト1は、ハーフトーン露光技術を用いる。つまり、異なる厚みを有するフォトレジストを形成する。ソース電極、ドレイン電極およびソース配線となる箇所は厚くし、チャンネルとなる箇所は薄く形成する。

20

【0027】

図2(B)において、前記フォトレジスト1を用いてエッチングを行う。これにより配線106を形成する。

【0028】

図2(C)において、前記フォトレジスト1にアッシング処理を施し、フォトレジスト1の形状を図2(C)のフォトレジスト2のように加工する。つまり、フォトレジストを薄く形成していた箇所を露出させる。

30

【0029】

図2(D)において、アッシングにより加工された前記フォトレジスト2を用いて金属膜105のエッチングを行い、ソース電極110およびドレイン電極111を形成する。同様にフォトレジスト2を用いて、島状 n^+ 型アモルファスシリコン層124および島状I型アモルファスシリコン層123のエッチングを行い、チャンネル領域107、ソース領域108およびドレイン領域109を形成する。ゲート絶縁膜102を介してゲート電極111と重なるI型アモルファスシリコン層がチャンネル形成領域107となる。その後フォトレジスト2を剥離除去する。

【0030】

図3(A)において、基板全面に絶縁膜を成膜し、保護膜112とする。この保護膜とする絶縁膜は窒化珪素膜、酸化珪素膜、又はそれらの積層膜でも良い。窒化珪素膜はそのパッシベーション性能の高さから特に好ましい。

40

【0031】

図3(B)において、第3のフォトマスクを用いて形成したフォトレジスト3によりドレイン電極111とのコンタクト部の開口を形成する。

【0032】

図3(C)において、基板全面にITOを成膜し、第4のフォトマスクを用いて所望のフォトレジストを形成し、それを用いて画素電極113を形成する。本実施の形態では画素電極材料としてITOを用いたが、透明導電材料として例えば、酸化錫、酸化インジウム、酸化ニッケル、酸化亜鉛又はそれらの化合物を用いても良い。

50

【 0 0 3 3 】

本実施の形態では、チャンネル領域 1 0 7 として I 型アモルファスシリコン層を用いたが、微結晶半導体膜（セミアモルファス半導体膜ともいう。）を形成し、微結晶半導体膜上にバッファ層を形成し、バッファ層上に n^+ 型アモルファスシリコン層を形成しても良い。バッファ層としてはアモルファスシリコン層を用いることができ、窒素、水素又はハロゲンのいずれか一つ以上を含むことが好ましい。アモルファスシリコン層に窒素、水素又はハロゲンのいずれか一つ以上を含むことで、微結晶半導体に含まれる結晶粒が酸化されることを低減することが可能である。微結晶半導体膜とソース領域およびドレイン領域との間にバッファ層が形成されているため、TFTの移動度が高く、リーク電流が少なく、耐圧が高い。

10

【 0 0 3 4 】

図 4 は、チャンネル領域として I 型アモルファスシリコン層の代わりに微結晶半導体膜 2 0 1 および微結晶半導体膜 2 0 1 上にバッファ層 2 0 2 が形成されている TFT である。I 型アモルファスシリコン層の代わりに微結晶半導体膜 2 0 1 およびバッファ層 2 0 2 を用いることにより、TFTの移動度が高く、リーク電流が少なく、耐圧を高くすることができる。

【 0 0 3 5 】

また、図 5 (A) は、本実施の形態の TFT の上面図を図示している。なお、図 1 から図 3 と対応する箇所には同じ符号を用いている。また、図 5 (B) は図 5 (A) 中の A - A ' 線に沿った断面図に相当する。

20

【 0 0 3 6 】

こうして、4 回のフォトマスクを用いたフォトリソグラフィ工程により、逆スタガ型の n チャンネル型 TFT を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための基板とすることができる。

【 0 0 3 7 】

(実施の形態 2)

次に図 6 から図 8 により、本発明の 3 枚フォトマスクプロセスを説明する。端子部も含めて図 1 (E) のハーフトーン露光技術を必要とする第 2 のフォトマスク使用の工程から説明する。つまり、図 1 (E) から図 6 (A) とつながる。

30

【 0 0 3 8 】

図 6 (A) において、ガラス基板 1 0 0、ゲート電極 1 0 1、絶縁膜 1 0 2、配線 3 1 1、島状 I 型アモルファスシリコン層 1 2 3、一導電性を付与する不純物元素を有する半導体層、特に島状 n^+ 型アモルファスシリコン層 1 2 4、金属膜 1 0 5 の上に、第 2 のフォトマスクを用いてフォトレジスト 4 を形成する。このフォトレジスト 4 は、ハーフトーン露光技術を用いる。つまり、異なる厚みを有するフォトレジストを形成する。ソース電極、ドレイン電極およびソース配線となる箇所は厚くし、チャンネルとなる箇所は薄く形成する。

【 0 0 3 9 】

図 6 (B) において、フォトレジスト 4 に覆われていない I 型アモルファスシリコン層 3 0 3、 n^+ 型アモルファスシリコン層 3 0 4、金属膜 1 0 5 をエッチングする。

40

【 0 0 4 0 】

図 6 (C) において、アッシングによりフォトレジスト 4 を加工し、フォトレジスト 5 とする。

【 0 0 4 1 】

図 6 (D) において、アッシングにより加工されたフォトレジスト 5 により、ソース電極 3 0 9 およびドレイン電極 3 1 0 を形成する。同様にフォトレジスト 5 によりチャンネル領域 3 0 6、ソース領域 3 0 7 およびドレイン領域 3 0 8 を形成する。その後、フォトレジスト 5 を除去する。ゲート絶縁膜を介してゲート電極と重なる I 型アモルファスシリコン層 1 2 3 がチャンネル領域 3 0 6 となる。

50

【 0 0 4 2 】

図 6 (E) において、第 3 のフォトマスクを用いてフォトレジスト 6 を形成する。ここでもハーフトーン露光技術を使用する。フォトレジスト 6 に覆われていない絶縁膜 1 0 2 をエッチングし、コンタクトホール 3 2 1 を形成し、配線 3 1 1 を露出させる。配線 3 1 1 はアルミニウム、銅、チタン、モリブデン、クロム、タングステン、ネオジウム等、他の導電膜との積層構造でも良い。この部分が端子部の透明導電膜との接続部になる。

【 0 0 4 3 】

図 7 (A) において、アッシングによりフォトレジスト 6 を加工し、フォトレジスト 7 とする。

【 0 0 4 4 】

図 7 (B) において、フォトレジスト 7 の上から透明導電膜 3 1 2 を成膜する。

【 0 0 4 5 】

図 7 (C) において、リフトオフ工程によりフォトレジスト 7 とその上に成膜されている透明導電膜 3 1 2 を除去することにより、画素電極 3 1 3、配線 3 2 0 を作製する。その後、保護膜 3 1 4 を基板全面に C V D 法により形成する。この保護膜とする絶縁膜は窒化珪素膜、酸化珪素膜、又はそれらの積層膜でも良い。窒化珪素膜はそのパッシベーション性能の高さから特に好ましい。

【 0 0 4 6 】

図 7 (D) において、フォトレジストを保護膜 3 1 4 上に塗布し、裏面露光によりフォトレジストを選択的に露光し、所望のパターンのフォトレジスト 8 を形成する。ここで、透明な膜のみが、つまり前記する透明導電膜 3 1 2 および絶縁膜 1 0 2 のみが存在する部分においては、光が透過するため、フォトレジスト 8 が形成されない。裏面露光のため、チャンネル領域において、ゲート電極 1 0 1 とソース電極 3 0 9 およびドレイン電極 3 1 0 は十分重なっている方が良い。

【 0 0 4 7 】

図 8 (A) において、前記裏面露光により形成したフォトレジスト 8 に熱処理を加え、リフロー処理する。すると、断面で見た場合、フォトレジスト 8 の端をリフロー処理前のフォトレジスト 8 の端の外側に僅かに拡張したように、フォトレジスト 8 はフォトレジスト 9 となる。また、リフロー処理により、フォトレジスト 8 の厚さも薄くなりフォトレジスト 9 となる。図には示さないが、上面で見た場合、フォトレジスト 8 の基板上的覆う範囲が僅かに広くなりフォトレジスト 9 となる。即ち、フォトレジストの端とソース電極およびドレイン電極の端の距離を広げる。リフロー処理は熱処理だけでなく薬剤処理によるものであっても良い。

【 0 0 4 8 】

図 8 (B) において、リフロー処理によってフォトレジスト 8 の端がリフロー処理前の端の外側に僅かに拡張し、高さが低くなったフォトレジスト 9 を用いて、保護膜 3 1 4 をエッチングし、画素電極 3 1 3 を露出させる。この露出した領域は画素領域となる。このリフロー処理のためフォトレジスト 8 の端がリフロー処理前の端の外側に僅かに拡張したことにより、エッチング後の保護膜 3 2 4 が広がり、ソース電極およびドレイン電極の端の外側まで保護できるようになり、より確実に下層の T F T や電極を保護することができる。また、周辺部においてはコンタクトホール 3 2 1 を保護膜 3 2 5 により確実に保護することができる。

【 0 0 4 9 】

図 8 (C) は、図 8 (B) の T F T 基板を用いて、L C D パネルを作製した場合の図である。T F T が作製されたガラス基板 1 0 0 に対向して対向基板 3 1 9 がある。対向基板 3 1 9 上にはカラーフィルタ 3 1 8 が形成されている。ガラス基板 1 0 0 と対向基板 3 1 9 の間には、液晶 3 1 5 およびスペーサ 3 1 6 があり、それをシール材 3 1 7 で封入している。

【 0 0 5 0 】

こうして、3 回のフォトマスクを用いたフォトリソグラフィ工程により、逆スタガ型の n

10

20

30

40

50

チャンネル型 T F T を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための基板とすることができる。

【 0 0 5 1 】

(実施の形態 3)

次に図 9 を例にとり、画素部の周辺に設けられる周辺回路との接続端子部の構造について説明する。

【 0 0 5 2 】

図 9 (A) および図 9 (B) は、ソース配線が基板端まで引き回される場合の構造を示したものである。図 9 (A) は実施の形態 1 の場合、図 9 (B) は実施の形態 2 の場合を示したものである。なお、図 1 から図 8 と対応する箇所には同じ符号を用いている。図 9 (A) の場合、図 3 (B) のフォトレジスト 3 により、保護膜 1 1 2 をエッチングし、配線 1 0 6 を露出させて、透明導電膜 1 1 4 とコンタクトさせる。図 9 (B) の場合、図 7 (B) のフォトレジスト 7 により、金属膜 1 0 5 と透明導電膜 3 1 2 をコンタクトさせる。その後フォトレジスト 9 により、保護膜 3 1 4 をエッチングし、透明導電膜 3 1 2 を露出させる。これら透明導電膜 1 1 4 および 3 1 2 が接続端子となり、異方性導電膜などの導電性接着剤を介して F P C (フレキシブルプリントサーキット) などと接続する。

10

【 0 0 5 3 】

図 9 (C) および図 9 (D) は、ゲート配線が基板端まで引き回される場合の構造を示したものである。図 9 (C) は実施の形態 1 の場合、図 9 (D) は実施の形態 2 の場合を示したものである。なお、図 1 から図 8 と対応する箇所には同じ符号を用いている。図 9 (C) の場合、図 2 (B) のフォトレジスト 1 により、ゲート絶縁膜 1 0 2 まで露出させ、図 3 (B) のフォトレジスト 3 により、ゲート絶縁膜 1 0 2 および保護膜 1 1 2 をエッチングし、ゲート配線と透明導電膜 1 1 4 とコンタクトさせる。図 9 (D) の場合、図 6 (E) のフォトレジスト 6 によりゲート電極 3 0 1 を露出させ、図 7 (B) のフォトレジスト 7 により、ゲート電極 3 0 1 と透明導電膜 3 1 2 とコンタクトさせる。その後フォトレジスト 9 により、保護膜 3 1 4 をエッチングし、透明導電膜 3 1 2 を露出させる。

20

【 0 0 5 4 】

以上のように、従来の 5 枚のフォトマスクプロセスによる工程数に対して、4 枚又は 3 枚のフォトマスクプロセスとしてマスク数を削減し、さらに工程数を削減した半導体装置を製造することができる。

30

【 0 0 5 5 】

図 1 1 に本発明の半導体装置および電子機器の例として、テレビ、ノート型パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等) を示した。

【 0 0 5 6 】

図 1 1 (A) は表示装置であり、筐体 1 0 0 1、表示部 1 0 0 2、スピーカ 1 0 0 3、ビデオ入力端子 1 0 0 4、支持台 1 0 0 5 などを含む。この表示装置は、上述した実施の形態で示した作製方法により形成した T F T をその表示部 1 0 0 2 および駆動回路に用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明により、安価な、信頼性の高い表示装置を実現することができる。

40

【 0 0 5 7 】

図 1 1 (B) で示す携帯電話機は、操作スイッチ類 2 0 0 1、表示部 2 0 0 2 などを含む。本発明により、安価な、信頼性の高い携帯電話機を実現することができる。

【 0 0 5 8 】

図 1 1 (C) はノート型パーソナルコンピュータであり、本体 3 0 0 1、表示部 3 0 0 2 等を含む。本発明により、安価な、信頼性の高いノート型パーソナルコンピュータを実現することができる。

【図面の簡単な説明】

50

【 0 0 5 9 】

【図 1】本発明の半導体装置の作製方法を説明する断面図である。

【図 2】本発明の半導体装置の作製方法を説明する断面図である。

【図 3】本発明の半導体装置の作製方法を説明する断面図である。

【図 4】本発明の半導体装置の作製方法を説明する断面図である。

【図 5】本発明の半導体装置の作製方法を説明する上面図である。

【図 6】本発明の半導体装置の作製方法を説明する断面図である。

【図 7】本発明の半導体装置の作製方法を説明する断面図である。

【図 8】本発明の半導体装置の作製方法を説明する断面図である。

【図 9】本発明の半導体装置の画素部の周辺を説明する断面図である。

10

【図 10】従来の半導体装置の作製方法を説明する断面図である。

【図 11】本発明の半導体装置

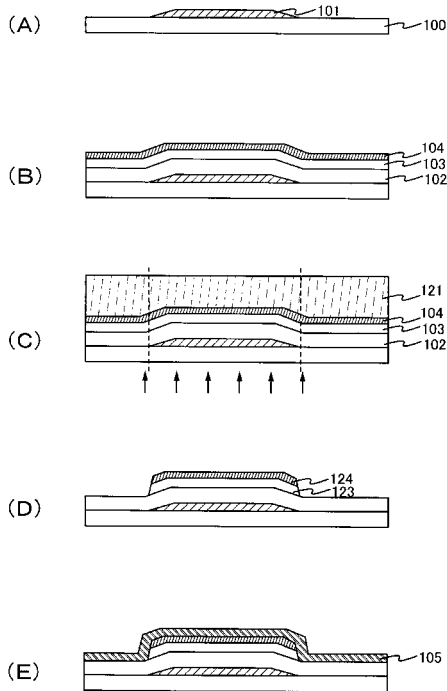
【符号の説明】

【 0 0 6 0 】

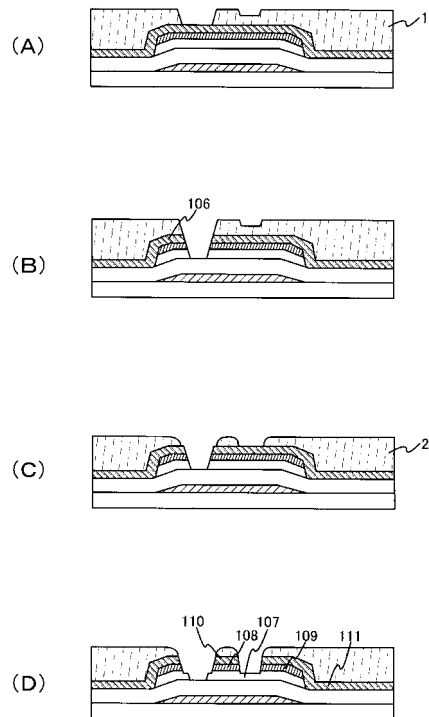
1	フォトレジスト	
2	フォトレジスト	
3	フォトレジスト	
4	フォトレジスト	
5	フォトレジスト	
6	フォトレジスト	20
7	フォトレジスト	
8	フォトレジスト	
9	フォトレジスト	
1 0 0	ガラス基板	
1 0 1	ゲート電極、ゲート配線	
1 0 2	絶縁膜、ゲート絶縁膜	
1 0 3	I型アモルファスシリコン層	
1 0 4	n ⁺ 型アモルファスシリコン層	
1 0 5	金属膜	
1 0 6	配線	30
1 0 7	チャネル領域	
1 0 8	ソース領域	
1 0 9	ドレイン領域	
1 1 0	ソース電極	
1 1 1	ドレイン電極	
1 1 2	保護膜	
1 1 3	画素電極	
1 1 4	透明導電膜	
2 0 1	微結晶半導体膜	
2 0 2	バッファ層	40
3 0 0	ガラス基板	
3 0 1	ゲート電極	
3 0 2	絶縁膜	
3 0 3	I型アモルファスシリコン層	
3 0 4	n ⁺ 型アモルファスシリコン層	
3 0 5	金属膜	
3 0 6	チャネル領域	
3 0 7	ソース領域	
3 0 8	ドレイン領域	
3 0 9	ソース電極	50

3 1 0	ドレイン電極	
3 1 1	配線	
3 1 2	透明導電膜	
3 1 3	画素電極	
3 1 4	保護膜	
3 1 5	液晶	
3 1 6	スペーサ	
3 1 7	シール材	
3 1 8	カラーフィルタ	
3 1 9	対向基板	10
5 0 0	ガラス基板	
5 0 1	ゲート電極	
5 0 2	ゲート絶縁膜	
5 0 3	I型アモルファスシリコン層	
5 0 4	n ⁺ 型アモルファスシリコン層	
5 0 5	チャンネル領域	
5 0 6	ソース領域	
5 0 7	ドレイン領域	
5 0 8	ソース電極	
5 0 9	ドレイン電極	20
5 1 0	保護膜	
5 1 1	画素電極	

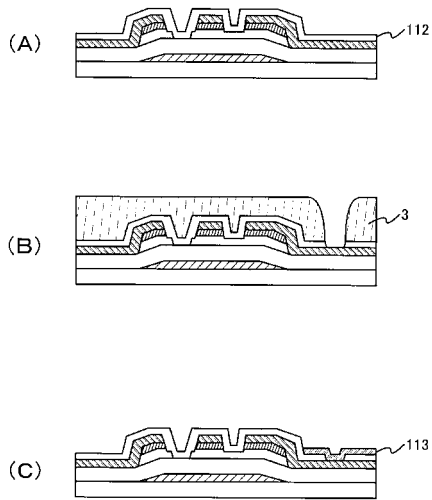
【図1】



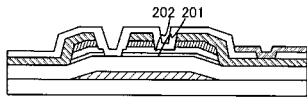
【図2】



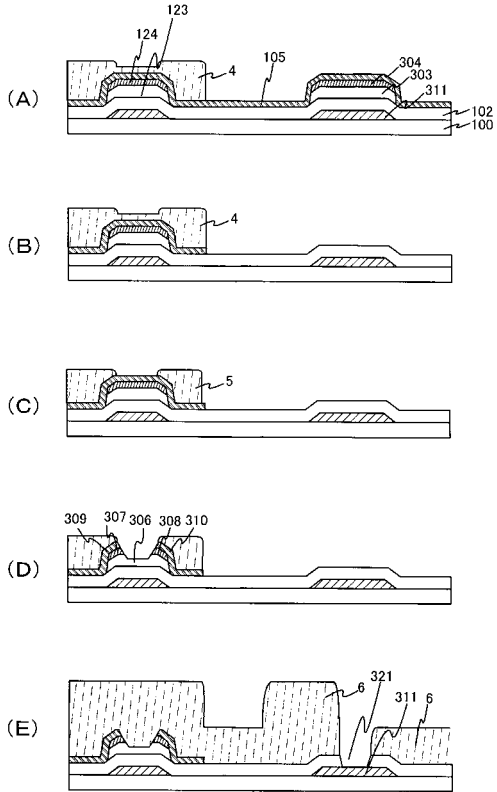
【図3】



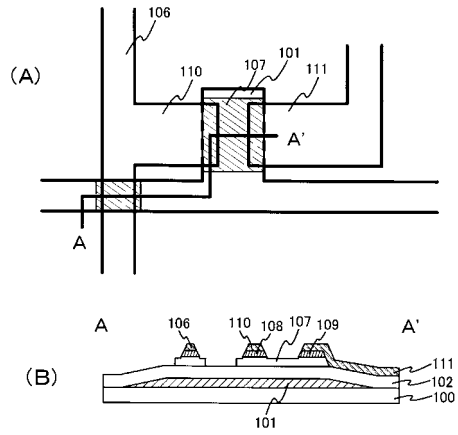
【図4】



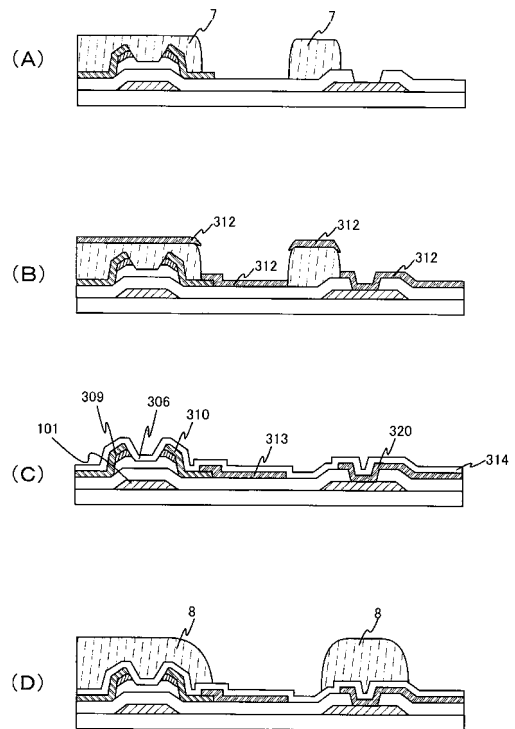
【図6】



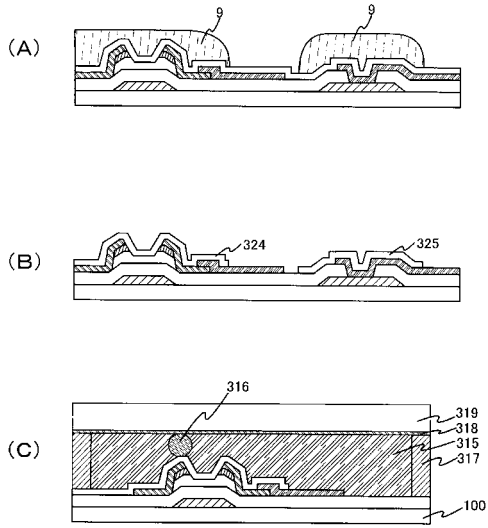
【図5】



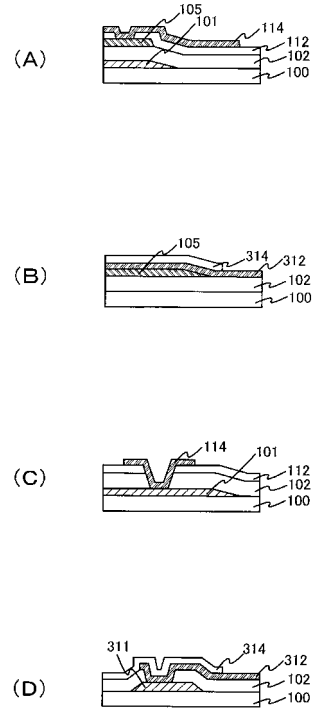
【図7】



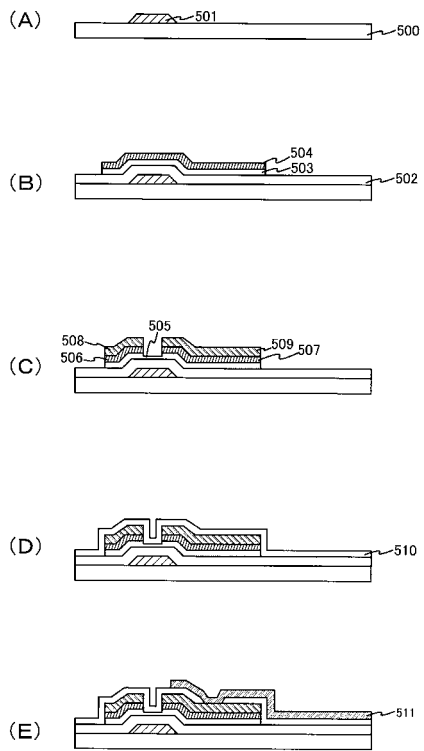
【 図 8 】



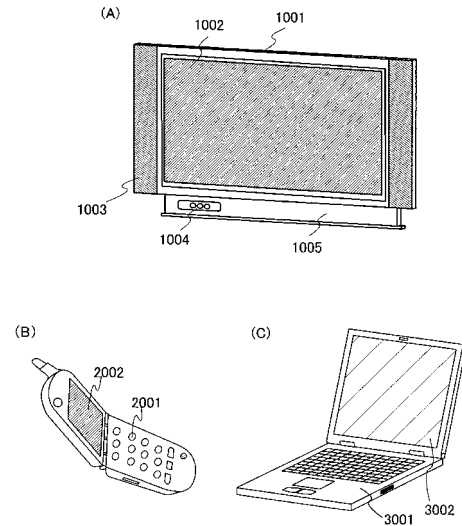
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(56)参考文献 特開2002-151522(JP,A)
特開2007-226210(JP,A)
特開2006-163407(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
G02F 1/1368
H01L 29/786