



(12) 发明专利申请

(10) 申请公布号 CN 101847634 A

(43) 申请公布日 2010. 09. 29

(21) 申请号 200910127931. 7

(22) 申请日 2009. 03. 27

(71) 申请人 立锜科技股份有限公司  
地址 中国台湾新竹县竹北市

(72) 发明人 黄志丰

(74) 专利代理机构 中原信达知识产权代理有限  
责任公司 11219

代理人 陈肖梅 谢丽娜

(51) Int. Cl.

H01L 27/06 (2006. 01)

H01L 29/78 (2006. 01)

H01L 29/872 (2006. 01)

H01L 29/06 (2006. 01)

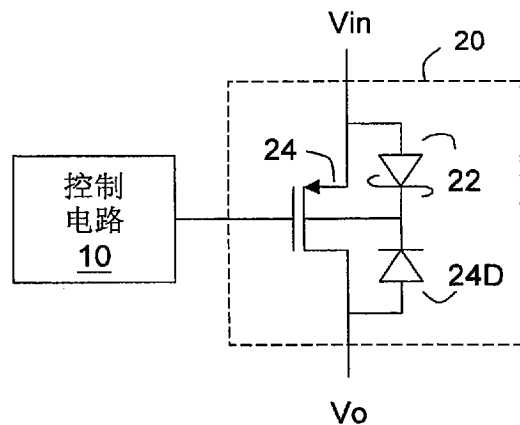
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 发明名称

PMOS 晶体管与肖特基二极管的整合元件

(57) 摘要

本发明提出一种 PMOS 晶体管与肖特基二极管的整合元件,包含 :一个 PMOS 晶体管,其包括栅极、源极、漏极与源漏极间的信道区,该源极、漏极及信道区位于一基体内,且在该漏极与该信道区间形成寄生二极管 ;以及一个与该寄生二极管反向串联的肖特基二极管,该肖特基二极管位于该基体内,其一端与该寄生二极管连接,另一端与该源极连接。



1. 一种 PMOS 晶体管与肖特基二极管的整合元件,其特征在于,包含:  
一个 PMOS 晶体管,其包括栅极、源极、漏极与源漏极间的信道区,该源极、漏极及信道区位于一基体内,且在该漏极与该信道区间形成寄生二极管;以及  
一个与该寄生二极管反向串联的肖特基二极管,该肖特基二极管位于该基体内,其一端与该寄生二极管连接,另一端与该源极连接。
2. 如权利要求 1 所述的 PMOS 晶体管与肖特基二极管的整合元件,其中,该肖特基二极管包括与该信道区相同传导型态而无欧姆接触的一部份井区。
3. 如权利要求 1 所述的 PMOS 晶体管与肖特基二极管的整合元件,其中,该肖特基二极管还包含与该信道区不同传导型态的掺杂区。
4. 一种 PMOS 晶体管与肖特基二极管的整合元件,其特征在于,包含:  
基体;  
位于该基体上的导体层,构成该 PMOS 晶体管的栅极;  
位于该基体内的 N 型第一井区,其一部分构成该 PMOS 晶体管的信道区;  
位于该第一井区内的第一 P 型掺杂区,构成该 PMOS 晶体管的漏极,其中该漏极与该信道区间形成寄生二极管;  
位于该第一井区内的第二 P 型掺杂区,构成该 PMOS 晶体管的源极;以及  
由该第一井区的另一部分所构成的肖特基二极管,与该寄生二极管反向串联,在第一井区的该另一部分内不具有 N 型的欧姆接触。
5. 如权利要求 4 所述的 PMOS 晶体管与肖特基二极管的整合元件,其中,在第一井区的该另一部分内还包含第三 P 型掺杂区。
6. 一种 PMOS 晶体管与肖特基二极管的整合元件,其特征在于,包含:  
一个 P 型基体,构成该 PMOS 晶体管的漏极;  
位于该基体内的两个填入的导体,构成该 PMOS 晶体管的栅极;  
位于该两导体间的 N 型井区,其一部分构成该 PMOS 晶体管的信道区,其中在该漏极与该信道区间形成寄生二极管;  
位于该 N 型井区上方的 P 型掺杂区,构成该 PMOS 晶体管的源极;以及  
由该第一井区的另一部分所构成的肖特基二极管,与该寄生二极管反向串联,在第一井区的该另一部分内不具有 N 型的欧姆接触。
7. 如权利要求 6 所述的 PMOS 晶体管与肖特基二极管的整合元件,其中,在该 N 型井区上方设有至少两个 P 型掺杂区。
8. 如权利要求 6 所述的 PMOS 晶体管与肖特基二极管的整合元件,其中,该基体包含较高浓度的本体与位于本体上方的较低浓度的磊晶生长区。

## PMOS 晶体管与肖特基二极管的整合元件

### 技术领域

[0001] 本发明涉及一种 PMOS 晶体管与肖特基二极管 (Schottky Diode) 的整合元件。

### 背景技术

[0002] 电源控制电路中经常需要使用到由独立的 PMOS 晶体管与独立的肖特基二极管构成的功率开关元件。请参阅图 1, PMOS 晶体管 14 与肖特基二极管 12 串联作为功率开关元件, PMOS 晶体管 14 中包含寄生二极管 14D, 形成于 PMOS 晶体管 14 的漏极和信道区之间。控制电路 10 控制 PMOS 晶体管 14 的栅极, 以将输入电压  $V_{in}$  转换成输出电压  $V_o$ 。肖特基二极管 12 的作用是在输出电压  $V_o$  高于输入电压  $V_{in}$  的情况下, 防止电流经寄生二极管 14D 逆流, 损及输入电压  $V_{in}$ 。

[0003] 上述现有技术的缺点是, 独立的 PMOS 晶体管与独立的肖特基二极管相当占据面积, 且串联后增加输入电压  $V_{in}$  至输出电压  $V_o$  之间的导通电阻 ( $R_{on}$ ), 在大电流流量下, 由该导通电阻所致的压降可高达 0.8V 甚至更高, 造成极大的功率耗损。

[0004] 有鉴于此, 本发明即针对上述现有技术的不足, 提出一种 PMOS 晶体管与肖特基二极管的整合元件, 以减少功率开关元件的面积并降低其导通电阻。

### 发明内容

[0005] 本发明的目的在于克服现有技术的不足与缺陷, 提出一种 PMOS 晶体管与肖特基二极管的整合元件, 此整合元件可为平面式或沟槽式。

[0006] 为达上述目的, 就其中一个观点言, 本发明提供了一种 PMOS 晶体管与肖特基二极管的整合元件, 包含: 一个 PMOS 晶体管, 其包括栅极、源极、漏极与源漏极间的信道区, 该源极、漏极及信道区位于一基体内, 且在该漏极与该信道区间形成寄生二极管; 以及一个与该寄生二极管反向串联的肖特基二极管, 该肖特基二极管位于该基体内, 其一端与该寄生二极管连接, 另一端与该源极连接。

[0007] 在一较佳实施型态中, 该肖特基二极管包括与该信道区相同传导型态而无欧姆接触的一部份井区。

[0008] 在一较佳实施型态中, 该肖特基二极管还包含与该信道区不同传导型态的掺杂区。

[0009] 为达上述目的, 就其中一个半导体结构观点言, 本发明所提出的一种 PMOS 晶体管与肖特基二极管的整合元件, 包含: 基体; 位于该基体上的导体层, 构成该 PMOS 晶体管的栅极; 位于该基体内的 N 型第一井区, 其一部分构成该 PMOS 晶体管的信道区; 位于该第一井区内的第一 P 型掺杂区, 构成该 PMOS 晶体管的漏极, 其中该漏极与该信道区间形成寄生二极管; 位于该第一井区内的第二 P 型掺杂区, 构成该 PMOS 晶体管的源极; 以及由该第一井区的另一部分所构成的肖特基二极管, 与该寄生二极管反向串联, 在第一井区的该另一部分内不具有 N 型的欧姆接触。

[0010] 在一较佳实施型态中, 在第一井区的该另一部分内还包含第三 P 型掺杂区。

[0011] 为达上述目的,就另一个半导体结构观点言,本发明所提出的一种 PMOS 晶体管与肖特基二极管的整合元件,包含:一个 P 型基体,构成该 PMOS 晶体管的漏极;位于该基体内的两个填入的导体,构成该 PMOS 晶体管的栅极;位于该两导体间的 N 型井区,其一部分构成该 PMOS 晶体管的信道区,其中在该漏极与该信道区间形成寄生二极管;位于该 N 型井区上方的 P 型掺杂区,构成该 PMOS 晶体管的源极;以及由该第一井区的另一部分所构成的肖特基二极管,与该寄生二极管反向串联,在第一井区的该另一部分内不具有 N 型的欧姆接触。

[0012] 在一较佳实施型态中,在该 N 型井区上方宜设有至少两个 P 型掺杂区。

[0013] 在一较佳实施型态中,该基体宜包含较高浓度的本体与位于本体上方的较低浓度的磊晶生长区。

[0014] 下面通过具体实施例详加说明,当更容易了解本发明的目的、技术内容、特点及其所达成的功效。

### 附图说明

[0015] 图 1 标出现有技术的功率开关元件,其中包含独立的 PMOS 晶体管与独立的肖特基二极管;

[0016] 图 2 以电路图形式示出本发明的一个实施例;

[0017] 图 3 标出本发明以半导体来实现时的其中一个实施例;

[0018] 图 4 标出本发明以半导体来实现时的另一个实施例。

[0019] 图中符号说明

[0020] 10 控制电路

[0021] 12 肖特基二极管

[0022] 14 PMOS 晶体管

[0023] 14D 寄生二极管

[0024] 20 整合功率开关元件

[0025] 22 肖特基二极管

[0026] 24 PMOS 晶体管

[0027] 24D 寄生二极管

[0028] 201 N 型井区

[0029] 202 栅极

[0030] 203 P+ 掺杂区

[0031] 204 P+ 掺杂区

[0032] 205 P+ 掺杂区

[0033] 210 P 型基体

[0034] 211 P+ 型本体

[0035] 212 P 型磊晶生长区

[0036] 213 栅极氧化层

[0037] 214 栅极

[0038] 215 N 型井区

[0039] 216 P+ 掺杂区

## 具体实施方式

[0040] 本说明书的图标均属示意,其维度并未完全按照比例绘示。

[0041] 请参考图 2,其中以电路图形式显示本发明的一个实施例。如图所示,本实施例中,肖特基二极管 22 并非与 PMOS 晶体管 24 串联,而是整合成为 PMOS 晶体管 24 的一部分,以构成功率开关元件 20。此肖特基二极管 22 形成于 PMOS 晶体管 24 的半导体基体上,与 PMOS 晶体管 24 的寄生二极管 24D 反向串联;该寄生二极管 24D 则形成于 PMOS 晶体管 14 的漏极和信道区之间。在此种结构下,输入电压  $V_{in}$  与输出电压  $V_o$  之间仅涉及 PMOS 晶体管 24 的导通电阻,而无肖特基二极管的压降,因此其功率耗损可大幅降低。

[0042] 以上电路以半导体制作时,其实施型态的一例请参阅图 3。如图所示,在基体中形成 N 型井区 201,并在基体上沉积栅极氧化层(未绘示)与栅极层 202,再以离子植入方式在基体内形成高浓度的 P+ 型掺杂区 203、204,分别作为 PMOS 晶体管 24 的漏极与源极。输入电压  $V_{in}$  除与 PMOS 晶体管 24 的 P+ 型掺杂区 204 连接外,亦直接与 N 型井区 201 连接。由于输入电压  $V_{in}$  与 N 型井区 201 直接连接处并未提供欧姆接触(ohmic contact),故该处的导通障碍较高,相等于设置了一个肖特基二极管,与 P+ 型掺杂区 203 和 N 型井区 201 所构成的寄生二极管反向串联,使电流不易从输出端  $V_o$  经 N 型井区 201 逆流回输入端  $V_{in}$ 。此外,在较佳实施方式中,还可在 N 型井区 201 内肖特基二极管的位置另设置高浓度 P+ 掺杂区 205,以进一步控制肖特基二极管的反向漏电流。

[0043] 由图 3 可知,本发明所占面积仅相当于单一 PMOS 晶体管 24 的面积(或再略微增加 P+ 掺杂区 205 的面积),远较现有技术为低。由于整体功率开关元件的单位面积下降,因此在相同的功率开关元件总面积下,因节省了肖特基二极管的区域,本发明的 PMOS 晶体管 24 可以使用较大的面积,使其导通电阻更加下降。更详言之,若与相同面积的现有技术相比较,本发明的功率开关元件的导通电阻约仅为现有技术的 1/4,因本发明在输入-输出串联路径中无肖特基二极管,且 PMOS 晶体管 24 导通电阻约仅为一半。

[0044] 图 4 显示本发明的另一个实施例,本实施例中的 PMOS 晶体管为沟槽式晶体管。如图所示,在 P 型基体 210 上制作两沟槽,以热氧化法或其它方式形成栅极氧化层 213,并填入导体 214(例如为已掺杂的硅或其它导体),即构成了沟槽式 PMOS 晶体管的栅极。在两沟槽间的基体区域中,以离子植入法形成掺杂 N 型杂质的井区 215(此步骤在形成沟槽之前或之后进行皆可),并在 N 型井区 215 的表面形成高浓度的 P+ 掺杂区 216,即构成沟槽式 PMOS 晶体管的源极,而以基体的背面为漏极。在较佳实施方式中,为提供较佳的漏极接触阻值, P 型基体 210 宜包含较高浓度的 P+ 型本体 211 和 P 型磊晶生长区 212。与前一实施例相似地,输入电压  $V_{in}$  除与 PMOS 晶体管 24 的 P+ 型掺杂区 216 连接外,亦直接与 N 型井区 215 连接,且输入电压  $V_{in}$  与 N 型井区 215 直接连接处并未提供欧姆接触,使该处相等于一个肖特基二极管。本实施例中, P+ 型掺杂区 216 一方面作为 PMOS 晶体管 24 的源极,一方面可控制肖特基二极管的反向漏电流。

[0045] 以上已针对较佳实施例来说明本发明,只是以上所述,仅为使本领域技术人员易于了解本发明的内容,并非用来限定本发明的权利范围。在本发明的相同精神下,本领域技术人员可以思及各种等效变化,均应包含在本发明的范围之内。

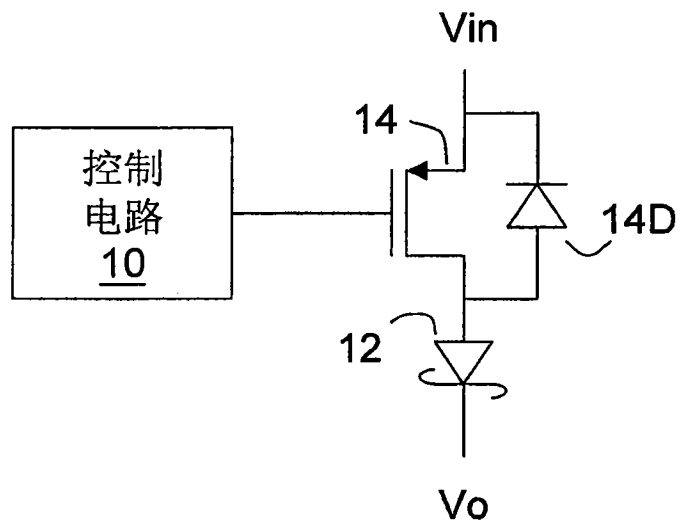


图 1

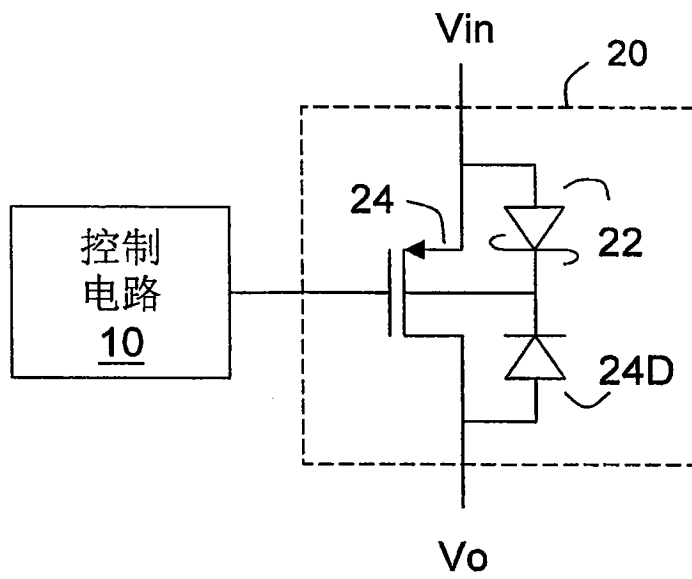


图 2

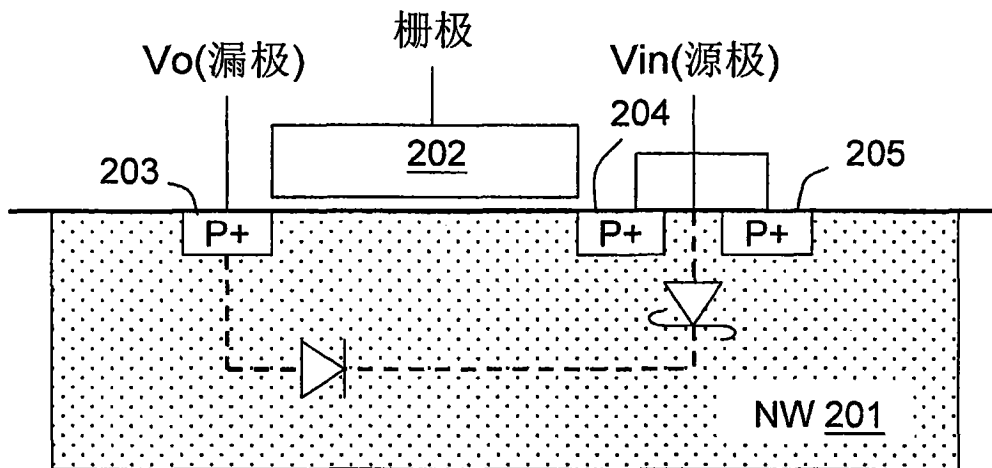


图 3

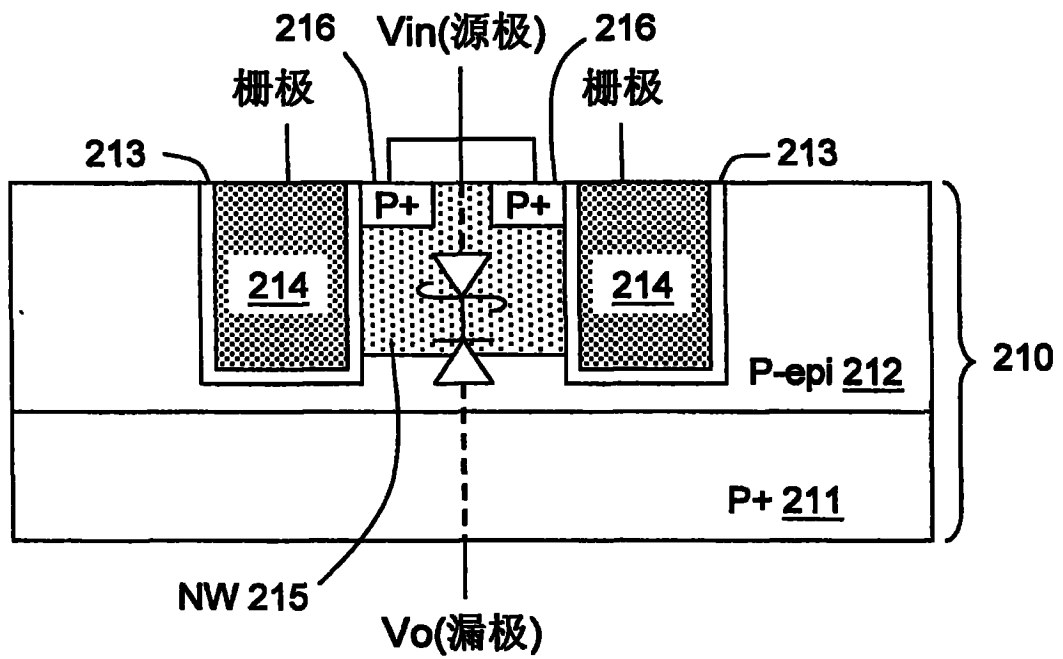


图 4