



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I718414 B

(45) 公告日：中華民國 110 (2021) 年 02 月 11 日

(21) 申請案號：107133474

(22) 申請日：中華民國 107 (2018) 年 09 月 21 日

(51) Int. Cl. : **G06F3/041 (2006.01)****G02F1/133 (2006.01)**

(71) 申請人：元太科技工業股份有限公司 (中華民國) E INK HOLDINGS INC. (TW)

新竹市新竹科學工業園區力行一路 3 號

(72) 發明人：黃冠儒 HUANG, GUAN RU (TW) ; 郭文瑜 KUO, WEN YU (TW) ; 莊雅棠

CHUANG, YA TANG (TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW 201618621A1

CN 104966709A

US 2008/0179085A1

審查人員：陳基發

申請專利範圍項數：9 項 圖式數：6 共 26 頁

(54) 名稱

導電結構、線路結構及顯示器

(57) 摘要

一種導電結構包含第一導線、第二導線以及導電柱。第二導線設置於第一導線上並與第一導線交錯。導電柱設置於第一導線與第二導線間。導電柱的下表面面積大於第一導線與導電柱重疊的面積。

A conductive structure includes a first wire, a second wire, and a conductive pillar. The second wire is disposed over the first wire and intersected with the first wire. The conductive pillar is disposed between the first wire and the second wire. The lower surface area of the conductive pillar is larger than an area where the first wire overlaps the conductive pillar.

指定代表圖：

符號簡單說明：

202:基板

210:第一導線

220:第二導線

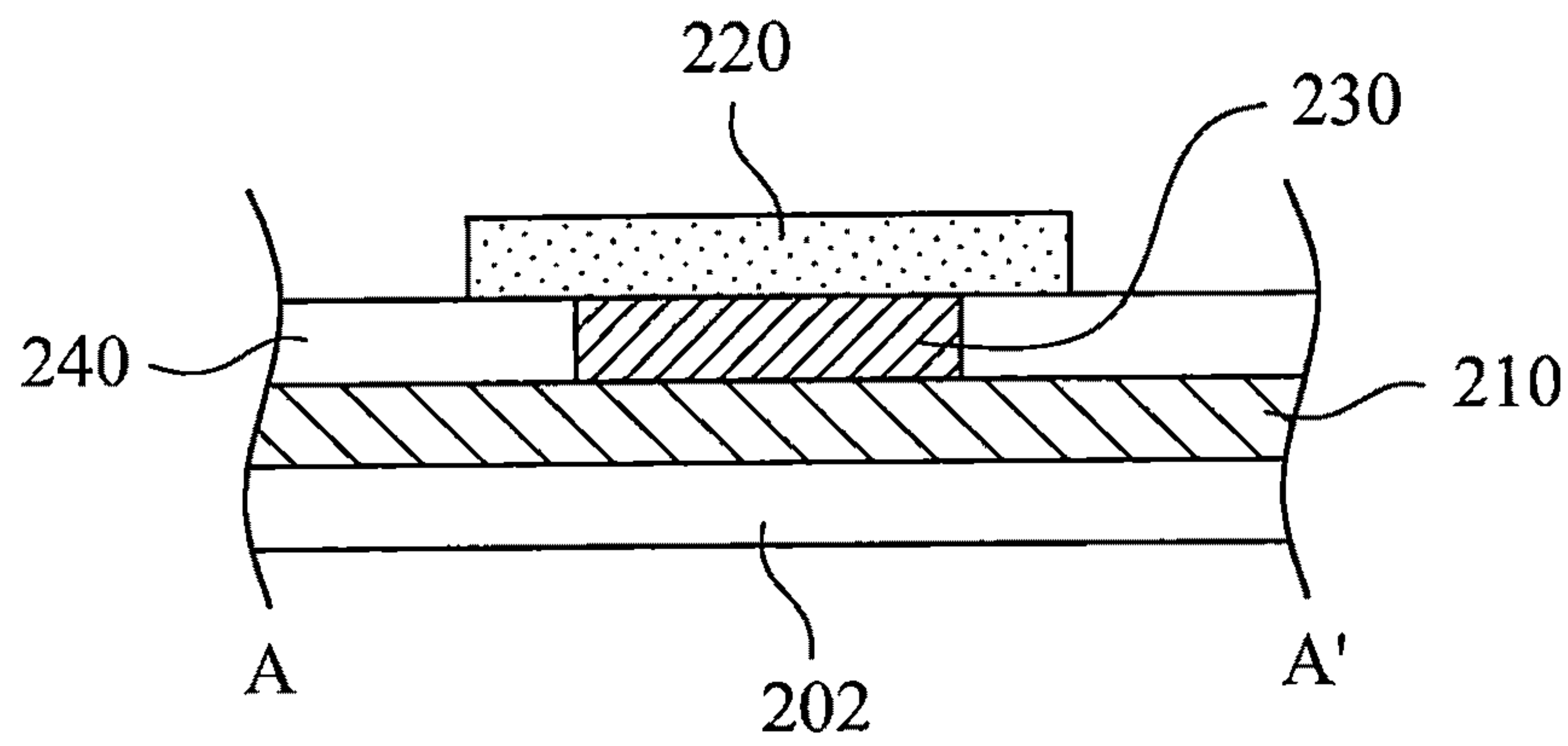
230:導電柱

240:絕緣層

R1:導電結構

A-A':線段

R1



第4A圖

**公告本**

I718414

【發明摘要】**【中文發明名稱】** 導電結構、線路結構及顯示器**【英文發明名稱】** CONDUCTIVE STRUCTURE,
CIRCUIT STRUCTURE, AND DISPLAY**【中文】**

一種導電結構包含第一導線、第二導線以及導電柱。第二導線設置於第一導線上並與第一導線交錯。導電柱設置於第一導線與第二導線間。導電柱的下表面面積大於第一導線與導電柱重疊的面積。

【英文】

A conductive structure includes a first wire, a second wire, and a conductive pillar. The second wire is disposed over the first wire and intersected with the first wire. The conductive pillar is disposed between the first wire and the second wire. The lower surface area of the conductive pillar is larger than an area where the first wire overlaps the conductive pillar.

【指定代表圖】 第4A圖**【代表圖之符號簡單說明】**

202：基板

210：第一導線

220：第二導線

230：導電柱

240：絕緣層

R1：導電結構

A-A'：線段

【特徵化學式】無

【發明說明書】

【中文發明名稱】 導電結構、線路結構及顯示器

【英文發明名稱】 CONDUCTIVE STRUCTURE,
CIRCUIT STRUCTURE, AND DISPLAY

【技術領域】

【0001】 本發明係關於一種導電結構、線路結構及顯示器。

【先前技術】

【0002】 隨著顯示技術的蓬勃發展，顯示面板已被廣泛地應用在各式各樣的顯示裝置中，例如：電視、筆記型電腦、平板電腦、電子紙(e-paper)及行動電話。在影響消費者選購顯示裝置的眾多因素中，面板的顯示性能會大幅影響消費者的購買意願。

【0003】 寄生電容(parasitic capacitance)是電路中訊號傳輸時，由於傳輸路徑上經過其他不等電位的金屬所形成的電容。因此，在計算寄生電容時，沒有電性連接的兩導線交錯處，接觸墊會被算入寄生電容中。故當寄生電容過大，則容易影響顯示裝置的顯示性能。

【發明內容】

【0004】 因此，本發明提供一種導電結構，能夠有效的改善寄生電容的問題。本發明的導電結構包含第一導線、第

二導線、導電柱以及絕緣層。第二導線設置於第一導線上並與第一導線交錯。導電柱設置於第一導線與第二導線間。導電柱的下表面面積大於第一導線與導電柱重疊的面積。絕緣層位於第一導線與第二導線之間，且圍繞導電柱。

【0005】 在本發明一實施方式中，導電柱的上表面面積大於第二導線與導電柱重疊的面積。

【0006】 在本發明一實施方式中，第二導線包含一主體及一凸出部。此凸出部該主體的兩側延伸出來。

【0007】 在本發明一實施方式中，第二導線之上述凸出部在主體延伸的方向上具有一寬度，且此凸出部的寬度實質上等於第一導線的寬度。

【0008】 本發明提供一種線路設計，其包含複數條第一導線、複數條第二導線、至少一導電柱以及絕緣層。複數條第二導線與複數條第一導線交錯，以形成複數個第一交錯處及複數個第二交錯處。複數條第二導線在複數個第一交錯處與複數條第一導線電性連接。複數條第二導線在複數個第二交錯處與複數條第一導線電性絕緣。此至少一導電柱設置於複數個第一交錯處，且介於第一導線與第二導線間。導電柱的下表面面積大於第一導線與導電柱重疊的面積。絕緣層設置在第一導線與第二導線之間並圍繞導電柱，且絕緣層設置在第二交錯處使得第一導線係藉由絕緣層與第二導線電性絕緣。

【0009】 在本發明一實施方式中，導電柱的上表面面積大於第二導線與導電柱重疊的面積。

【0010】 在本發明一實施方式中，此線路設計進一步包括至少一半導體層，其設置於絕緣層與複數條第二導線間。半導體層的上表面面積實質上等於導電柱的上表面面積。

【0011】 在本發明一實施方式中，各個第二導線包含一主體及一凸出部。各凸出部從各主體的兩側延伸出來。

【0012】 在本發明一實施方式中，各個第二導線之上述凸出部在各主體延伸的方向上具有一寬度，且各個凸出部的寬度實質上等於各個第一導線的寬度。

【0013】 本發明提供一種顯示器，其包含基板、複數條第一導線、複數條第二導線、複數個導電柱以及絕緣層。第一導線設置於基板上。複數條第二導線位於複數條第一導線上方且與這些第一導線交錯形成複數個第一交錯處。這些第二導線在複數個第一交錯處與這些第一導線電性連接。複數個導電柱位於這些第一導線與這些第二導線之間，且設置於複數個第一交錯處以電性連接對應的第一導線與對應的第二導線。各個導電柱在基板上的正投影面積大於對應的第一導線與對應的導電柱正投影在基板上的重疊面積。絕緣層設置在這些第一導線與這些第二導線之間並圍繞這些導電柱。

【圖式簡單說明】

【0014】

本發明上述和其他態樣、特徵及其他優點參照說明書內容並配合附加圖式得到更清楚的了解，其中：

第1圖繪示本發明一比較例之畫素陣列基板的線路設計的局部示意圖；

第2圖係繪示本發明之一實施方式的畫素陣列基板的線路設計的上視示意圖；

第3圖係繪示第2圖中導電結構的局部放大示意圖；

第4A圖係繪示沿第3圖中線段A-A'的剖面示意圖；

第4B圖係繪示沿第3圖中線段B-B'的剖面示意圖；

第5圖係繪示第2圖中絕緣結構的局部放大示意圖；

第6A圖係繪示沿第5圖中線段C-C'的剖面示意圖；以及

第6B圖係繪示沿第5圖中線段D-D'的剖面示意圖。

【實施方式】

【0015】 為了使本揭示內容的敘述更加詳盡與完備，下文針對了本發明的實施態樣與具體實施例提出了說明性的描述；但這並非實施或運用本發明具體實施例的唯一形式。以下所揭露的各實施例，在有益的情形下可相互組合或取代，也可在一實施例中附加其他的實施例，而無須進一步的記載或說明。

【0016】 在以下描述中，將詳細敘述許多特定細節以使讀者能夠充分理解以下的實施例。然而，可在無此等特定細節之情況下實踐本發明之實施例。在其他情況下，為簡化圖式，熟知的結構與裝置僅示意性地繪示於圖中。

【0017】 第1圖繪示本發明一比較例之畫素陣列基板的線路設計的局部示意圖。如第1圖所示，兩條第一訊號線110a及110b與第二訊號線130交錯，並亦與選擇線120交錯

而形成第一交錯處a1及第二交錯處a2。第一訊號線110a與選擇線120在第一交錯處a1電性連接，因此外部訊號源的訊號可藉由選擇線120傳遞至第一訊號線110a。第一訊號線110b與選擇線120在第二交錯處a2電性絕緣，然而，第一訊號線110b可藉由其他選擇線(未示出)而連接至外部訊號源。一般來說，訊號線和選擇線在電性連接的交錯處(例如，第一交錯處a1)通常會設計出大於線路寬度和導電孔面積的接觸墊(contact pad)作為轉接。然而，在製程中常會有光學檢測以檢查各個交錯處的線路結構是否一致，因此，訊號線與選擇線在不需要電性連接的交錯處(例如，第二交錯處a2)也會需要設計接觸墊。

【0018】 第2圖係根據本發明之一實施方式所繪示的畫素陣列基板200的線路設計A的上視示意圖。如第2圖所示，畫素陣列基板200的線路設計A包含多條第一導線210及多條第二導線220。具體的說，這些第一導線210和第二導線220彼此交錯以形成多個導電結構R1和多個絕緣結構R2，其中導電結構R1位於第一交錯處X1，且絕緣結構R2位於第二交錯處X2。第一導線210在第一交錯處X1與第二導線220電性連接；而第一導線210在第二交錯處X2與第二導線220電性絕緣。以上先簡要地描述第2圖，有關其詳細的具體實施方式，將於下文更完整地描述。

【0019】 第3圖係第2圖中導電結構R1的放大示意圖。如第3圖所示，第一導線210沿著方向D1延伸，且第二導線220沿著方向D2延伸，使得第一導線210與第二導線220交錯。

在一實施例中，方向D1實質上垂直於方向D2，但不限於此。在一些實施方式中，第二導線220包含一主體220M及一凸出部220P。詳細的說，主體220M係沿著方向D2延伸，且凸出部220P從主體220M的兩側沿方向D1延伸出某一特定距離。第一導線210和第二導線220的交錯處X1還包含導電柱230，其用以電性連接第一導線210和第二導線220。這樣的設計，使得交錯處X1成為用以電性連接第一導線210和第二導線220的導電結構R1。上述的凸出部220P並非本發明的必要技術特徵，亦可以省略。

【0020】第4A圖係繪示沿第3圖中線段A-A'的剖面示意圖。第4B圖係繪示沿第3圖中線段B-B'的剖面示意圖。如第4A及4B圖所示，具體的說，第二導線220設置於第一導線210的上方。在多個實施例中，第一導線210和第二導線220一般是由金屬材料所形成，例如鈦、鈮、銀、金、鉑、銅、鋁、鉬、鈳、鎢、鉻、銻、銻、鈦、鈷、其他合適金屬或上述合金，但不以此為限。在其他多個實施例中，第一導線210和第二導線220也可以由其他的導電材料所形成，例如包括金屬材料的氧化物、金屬材料的氮化物、金屬材料的氮氧化物或是金屬材料與其他導電材料的堆疊層。具體的說，在形成(例如，蝕刻)上層的第二導線220時，為了保護第二導線220下方附近的第一導線210不被化學藥液侵蝕，因此，第二導線220在兩導線210和220的交錯處需設計出能夠保護第一導線210的雙翼(亦即，第二導線220的凸出部220P)。如圖所示，第二導線220的凸出部220P在其主體

220M延伸的方向(即方向D2)上具有一寬度W2，且此凸出部220P的寬度W2實質上等於第一導線210的寬度W1。

【0021】 請繼續參閱第4A及4B圖，導電柱230設置於第一導線210與第二導線220之間，並且電性連接第一導線210和第二導線220。在多個實施例中，導電柱230一般是由金屬材料所形成，例如鈦、鉭、銀、金、鉑、銅、鋁、鉬、鈳、鎢、鉻、銻、銻、鈦、鈷、其他合適金屬或上述合金，但不以此為限。在其他多個實施例中，導電柱230也可以由其他的導電材料所形成，例如包括金屬材料的氧化物、金屬材料的氮化物或金屬材料的氫氧化物。在一些實施例中，導電柱230可以為圓柱、角柱或其他幾何柱體，因此，可以理解的是，導電柱230的上表面面積實質上等於其下表面面積。在其他實施例中，根據製作導電柱230的製程，導電柱230也可以為梯形柱(圖未示)，例如導電柱230的上表面面積大於其下表面面積。

【0022】 請回到第3圖，導電柱230的下表面面積大於第一導線210與導電柱230重疊的面積。且該導電柱230的下表面面積大於第二導線220正投影在該第一導線210上重疊的面積。在一些實施例中，導電柱230的上表面面積大於第二導線220與導電柱230重疊的面積。這樣的設計，在第一交錯處X1所產生影響寄生電容的面積為第一導線210與第二導線220的重疊區域OL($L \times W1$ (或 $W2$))。相較於傳統導電結構具有大面積接觸墊的設計，本發明的導電結構可以減少大約10%至25%的寄生電容，寄生電容亦稱之為雜散電容(stray capacitance)，進而在

其應用於顯示裝置時避免雜散振盪 (Parasitic oscillation) 的問題發生。

【0023】 接著，請繼續參閱第 4A 及 4B 圖，在多個實施方式中，導電結構 R1 還包含一絕緣層 240。詳細的說，此絕緣層 240 設置於第一導線 210 與第二導線 220 之間，且圍繞導電柱 230。也就是說，導電柱 230 位於絕緣層 240 中並電性連接第一導線 210 和第二導線 220。在多個實施例中，絕緣層 240 之材料可為任何合適的絕緣材料，其包含但不限於氧化矽、氮化矽、氮氧化矽、碳氧化矽、碳化矽或其組合。上述絕緣材料形成第一導線 210 與第二導線 220 之間的雜散電容。在一些實施方式中，導電結構 R1 可以更包含一基板 202 位於第一導線 210 的下方。在多個實施例中，基板 202 可為透光基板、不透光基板或可撓性基板，舉例來說，透光基板包含玻璃、石英或其它透明材質；不透光基板包含陶瓷、晶圓或其它不透明材質；以及可撓性基板包含塑膠、橡膠、聚酯、聚碳酸酯或其它可撓性材質。

【0024】 請參閱第 2 圖。本發明之另一態樣是提供一種線路設計 A，其包含複數條第一導線 210、複數條第二導線 220。如圖所示，這些第一導線 210 與這些第二導線 220 交錯，以形成複數個第一交錯處 X1 及複數個第二交錯處 X2。這些第二導線 220 在這些第一交錯處 X1 藉由導電柱 230 (標示於第 3 圖及第 4A 圖) 與這些第一導線 210 電性連接而形成導電結構 R1，且這些第二導線 220 在這些第二交錯處 X2 與這些第一導線 210 電性絕緣而形成絕

緣結構 R2。

【0025】 在一實施方式中，這些第一導線 210 沿著方向 D1 延伸並沿方向 D2 排列，且這些第二導線 220 沿著方向 D2 延伸並沿方向 D1 排列。在一實施例中，方向 D1 實質上垂直於方向 D2，但不限於此。

【0026】 請同時參閱第 3、4A 和 4B 圖，導電柱 230 係設置於這些第一交錯處 X1，且介於第一導線 210 與第二導線 220 之間，其中導電柱 230 的下表面面積大於第一導線 210 與導電柱 230 重疊的面積。且該導電柱 230 的下表面面積大於第二導線 220 正投影在該第一導線 210 上重疊的面積。在一些實施例中，導電柱 230 的上表面面積大於第二導線 220 與導電柱 230 重疊的面積。這樣的設計，使得第一交錯處 X1 中第一導線 210 與第二導線 220 之間的影响寄生電容的面積為 $L \times W1$ (或 $W2$)。

【0027】 第 5 圖係繪示第 2 圖中絕緣結構 R2 的局部放大示意圖。如第 5 圖所示，如上所述之各個第二交錯處 X2 為第一導線 210 與第二導線 220 電性絕緣處。也就是說，在第二交錯處 X2，第一導線 210 與第二導線 220 並沒有電性連接。因此，第二交錯處 X2 不包含如第一交錯處 X1 之用以電性連接第一導線 210 及第二導線 220 的導電柱 230。可以理解的是，有關於第一導線 210 和第二導線 220 各自的結構特徵及材料可參照前文如第 3 圖至第 4B 圖的相關敘述，在此不再贅述。

【0028】 第 6A 圖係繪示沿第 5 圖中線段 C-C' 的剖面示意圖。第 6B 圖係繪示沿第 5 圖中線段 D-D' 的剖面示

意圖。如第 6A 及 6B 圖所示，在多個實施例中，在絕緣結構 R2 中，線路設計 A 也包含設置於第一導線 210 與第二導線 220 之間的絕緣層 240。可以理解的是，這些第一導線 210 係藉由絕緣層 240 與這些第二導線 220 在第二交錯處 X2 電性絕緣。在一實施例中，位於第二交錯處 X2 的絕緣層 240 與位於第一交錯處 X1 的絕緣層 240 係由同一道製程形成，因此，可以理解的是，位於第二交錯處 X2 之絕緣層 240 的材料與位於第一交錯處 X1 之絕緣層 240 的材料實質上相同。

【0029】 請繼續參閱第 6A 及 6B 圖，在絕緣結構 R2 中，線路設計 A 更包含設置於絕緣層 240 與第二導線 220 之間的半導體層 250，但本發明不限於此，半導體層 250 亦可以金屬層或其他材料層取代，可依據製程的順序，在絕緣層 240 上墊一其他材料層，讓最後的產品通過自動光學檢查即可。在多個實施例中，半導體層 250 包含非晶矽 (amorphous silicon)、多晶矽 (polysilicon)、微晶矽 (Microcrystalline Silicon, mc-Si)、單晶矽 (single crystal silicon)、上述材料之組合或其他半導體材料。

【0030】 一般來說，在製作電路佈線的過程中，常會利用自動光學檢查 (Automated Optical Inspection, AOI) 從電路佈線的上方進行檢測，去比較各交錯處附近的線路結構是否一致，若出現不一致的狀況，則會被判定為線路結構出現缺陷，而無法進行下一步的製程。在如第 6A 及 6B 圖所示之電性絕緣的第二交錯處 X2 中，若在不包含半導體層 250 的情況下，第一導線 210 與第二導線

220 之間仍為電性絕緣，但是，在進行自動光學檢查時，由於第二交錯處 X2 不具有類似於導電柱 230(標示於第 4A 及 4B 圖)的結構，而使得第二交錯處 X2 被判定為線路結構出現缺陷。所以，在第二交錯處 X2 必須設計出類似於導電柱 230(標示於第 4A 及 4B 圖)結構的半導體層 250，進而使得各交錯處附近的線路結構相似，而能夠符合自動光學檢查的檢測標準。舉例來說，由於半導體層 250 設置在第二交錯處 X2 並介於絕緣層 240 與第二導線 220 之間的緣故，使得第一交錯處 X1 附近的線路結構與第二交錯處 X2 附近的線路結構在機器視覺上被判定為相似。並且，這些半導體層 250 與這些第一導線 210 及這些第二導線 220 電性絕緣。上述的結構(即第二交錯處 X2 的結構)是為了符合光學檢查的判定而設計，因次，若不在意光學檢查的結果，上述的結構並非為面板上必要的結構。

【0031】 因此，為了要使各交錯處附近的線路結構一致，半導體層 250 於上視圖所呈現的形狀(如第 3 圖所示)應該與導電柱 230 於上視圖所呈現的形狀(如第 5 圖所示)相同或類似。在一實施例中，半導體層 250 的上表面面積實質上等於導電柱 230 的上表面面積。

【0032】 如第 5 圖所示，這樣的設計，使得第二交錯處 X2 中第一導線 210 與第二導線 220 之間的寄生電容面積亦為 $L \times W1$ (或 $W2$)。相較於傳統導電結構具有大面積接觸墊的線路設計，本發明的線路設計 A 可以減少大約 10% 至 25% 的寄生電容，進而在其應用於顯示裝置時避免

雜散振盪的問題發生。

【0033】 本發明所提供的導電結構 R1 以及線路設計 A 可以應用於各種顯示裝置中的畫素陣列基板，舉例來說，如第 2 圖所示之畫素陣列基板 200 包含本發明之線路設計 A，且線路設計 A 中包含前述的導電結構 R1。

【0034】 如第 2 圖所示，畫素陣列基板 200 包括基板 202、驅動單元 204 及線路設計 A。線路設計 A 和驅動單元 204 皆位於基板 202 上。線路設計 A 包含複數條第一導線 210 和複數條第二導線 220 交錯設置以形成複數個第一交錯處 X1 及複數個第二交錯處 X2。更詳細的說，這些第二導線 220 在這些第一交錯處 X1 與這些第一導線 210 電性連接而形成導電結構 R1，且這些第二導線 220 在這些第二交錯處 X2 與這些第一導線 210 電性絕緣而形成絕緣結構 R2。在多個實施例中，這些第一導線 210 沿方向 D1 延伸且沿方向 D2 排列，且這些第二導線 220 沿方向 D2 延伸且沿方向 D1 排列。在一實例中，方向 D1 垂直於方向 D2，但不限於此。應注意，這些第二導線 220 更延伸以與驅動單元 204 電性連接，並傳遞來自驅動單元 204 的訊號，而這些第一導線 210 則會透過這些第一交錯處 X1 電性連接至這些第二導線 220，再藉由與驅動單元 204 電性連接的第二導線 220 來接收驅動單元 204 的訊號。

【0035】 在多個實例中，線路設計 A 還包含複數條掃描線 260，其與第二導線 220 平行。更具體的說，這些第一導線 210 可以為資料線，且這些第二導線 220 可以為選擇線。須說明的是，這些第二導線 220 和掃描線 260 與第

一導線 210 交錯而定義出多個畫素區 P。舉例來說，各畫素區 P 包含至少一個主動元件(圖未示)及至少一個畫素電極(圖未示)，其中主動元件與這些第一導線 210 的其中一者及這些掃描線 260 的其中一者電性連接。應注意，這些第一導線 210 與這些掃描線 260 交錯且電性絕緣，且這些第二導線 220 與這些掃描線 260 平行且電性絕緣。值得注意的是，掃描線 260 及第二導線 220 以實質上相向延伸至驅動單元 204，因此相較於傳統之不含選擇線(相當於本案的第二導線 220)而促使資料線(相當於本案的第一導線 210)必須從畫素陣列的兩側拉線至驅動單元的結構設計，本發明如第 2 圖所示之畫素陣列基板 200 能夠縮小邊框的寬度，從而實現窄邊框的設計。此外，在本發明的另一實施例中，如第 2 圖所示的標號 260 可設計為資料線且其與第二導線 220 平行，此時，掃描線即為標號 210。

【0036】 請同時參閱第 2 圖、第 3 圖、第 4A 圖及第 4B 圖，本發明之又一態樣是提供一種顯示器。顯示器包含基板 202、複數條第一導線 210、複數條第二導線 220、複數個導電柱 230 以及絕緣層 240。具體的說，複數條第一導線 210 設置於基板 202 上。複數條第二導線 220 位於這些第一導線 210 上方，且與這些第一導線 210 交錯以形成複數個第一交錯處 X1。這些第二導線 220 在這些第一交錯處 X1 與所述的第一導線 210 電性連接。複數個導電柱 230 設置於所述的第一交錯處 X1 並位於這些第一導線 210 與這些第二導線 220 之間。各個導電柱 230 電性連接對應的第一導線 210 與對應的第二導線 220。應注意，各

個導電柱 230 在基板 202 上的正投影面積大於對應的第一導線 210 與對應的導電柱 230 正投影在基板 202 上的重疊面積。絕緣層 240 設置在這些第一導線 210 與這些第二導線 220 之間並圍繞所述的導電柱 230。

【0037】 綜上所述，本發明之導電結構以及線路設計中的第一導線和第二導線不需要形成如先前技術所述之具有大面積的接觸墊，反而只需維持其原導線寬度及面積的一致性，以降低導線之間的寄生電容。

【0038】 雖然本發明已以實施方式揭露如上，以上所述僅為本發明之較佳實施例，並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之均等變化與修飾，皆應屬本發明之涵蓋範圍，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0039】

110a、110b：第一訊號線

120：選擇線

130：第二訊號線

a1：第一交錯處

a2：第二交錯處

200：畫素陣列基板

202：基板

204：驅動單元

210 : 第一導線

220 : 第二導線

220M : 主體

220P : 凸出部

230 : 導電柱

240 : 絕緣層

250 : 半導體層

260 : 掃描線

A : 線路設計

D1、D2 : 方向

L : 長度

P : 畫素區

R1 : 導電結構

R2 : 絕緣結構

X1 : 第一交錯處

X2 : 第二交錯處

W1、W2 : 寬度

OL : 重疊區域

A-A'、B-B'、C-C'、D-D' : 線段

【發明申請專利範圍】

【第 1 項】一種導電結構，包括：

- 一第一導線；
 - 一第二導線，設置於該第一導線上，並與該第一導線交錯；
 - 一導電柱，設置於該第一導線與該第二導線間；
 - 一絕緣層，位於該第一導線與該第二導線之間，且圍繞該導電柱；以及
- 至少一半導體層，設置於該絕緣層與該第二導線間，該半導體層的上表面面積實質上等於該導電柱的上表面面積。

【第 2 項】如請求項 1 所述之導電結構，其中該導電柱的一上表面面積大於該第二導線與該導電柱重疊的面積。

【第 3 項】如請求項 1 所述之導電結構，其中該第二導線包含一主體及一凸出部，該凸出部從該主體的兩側延伸出。

【第 4 項】如請求項 3 所述之導電結構，其中該第二導線之該凸出部在該主體延伸的方向上具有一寬度，且該凸出部的該寬度實質上等於該第一導線的寬度。

【第 5 項】一種線路結構，包括：

複數條第一導線；

複數條第二導線，與該些第一導線交錯，以形成複數個第一交錯處及複數個第二交錯處，該些第二導線在該些第一交錯處與該些第一導線電性連接，該些第二導線在該些第二交錯處與該些第一導線電性絕緣；

至少一導電柱，設置於該些第一交錯處，且介於該些第一導線與該些第二導線間；

一絕緣層，設置在該些第一導線與該些第二導線之間並圍繞該導電柱，該絕緣層設置在該些第二交錯處，使該些第一導線係藉由該絕緣層與該些第二導線電性絕緣；以及

至少一半導體層，設置於該絕緣層與該些第二導線間，該半導體層的上表面面積實質上等於該導電柱的上表面面積。

【第 6 項】如請求項 5 所述之線路結構，其中該導電柱的上表面面積大於該第二導線與該導電柱重疊的面積。

【第 7 項】如請求項 5 所述之線路結構，其中各該第二導線包含一主體及一凸出部，各該凸出部從各該主體的兩側延伸出來。

【第 8 項】如請求項 7 所述之線路結構，其中各該第二導線之該凸出部在各該主體延伸的方向上具有一寬度，且各該凸出部的該寬度實質上等於各該第一導線的寬度。

【第9項】一種顯示器，包括：

一基板；

複數條第一導線，設置於該基板上；

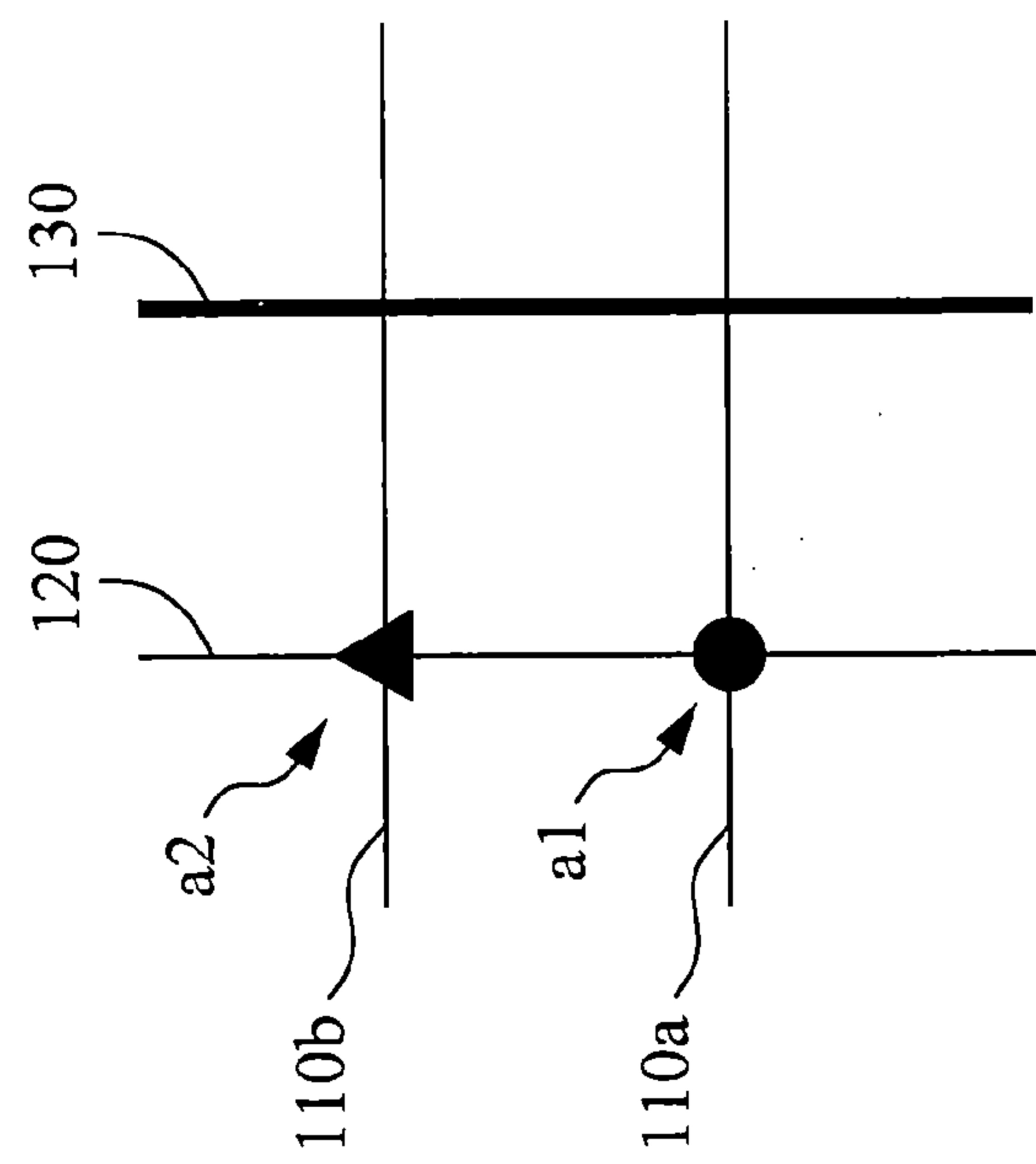
複數條第二導線，位於該些第一導線上方，且與該些第一導線交錯以形成複數個第一交錯處，該些第二導線在該些第一交錯處與該些第一導線電性連接；

複數個導電柱，設置於該些第一交錯處並位於該些第一導線與該些第二導線之間，各該導電柱電性連接對應的該第一導線與對應的該第二導線，其中各該導電柱的一下表面部分與該第一導線電性連接，各該導電柱的一上表面部分與該第二導線電性連接；以及

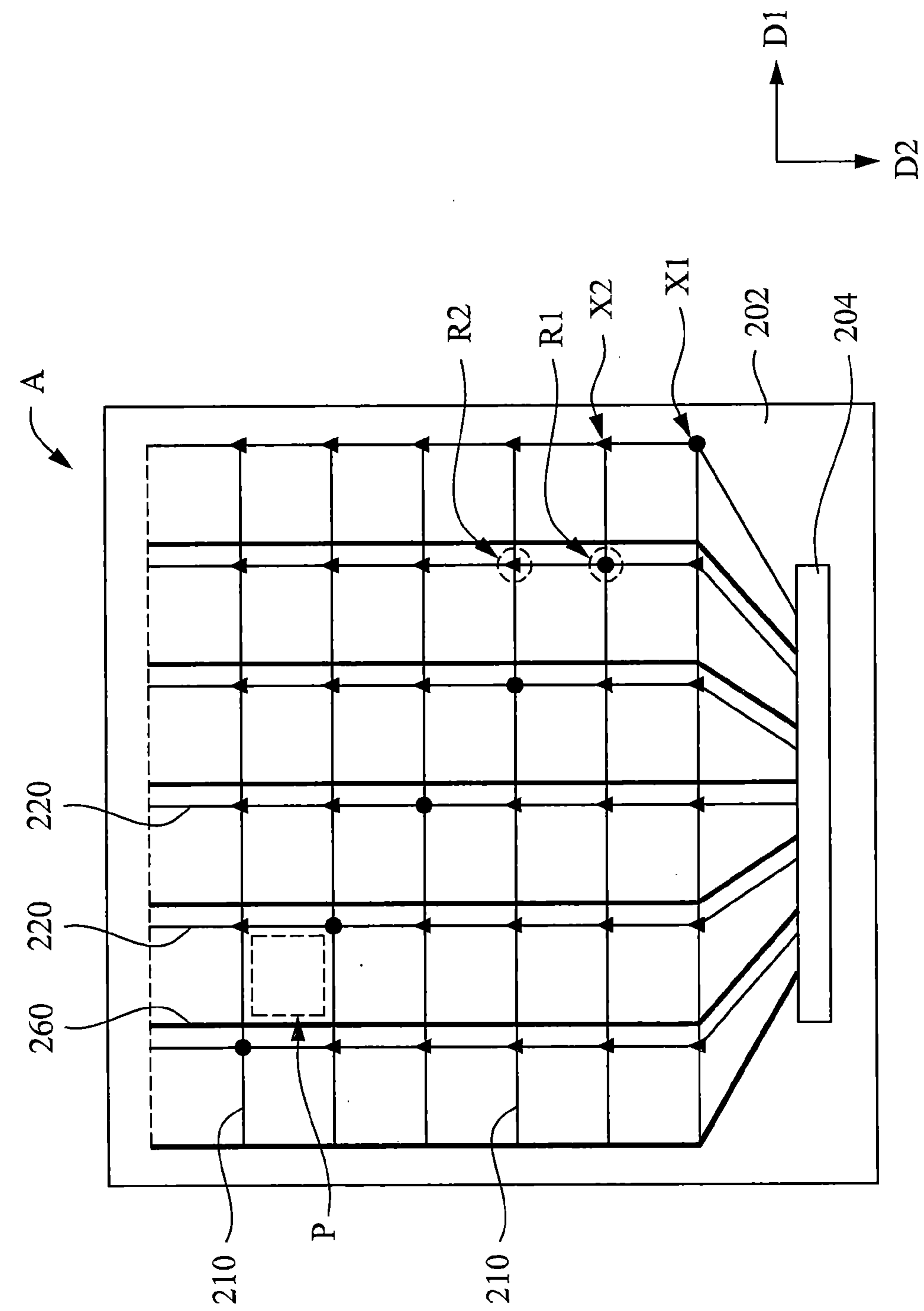
一絕緣層，設置在該些第一導線與該些第二導線之間並圍繞該些導電柱；以及

至少一半導體層，設置於該絕緣層與該些第二導線間，該半導體層的上表面面積實質上等於該導電柱的上表面面積。

圖式

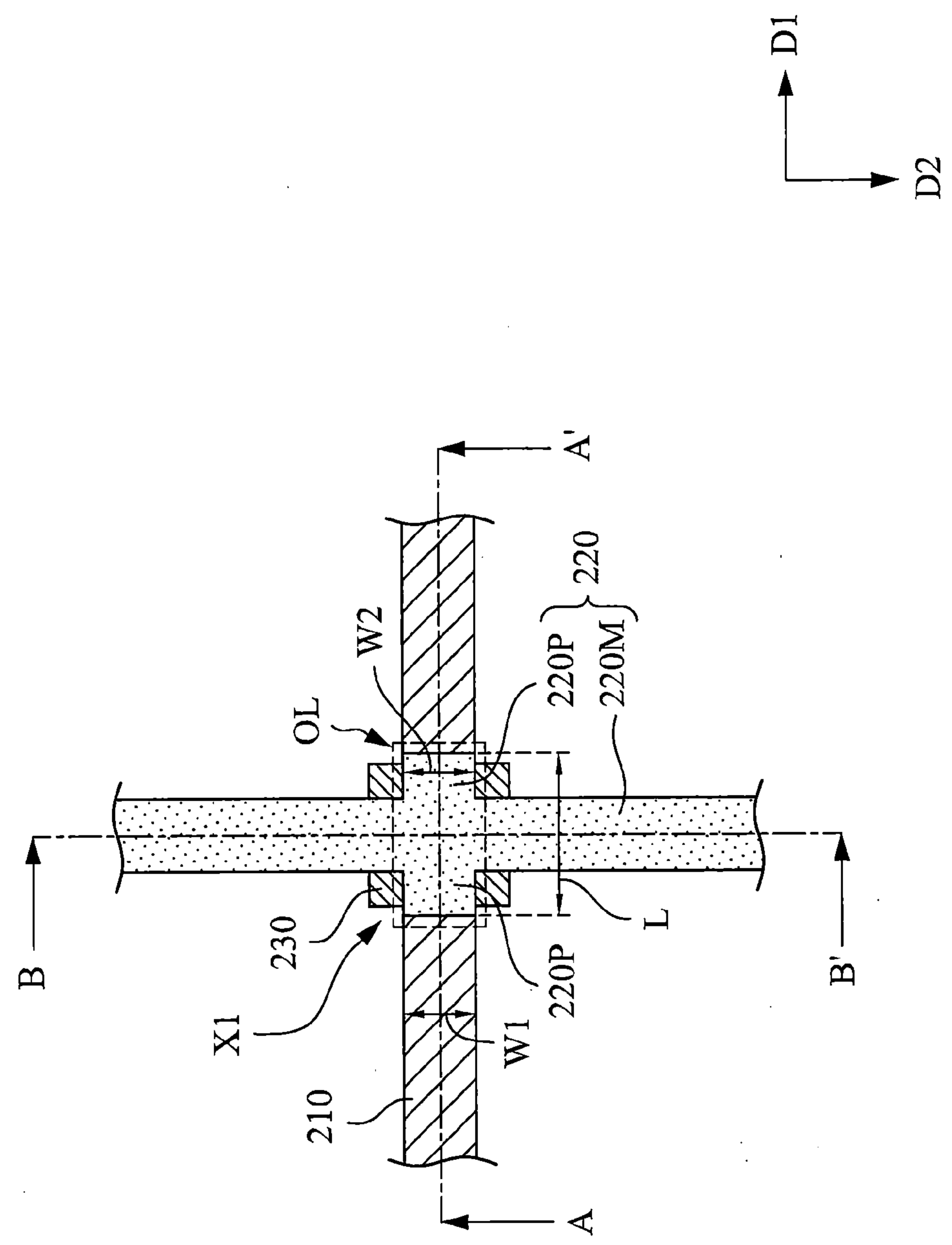


第1圖



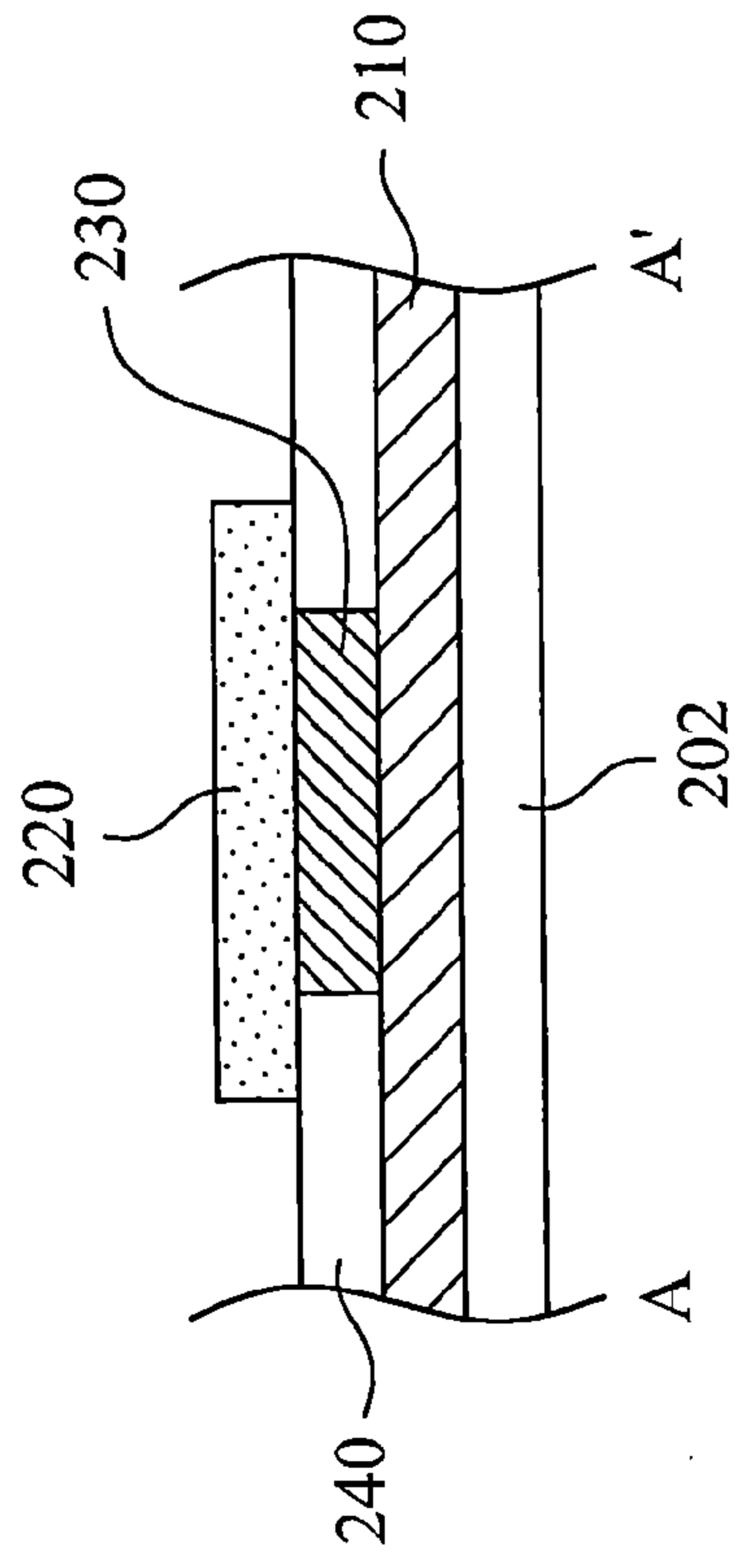
第2圖

R1



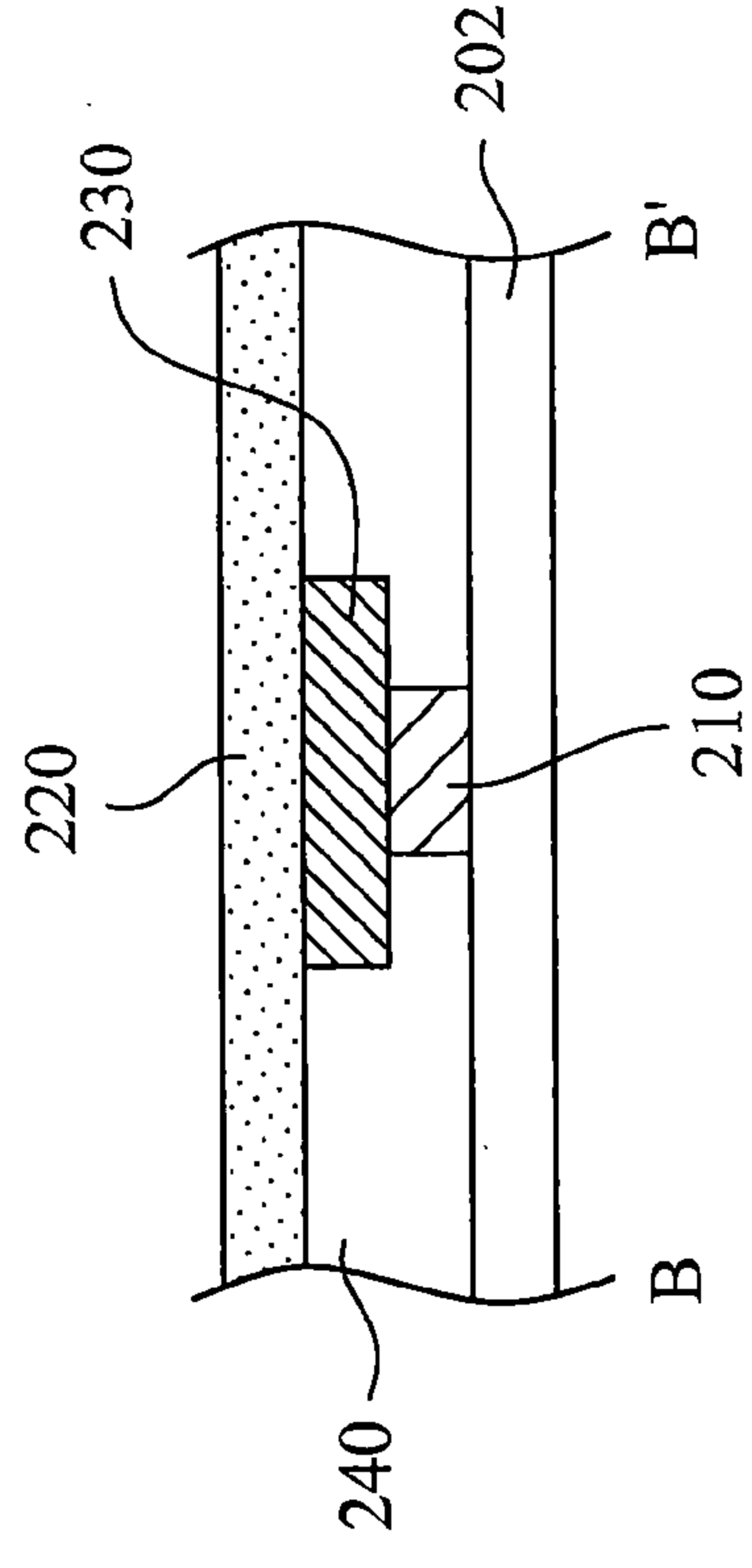
第3圖

R1



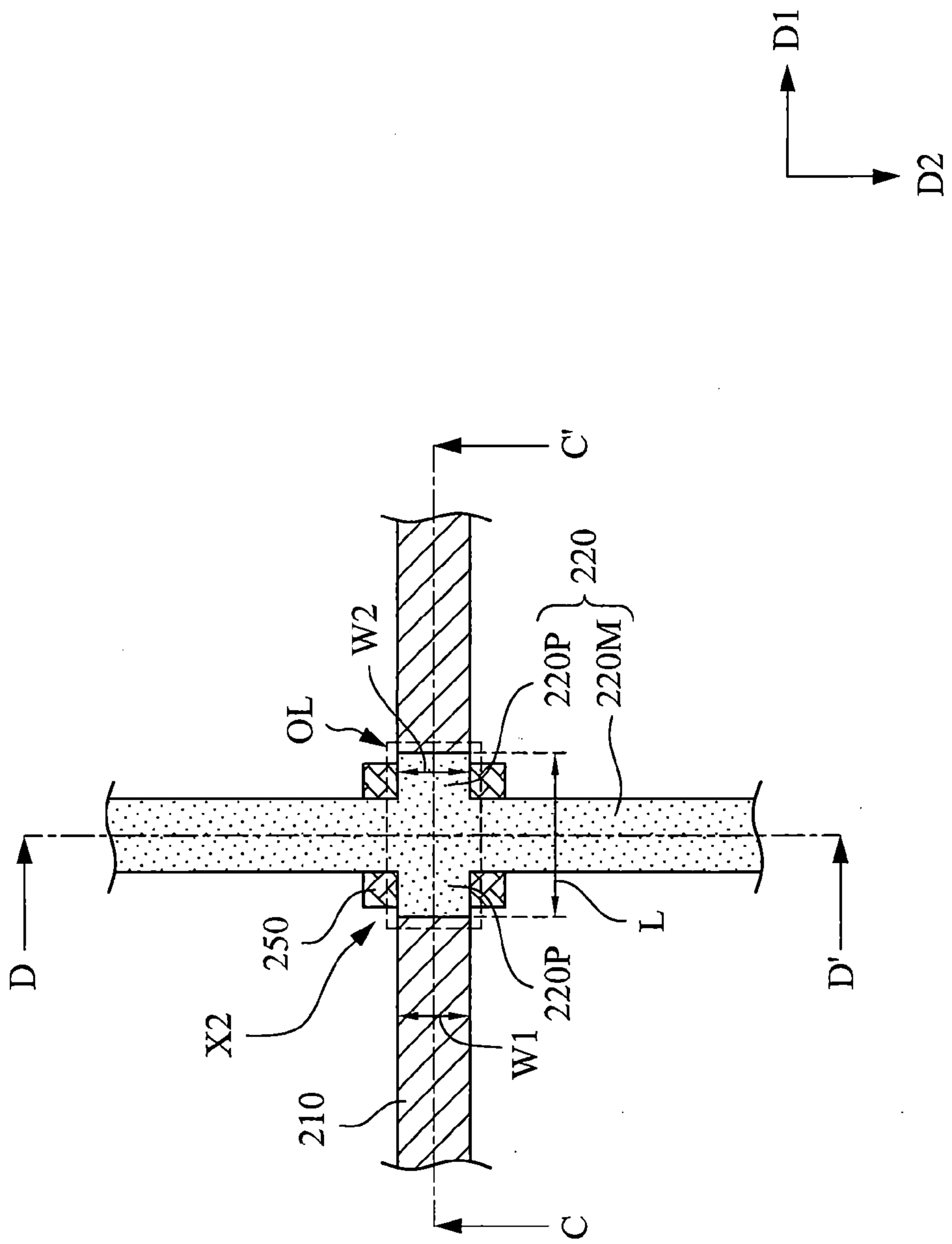
第4A圖

R1



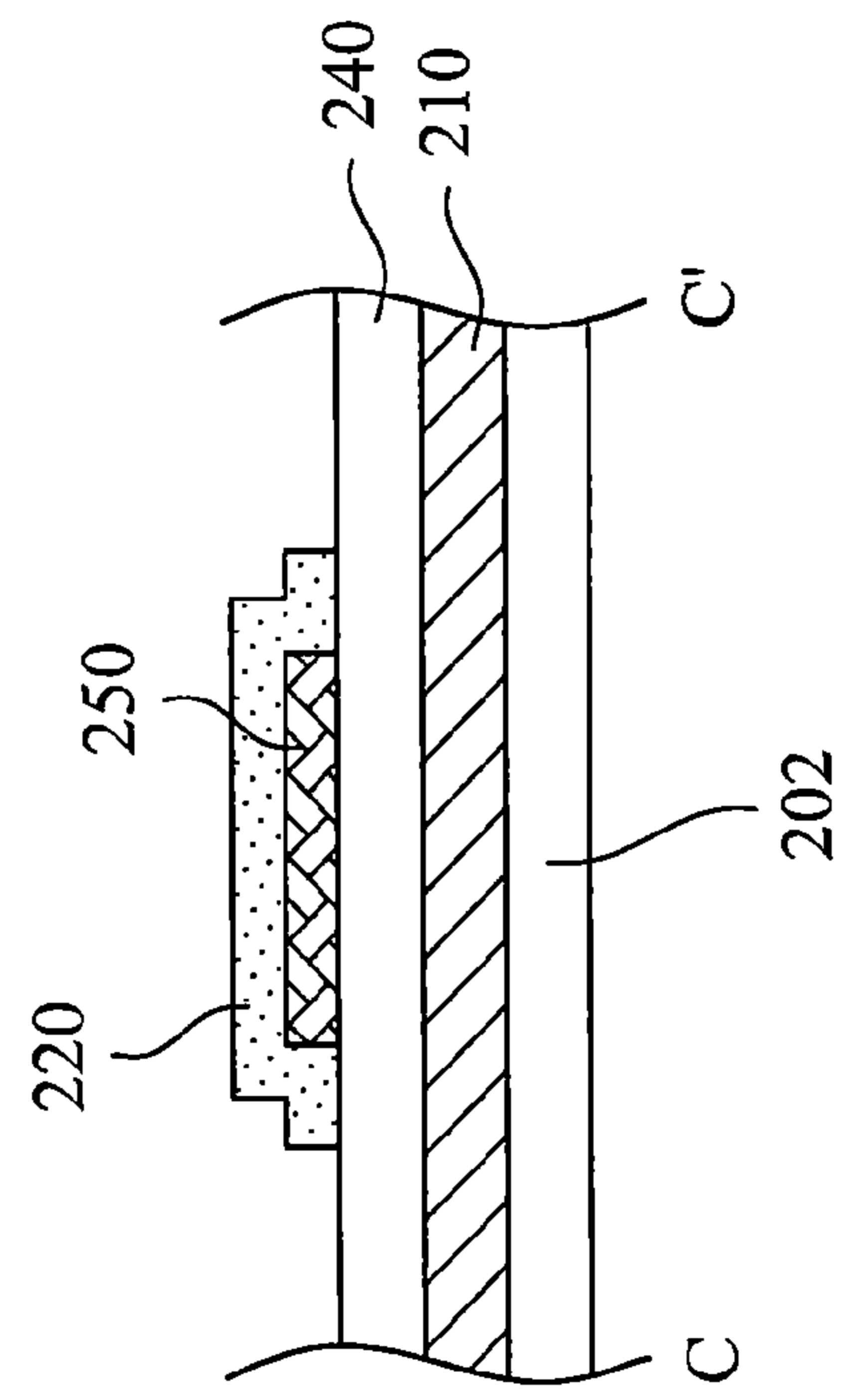
第4B圖

R2

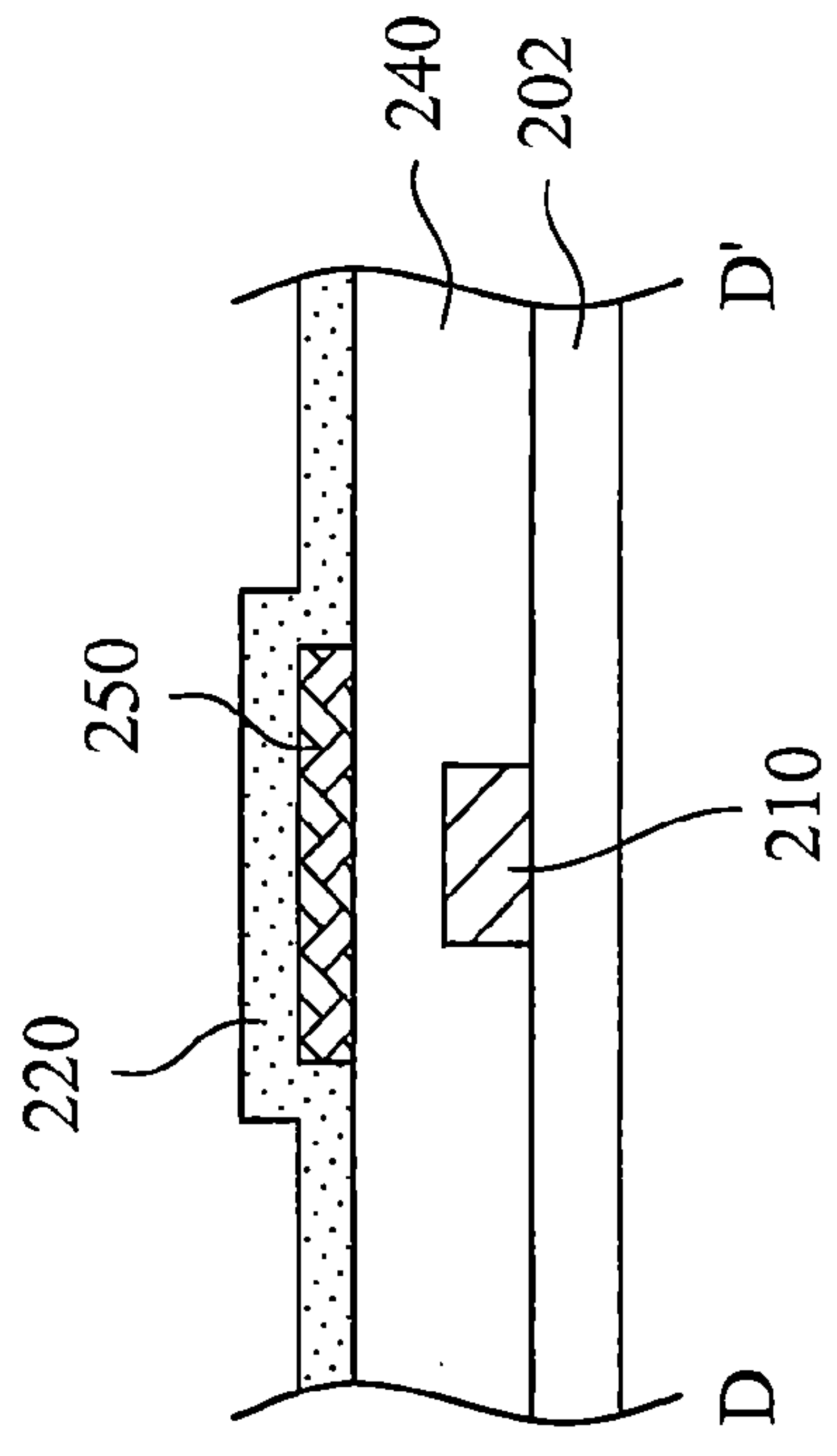


第5圖

R2



R2



第6A圖

第6B圖