



(12)发明专利申请

(10)申请公布号 CN 110233156 A

(43)申请公布日 2019.09.13

(21)申请号 201910605723.7

(22)申请日 2019.07.05

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 卢马才

(74)专利代理机构 深圳市德力知识产权代理事务所 44265

代理人 林才桂 程晓

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 29/786(2006.01)

H01L 21/77(2017.01)

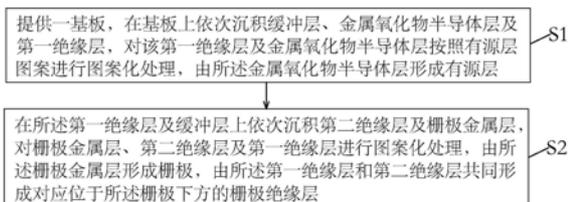
权利要求书2页 说明书6页 附图4页

(54)发明名称

薄膜晶体管基板的制作方法及其薄膜晶体管基板

(57)摘要

本发明提供一种薄膜晶体管基板的制作方法及其薄膜晶体管基板。本发明的薄膜晶体管基板的制作方法，在基板上依次沉积缓冲层、金属氧化物半导体层及第一绝缘层之后，再对该第一绝缘层及金属氧化物半导体层按照有源层图案进行图案化处理，由该金属氧化物半导体层形成有源层，然后依次沉积第二绝缘层及栅极金属层，利用顶栅极自对准技术对栅极金属层、第二绝缘层及第一绝缘层进行图案化处理，由该栅极金属层形成栅极，由该第一绝缘层和第二绝缘层共同形成栅极绝缘层，本发明在图案化处理金属氧化物半导体层之前沉积第一绝缘层，利用第一绝缘层对金属氧化物半导体层进行保护，使得有源层与栅极绝缘层的接触面缺陷减少，从而提高器件稳定性。



1. 一种薄膜晶体管基板的制作方法,其特征在于,包括如下步骤:

步骤S1、提供一基板(10),在所述基板(10)上依次沉积缓冲层(15)、金属氧化物半导体层(20)及第一绝缘层(31),对该第一绝缘层(31)及金属氧化物半导体层(20)按照有源层图案进行图案化处理,由所述金属氧化物半导体层(20)形成有源层(25);

步骤S2、在所述第一绝缘层(31)及缓冲层(15)上依次沉积第二绝缘层(32)及栅极金属层(40),对所述栅极金属层(40)、第二绝缘层(32)及第一绝缘层(31)进行图案化处理,由所述栅极金属层(40)形成栅极(45),由所述第一绝缘层(31)和第二绝缘层(32)共同形成对应位于所述栅极(45)下方的栅极绝缘层(35)。

2. 如权利要求1所述的薄膜晶体管基板的制作方法,其特征在于,还包括:

步骤S3、在所述栅极(45)、有源层(25)及缓冲层(15)上沉积层间介电层(50),对该层间介电层(50)进行图案化处理,在所述层间介电层(50)上形成分别对应位于所述有源层(25)两端上方的第一过孔(51)和第二过孔(52);

步骤S4、在所述层间介电层(50)上沉积源漏极金属层(60),对所述源漏极金属层(60)进行图案化处理,得到分别通过第一过孔(51)和第二过孔(52)与所述有源层(25)两端相接触的源极(61)和漏极(62);

步骤S5、在所述层间介电层(50)、源极(61)及漏极(62)上沉积钝化层(70),对该钝化层(70)进行图案化处理,在所述钝化层(70)上形成对应位于所述漏极(62)上方的第三过孔(71),在所述钝化层(70)上形成像素电极(80),所述像素电极(80)通过第三通孔(71)与所述漏极(62)相接触。

3. 如权利要求1所述的薄膜晶体管基板的制作方法,其特征在于,所述步骤S1中,所沉积形成的第一绝缘层(31)的材料为氧化硅,所述第一绝缘层(31)的厚度为100-2000Å。

4. 如权利要求1所述的薄膜晶体管基板的制作方法,其特征在于,所述步骤S1中,所沉积形成的金属氧化物半导体层(20)的材料为铟镓锌氧化物、铟镓锡氧化物或铟镓锌锡氧化物。

5. 如权利要求1所述的薄膜晶体管基板的制作方法,其特征在于,所述步骤S1中,先采用干法蚀刻法对所述第一绝缘层(31)进行图案化处理,然后以剩余的所述第一绝缘层(31)为遮蔽层,采用湿法蚀刻法对所述金属氧化物半导体层(20)进行图案化处理,由所述金属氧化物半导体层(20)形成有源层(25)。

6. 如权利要求1所述的薄膜晶体管基板的制作方法,其特征在于,所述步骤S1中,所述第一绝缘层(31)通过等离子体增强化学气相沉积法制作形成。

7. 一种薄膜晶体管基板,其特征在于,包括基板(10)、设于所述基板(10)上的缓冲层(15)、设于所述缓冲层(15)上的有源层(25)、设于所述有源层(25)上的栅极绝缘层(35)及对应设于所述栅极绝缘层(35)上的栅极(45);

所述有源层(25)由金属氧化物半导体层经图案化处理形成;

所述栅极绝缘层(35)由绝缘材料膜层经图案化处理形成,所述绝缘材料膜层包括第一绝缘层(31)和第二绝缘层(32);

所述第一绝缘层(31)在图案化形成所述有源层(25)之前沉积形成于所述金属氧化物半导体层上;

所述第二绝缘层(32)在图案化形成所述有源层(25)之后沉积形成于所述第一绝缘层(31)和缓冲层(15)上。

8.如权利要求7所述的薄膜晶体管基板,其特征在于,还包括设于所述栅极(45)、有源层(25)及缓冲层(15)上的层间介电层(50)、设于层间介电层(50)上的源极(61)和漏极(62)、设于所述层间介电层(50)、源极(61)及漏极(62)上的钝化层(70)及设于所述钝化层(70)上的像素电极(80);

所述层间介电层(50)分别对应位于所述有源层(25)两端上方设有第一过孔(51)和第二过孔(52);

所述源极(61)和漏极(62)分别通过第一过孔(51)和第二过孔(52)与所述有源层(25)两端相接触;

所述钝化层(70)对应位于所述漏极(62)上方设有第三过孔(71);

所述像素电极(80)通过第三通孔(71)与所述漏极(62)相接触。

9.如权利要求7所述的薄膜晶体管基板,其特征在于,所述第一绝缘层(31)的材料为氧化硅,所述第一绝缘层(31)的厚度为100-2000Å。

10.如权利要求7所述的薄膜晶体管基板,其特征在于,所述有源层(25)的材料为铟镓锌氧化物、铟镓锡氧化物或铟镓锌锡氧化物。

薄膜晶体管基板的制作方法及其基板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管基板的制作方法及其基板。

背景技术

[0002] 薄膜晶体管(Thin Film Transistor, TFT)是目前液晶显示装置(Liquid Crystal Display, LCD)、有机电致发光二极管(Organic Light-Emitting Diode, OLED)显示装置及微发光二极管(Micro LED)等平板显示装置中的主要驱动元件,直接关系到高性能平板显示装置的发展方向。薄膜晶体管具有多种结构,制备相应结构的薄膜晶体管有源层的材料也具有多种,其中,金属氧化物薄膜晶体管(metal oxide TFT),例如铟镓锌氧化物(IGZO)薄膜晶体管,具有场效应迁移率高($\geq 10\text{cm}^2/\text{V}\cdot\text{s}$)、制备工艺简单、大面积沉积均匀性好、响应速度快及可见光范围内透过率高等特点,被认为是显示器朝着大尺寸及柔性化方向发展的最有潜力的背板技术,但是为了提高金属氧化物薄膜晶体管的电性和稳定性,需要进行高温退火制程,限制了其在柔性方向的应用。

[0003] 传统底栅结构的金属氧化物薄膜晶体管,由于栅极与源漏电极之间重叠面积较大,产生了较大的寄生电容,会导致信号的延迟,且其制作出来的晶体管尺寸较大,因而限制了其应用。顶栅自对准结构由于源漏电极之间与栅极之间没有重叠,因此具有更低的寄生电容和更好的延展性。

[0004] OLED及Micro LED作为电流驱动器件,需要较大的电流通过能力及较好的器件稳定性以及面内电压(V_{th})均匀性。顶栅型IGZO TFT等类似的氧化物半导体薄膜晶体管具有较高的迁移率,比较适合作为电流驱动显示电路。目前已知的顶栅型IGZO TFT在制作过程中,IGZO表面需要接触光阻以及较多的有机溶剂,使得IGZO有源层与栅极绝缘层的接触面缺陷较多,影响器件在后续操作中的稳定性。

发明内容

[0005] 本发明的目的在于提供一种薄膜晶体管基板的制作方法,通过在图案化处理金属氧化物半导体层之前沉积第一绝缘层,利用第一绝缘层对其进行保护,使得有源层与栅极绝缘层的接触面缺陷减少,从而提高器件稳定性。

[0006] 本发明的目的还在于提供一种薄膜晶体管基板,通过在图案化处理金属氧化物半导体层之前沉积第一绝缘层,利用第一绝缘层对其进行保护,使得有源层与栅极绝缘层的接触面缺陷减少,从而提高器件稳定性。

[0007] 为实现上述目的,本发明提供一种薄膜晶体管基板的制作方法,包括如下步骤:

[0008] 步骤S1、提供一基板,在所述基板上依次沉积缓冲层、金属氧化物半导体层及第一绝缘层,对该第一绝缘层及金属氧化物半导体层按照有源层图案进行图案化处理,由所述金属氧化物半导体层形成有源层;

[0009] 步骤S2、在所述第一绝缘层及缓冲层上依次沉积第二绝缘层及栅极金属层,对所

述栅极金属层、第二绝缘层及第一绝缘层进行图案化处理,由所述栅极金属层形成栅极,由所述第一绝缘层和第二绝缘层共同形成对应位于所述栅极下方的栅极绝缘层。

[0010] 所述的薄膜晶体管基板的制作方法,还包括:

[0011] 步骤S3、在所述栅极、有源层及缓冲层上沉积层间介电层,对该层间介电层进行图案化处理,在所述层间介电层上形成分别对应位于所述有源层两端上方的第一过孔和第二过孔;

[0012] 步骤S4、在所述层间介电层上沉积源漏极金属层,对所述源漏极金属层进行图案化处理,得到分别通过第一过孔和第二过孔与所述有源层两端相接触的源极和漏极;

[0013] 步骤S5、在所述层间介电层、源极及漏极上沉积钝化层,对该钝化层进行图案化处理,在所述钝化层上形成对应位于所述漏极上方的第三过孔,在所述钝化层上形成像素电极,所述像素电极通过第三通孔与所述漏极相接触。

[0014] 所述步骤S1中,所沉积形成的第一绝缘层的材料为氧化硅,所述第一绝缘层的厚度为100-2000Å。

[0015] 所述步骤S1中,所沉积形成的金属氧化物半导体层的材料为铟镓锌氧化物、铟镓锡氧化物或铟镓锌锡氧化物。

[0016] 所述步骤S1中,先采用干法蚀刻法对所述第一绝缘层进行图案化处理,然后以剩余的所述第一绝缘层为遮蔽层,采用湿法蚀刻法对所述金属氧化物半导体层进行图案化处理,由所述金属氧化物半导体层形成有源层。

[0017] 所述步骤S1中,所述第一绝缘层通过等离子体增强化学气相沉积法制作形成。

[0018] 本发明还提供一种薄膜晶体管基板,包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的有源层、设于所述有源层上的栅极绝缘层及对应设于所述栅极绝缘层上的栅极;

[0019] 所述有源层由金属氧化物半导体层经图案化处理形成;

[0020] 所述栅极绝缘层由绝缘材料膜层经图案化处理形成,所述绝缘材料膜层包括第一绝缘层和第二绝缘层;

[0021] 所述第一绝缘层在图案化形成所述有源层之前沉积形成于所述金属氧化物半导体层上;

[0022] 所述第二绝缘层在图案化形成所述有源层之后沉积形成于所述第一绝缘层和缓冲层上。

[0023] 所述的薄膜晶体管基板还包括设于所述栅极、有源层及缓冲层上的层间介电层、设于层间介电层上的源极和漏极、设于所述层间介电层、源极及漏极上的钝化层及设于所述钝化层上的像素电极;

[0024] 所述层间介电层分别对应位于所述有源层两端上方设有第一过孔和第二过孔;

[0025] 所述源极和漏极分别通过第一过孔和第二过孔与所述有源层两端相接触;

[0026] 所述钝化层对应位于所述漏极上方设有第三过孔;

[0027] 所述像素电极通过第三通孔与所述漏极相接触。

[0028] 所述第一绝缘层的材料为氧化硅,所述第一绝缘层的厚度为100-2000Å。

[0029] 所述有源层的材料为铟镓锌氧化物、铟镓锡氧化物或铟镓锌锡氧化物。

[0030] 本发明的有益效果：本发明的薄膜晶体管基板的制作方法，在基板上依次沉积缓冲层、金属氧化物半导体层及第一绝缘层之后，再对该第一绝缘层及金属氧化物半导体层按照有源层图案进行图案化处理，由该金属氧化物半导体层形成有源层，然后依次沉积第二绝缘层及栅极金属层，利用顶栅极自对准技术对栅极金属层、第二绝缘层及第一绝缘层进行图案化处理，由该栅极金属层形成栅极，由该第一绝缘层和第二绝缘层共同形成栅极绝缘层，通过在图案化处理金属氧化物半导体层之前沉积第一绝缘层，利用第一绝缘层对金属氧化物半导体层进行保护，使得有源层与栅极绝缘层的接触面缺陷减少，从而提高器件稳定性。本发明的薄膜晶体管基板，包括基板、缓冲层、有源层、栅极绝缘层及栅极，所述有源层由金属氧化物半导体层经图案化处理形成，所述栅极绝缘层由包括第一绝缘层和第二绝缘层的绝缘材料膜层经图案化处理形成，该第一绝缘层在图案化形成所述有源层之前沉积形成于金属氧化物半导体层上，从而可利用第一绝缘层对金属氧化物半导体层进行保护，使得有源层与栅极绝缘层的接触面缺陷减少，提高器件稳定性。

附图说明

[0031] 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

[0032] 附图中，

[0033] 图1为本发明的薄膜晶体管基板的制作方法的流程示意图；

[0034] 图2-3为本发明的薄膜晶体管基板的制作方法的步骤S1的示意图；

[0035] 图4-5为本发明的薄膜晶体管基板的制作方法的步骤S2的示意图；

[0036] 图6-7为本发明的薄膜晶体管基板的制作方法的步骤S3的示意图；

[0037] 图8-9为本发明的薄膜晶体管基板的制作方法的步骤S4的示意图；

[0038] 图10为本发明的薄膜晶体管基板的制作方法的步骤S5的示意图暨本发明的薄膜晶体管基板的结构示意图。

具体实施方式

[0039] 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

[0040] 请参阅图1，本发明首先提供一种薄膜晶体管基板的制作方法，包括如下步骤：

[0041] 步骤S1、如图2-3所示，提供一基板10，在所述基板10上依次沉积缓冲层15、金属氧化物半导体层20及第一绝缘层31，对该第一绝缘层31及金属氧化物半导体层20按照有源层图案进行图案化处理，由所述金属氧化物半导体层20形成有源层25。

[0042] 具体地，所述步骤S1中，在所述基板10上沉积形成的缓冲层15可为氧化硅(SiO_x)层、氮化硅(SiN_x)层或两者的堆栈组合等。

[0043] 具体地，所述步骤S1中，所沉积形成的第一绝缘层31的材料可为氧化硅，厚度为100-2000Å，以该第一绝缘层31作为半导体制程中金属氧化物半导体层20的保护层，可避免金属氧化物半导体层20上表面接触光阻、有机溶液、酸碱等。

[0044] 具体地，所述步骤S1中，所沉积形成的金属氧化物半导体层20的材料可为铟镓锌氧化物(IGZO)、铟镓锡氧化物(IGTO)或铟镓锌锡氧化物(IGZTO)等金属氧化物半导体材料。

[0045] 具体地,所述步骤S1中,首先采用干法蚀刻法(Dry Etch)对所述第一绝缘层31进行图案化处理,仅保留对应于有源层图案上的第一绝缘层31,接着采用湿法蚀刻法(Wet Etch)对所述金属氧化物半导体层20进行图案化处理,由所述金属氧化物半导体层20形成有源层25。

[0046] 具体地,所述步骤S1中,所述第一绝缘层31可通过等离子体增强化学气相沉积法(Plasma Enhanced Chemical Vapor Deposition,PECVD)、原子层沉积法(Atomic layer deposition,ALD)、或物理气相沉积法(Physical Vapor Deposition,PVD)制作形成,优选采用PECVD制作形成。

[0047] 步骤S2、如图4-5所示,在所述第一绝缘层31及缓冲层15上依次沉积第二绝缘层32及栅极金属层40,利用顶栅自对准技术对所述栅极金属层40、第二绝缘层32及第一绝缘层31进行图案化处理,由所述栅极金属层40形成栅极45,由所述第一绝缘层31和第二绝缘层32共同形成对应位于所述栅极45下方的栅极绝缘层35。

[0048] 具体地,所述步骤S2中,所沉积形成的第二绝缘层32的材料可为氧化硅或氮化硅。

[0049] 具体地,所述所步骤S2中,所述栅极金属层40的材料为钼(Mo)、钛(Ti)、铝(Al)及铜(Cu)中的一种或多种的堆栈组合。

[0050] 具体地,所述所步骤S2中,所述第二绝缘层32通过PECVD、ALD、或PVD沉积形成。

[0051] 步骤S3、如图6-7所示,在所述栅极45、有源层25及缓冲层15上沉积层间介电层50,对该层间介电层50进行图案化处理,在所述层间介电层50上形成分别对应位于所述有源层25两端上方的第一过孔51和第二过孔52。

[0052] 具体地,所述步骤S3中,所述层间介电层50可为氧化硅层、氮化硅层或两者的堆栈组合等。

[0053] 步骤S4、如图8-9所示,在所述层间介电层50上沉积源漏极金属层60,对所述源漏极金属层60进行图案化处理,得到分别通过第一过孔51和第二过孔52与所述有源层25两端相接触的源极61和漏极62。

[0054] 具体地,所述所步骤S4中,所述源漏极金属层60的材料为钼、钛、铝及铜中的一种或多种的堆栈组合。

[0055] 步骤S5、如图10所示,在所述层间介电层50、源极61及漏极62上沉积钝化层70,对该钝化层70进行图案化处理,在所述钝化层70上形成对应位于所述漏极62上方的第三过孔71,在所述钝化层70上形成像素电极80,所述像素电极80通过第三通孔71与所述漏极62相接触。

[0056] 具体地,所述步骤S5中,所述钝化层70可为氧化硅层、氮化硅层或两者的堆栈组合等;所述像素电极80可为氧化铟锡(ITO)、氧化铟锌(IZO)等透明导电膜层,或非透明导电膜层,如银(Ag)、钨(W)、铜、钛等。

[0057] 本发明的薄膜晶体管基板的制作方法,在基板10上依次沉积缓冲层15、金属氧化物半导体层20及第一绝缘层31之后,再对该第一绝缘层31及金属氧化物半导体层20按照有源层图案进行图案化处理,由该金属氧化物半导体层20形成有源层25,然后依次沉积第二绝缘层32及栅极金属层40,利用顶栅极自对准技术对该栅极金属层40、第二绝缘层32及第一绝缘层31进行图案化处理,由该栅极金属层40形成栅极,由该第一绝缘层31和第二绝缘层32共同形成栅极绝缘层35,通过在图案化处理金属氧化物半导体层20之前沉积第一绝缘

层31,利用第一绝缘层31对金属氧化物半导体层20进行保护,避免金属氧化物半导体层20上表面在后续制程中接触有机溶液、酸碱等,使得有源层25与栅极绝缘层35的接触面缺陷减少,保持器件在正偏压温度不稳定性(positive bias temperature stress,PBTS)及负偏压温度不稳定性(negative bias temperature instability stress,NBTIS)测试中性能稳定,从而提高器件稳定性。

[0058] 请参阅图10,基于上述的薄膜晶体管基板的制作方法,本发明还提供一种薄膜晶体管基板,包括基板10、设于所述基板10上的缓冲层15、设于所述缓冲层15上的有源层25、设于所述有源层25上的栅极绝缘层35、对应设于所述栅极绝缘层35上的栅极45、设于所述栅极45、有源层25及缓冲层15上的层间介电层50、设于层间介电层50上的源极61和漏极62、设于所述层间介电层50、源极61及漏极62上的钝化层70及设于所述钝化层70上的像素电极80。

[0059] 具体地,所述有源层25由金属氧化物半导体层经图案化处理形成。

[0060] 具体地,所述栅极绝缘层35由绝缘材料膜层经图案化处理形成,所述绝缘材料膜层包括第一绝缘层31和第二绝缘层32;所述第一绝缘层31在图案化形成所述有源层25之前沉积形成于所述金属氧化物半导体层上;所述第二绝缘层32在图案化形成所述有源层25之后沉积形成于所述第一绝缘层31和缓冲层15上。

[0061] 具体地,所述层间介电层50分别对应位于所述有源层25两端上方设有第一过孔51和第二过孔52;所述源极61和漏极62分别通过第一过孔51和第二过孔52与所述有源层25两端相接触。

[0062] 具体地,所述钝化层70对应位于所述漏极62上方设有第三过孔71;所述像素电极80通过第三过孔71与所述漏极62相接触。

[0063] 具体地,所述第一绝缘层31的材料可为氧化硅,所述第一绝缘层31的厚度为100-2000Å。

[0064] 具体地,所述有源层25的材料可为铟镓锌氧化物、铟镓锡氧化物或铟镓锌锡氧化物等金属氧化物半导体材料。

[0065] 具体地,所述缓冲层15可为氧化硅层、氮化硅层或两者的堆栈组合等。

[0066] 具体地,所述栅极45、源极61及漏极62的材料可以为钼、钛、铝及铜中的一种或多种的堆栈组合。

[0067] 具体地,所述第二绝缘层32的材料可为氧化硅或氮化硅。

[0068] 具体地,所述层间介电层50可为氧化硅层、氮化硅层或两者的堆栈组合等。

[0069] 具体地,所述钝化层70可为氧化硅层、氮化硅层或两者的堆栈组合等;所述像素电极80可为氧化铟锡、氧化铟锌等透明导电膜层,或非透明导电膜层,如银、钨、铜、钛等。

[0070] 本发明的薄膜晶体管基板,有源层25由金属氧化物半导体层经图案化处理形成,栅极绝缘层35由包括第一绝缘层31和第二绝缘层32的绝缘材料膜层经图案化处理形成,该第一绝缘层31在图案化形成所述有源层25之前沉积形成于金属氧化物半导体层上,从而可利用该第一绝缘层31对金属氧化物半导体层进行保护,使得有源层25与栅极绝缘层35的接触面缺陷减少,从而提高器件稳定性。

[0071] 综上所述,本发明的薄膜晶体管基板的制作方法,在基板上依次沉积缓冲层、金属氧化物半导体层及第一绝缘层之后,再对该第一绝缘层及金属氧化物半导体层按照有源层

图案进行图案化处理,由该金属氧化物半导体层形成有源层,然后依次沉积第二绝缘层及栅极金属层,利用顶栅极自对准技术对栅极金属层、第二绝缘层及第一绝缘层进行图案化处理,由该栅极金属层形成栅极,由该第一绝缘层和第二绝缘层共同形成栅极绝缘层,通过在图案化处理金属氧化物半导体层之前沉积第一绝缘层,利用第一绝缘层对金属氧化物半导体层进行保护,使得有源层与栅极绝缘层的接触面缺陷减少,从而提高器件稳定性。本发明的薄膜晶体管基板,包括基板、缓冲层、有源层、栅极绝缘层及栅极,所述有源层由金属氧化物半导体层经图案化处理形成,所述栅极绝缘层由包括第一绝缘层和第二绝缘层的绝缘材料膜层经图案化处理形成,该第一绝缘层在图案化形成所述有源层之前沉积形成于金属氧化物半导体层上,从而可利用第一绝缘层对金属氧化物半导体层进行保护,使得有源层与栅极绝缘层的接触面缺陷减少,提高器件稳定性。

[0072] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

提供一基板，在基板上依次沉积缓冲层、金属氧化物半导体层及第一绝缘层，对该第一绝缘层及金属氧化物半导体层按照有源层图案进行图案化处理，由所述金属氧化物半导体层形成有源层

在所述第一绝缘层及缓冲层上依次沉积第二绝缘层及栅极金属层，对栅极金属层、第二绝缘层及第一绝缘层进行图案化处理，由所述栅极金属层形成栅极，由所述第一绝缘层和第二绝缘层共同形成对应位于所述栅极下方的栅极绝缘层

S1

S2

图1

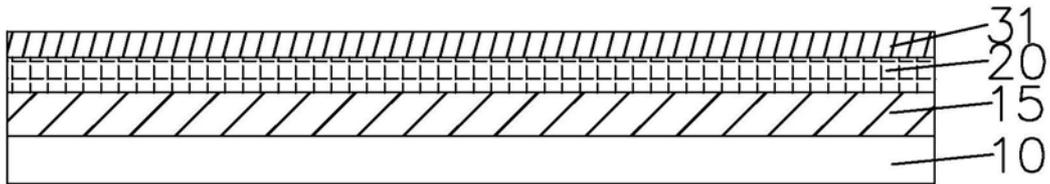


图2

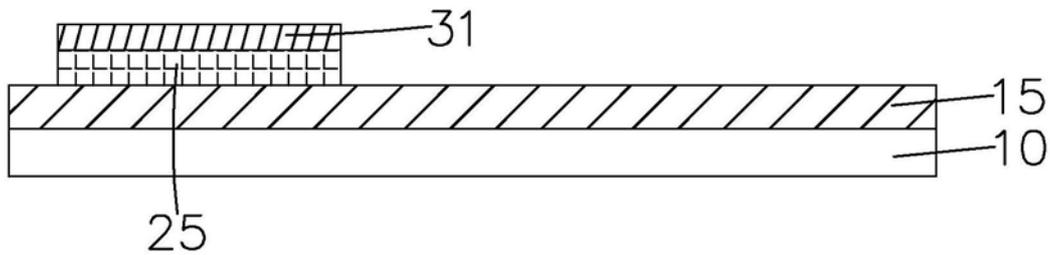


图3

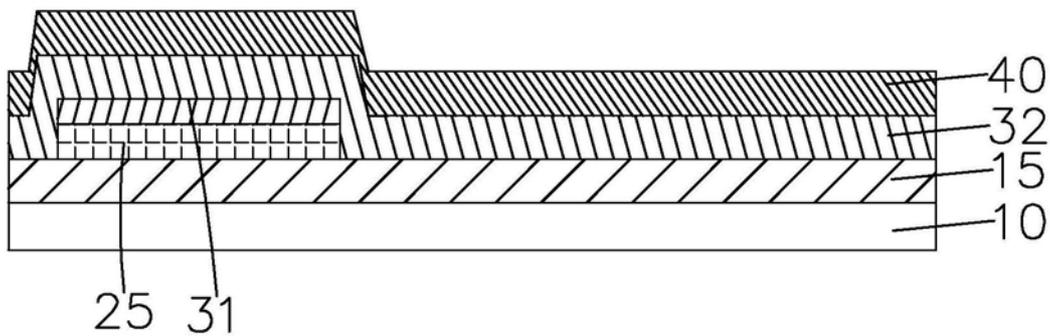


图4

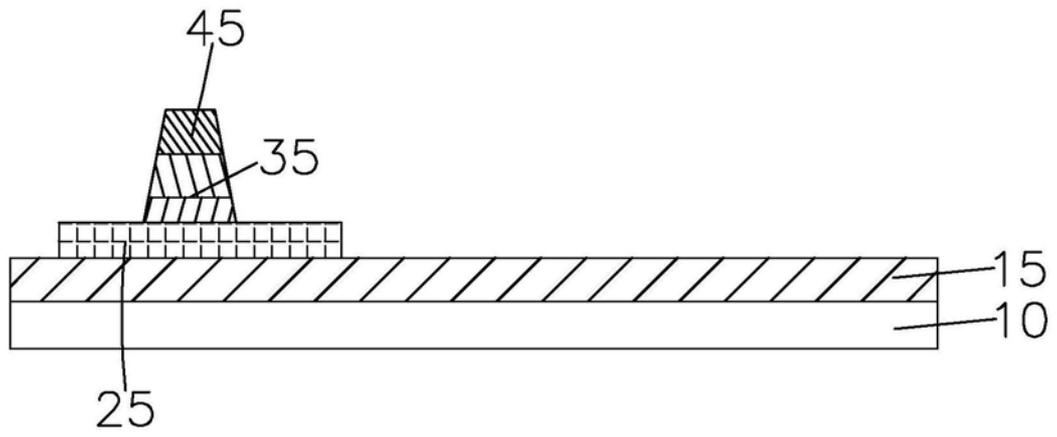


图5

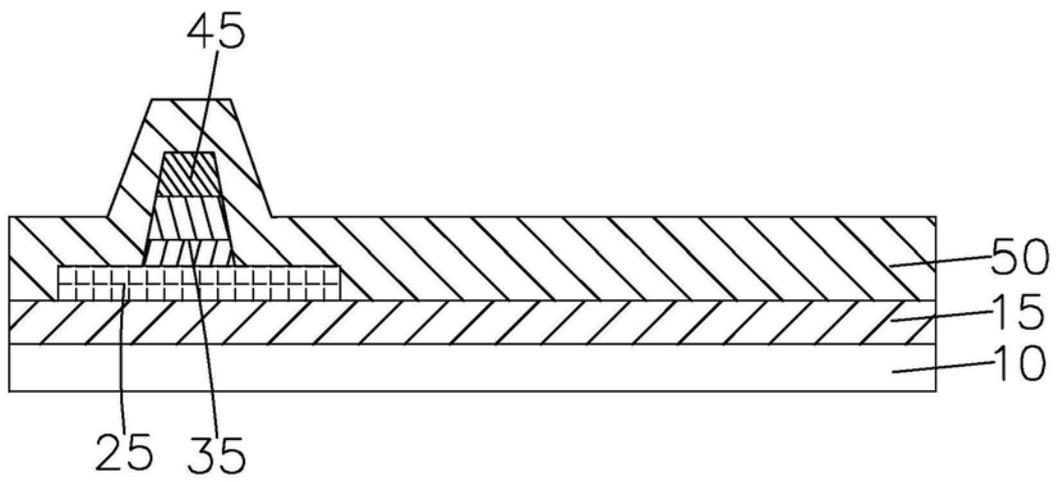


图6

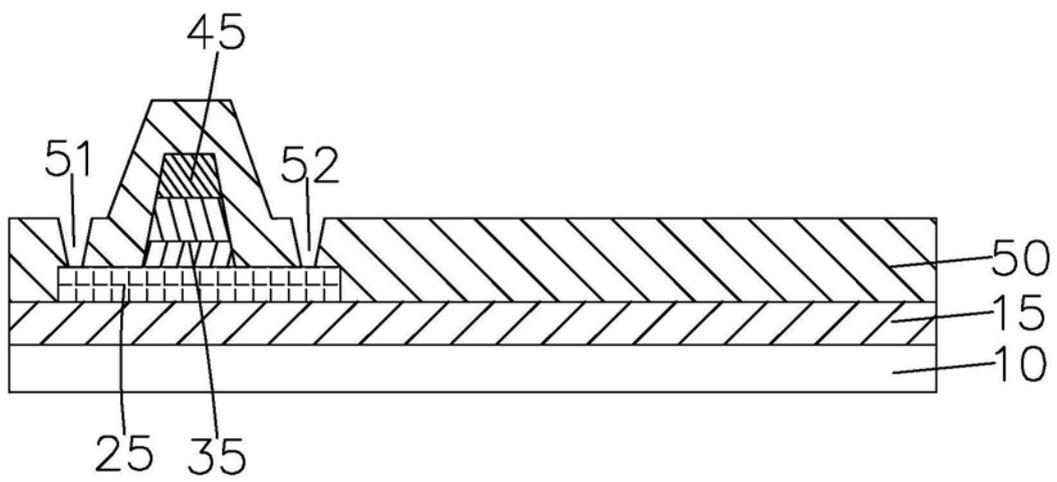


图7

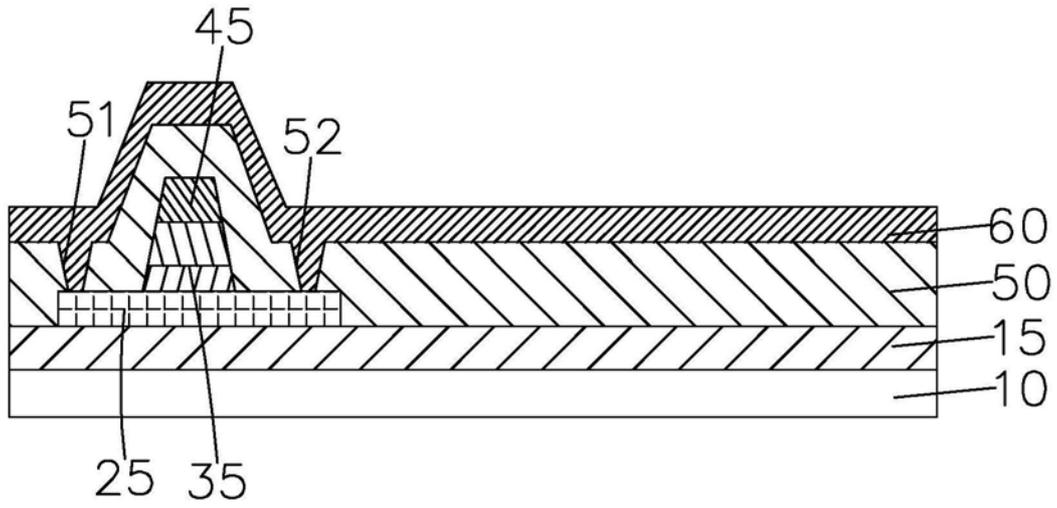


图8

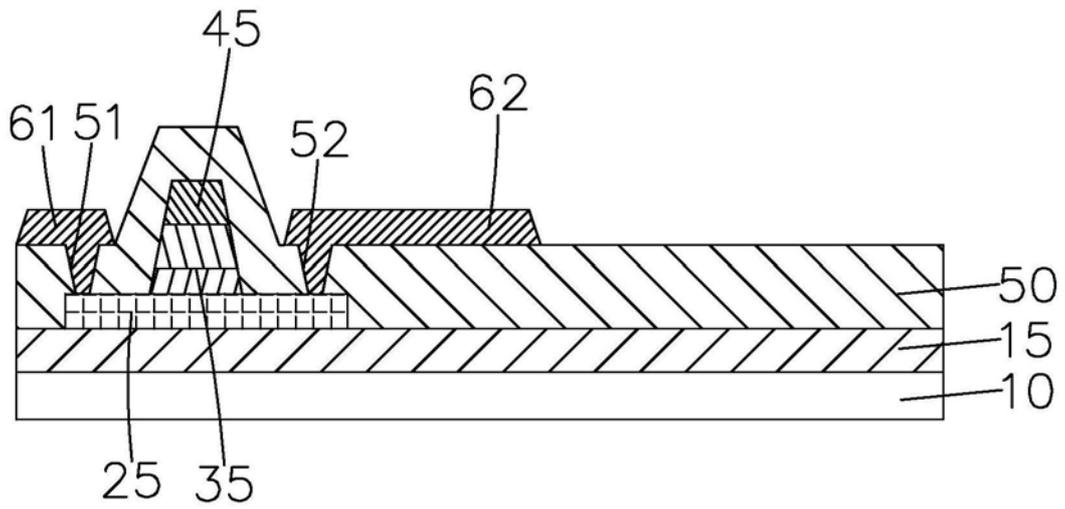


图9

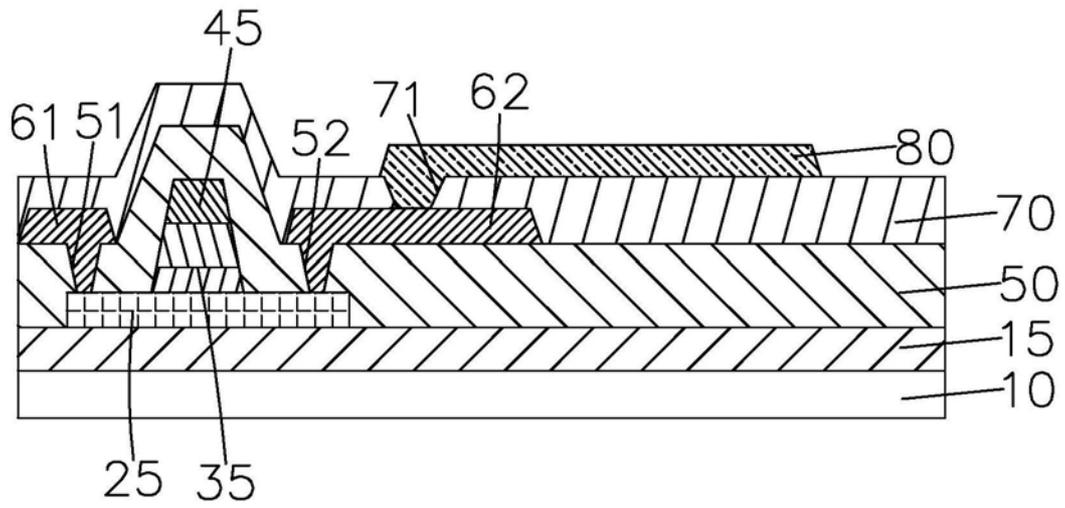


图10