

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5176538号  
(P5176538)

(45) 発行日 平成25年4月3日(2013.4.3)

(24) 登録日 平成25年1月18日(2013.1.18)

(51) Int.Cl.		F I		
HO 1 L 21/82	(2006.01)	HO 1 L 21/82		B
HO 1 L 21/822	(2006.01)	HO 1 L 21/82		C
HO 1 L 27/04	(2006.01)	HO 1 L 27/04		A

請求項の数 3 (全 9 頁)

(21) 出願番号	特願2007-337776 (P2007-337776)	(73) 特許権者	308014341
(22) 出願日	平成19年12月27日(2007.12.27)		富士通セミコンダクター株式会社
(65) 公開番号	特開2009-158836 (P2009-158836A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成21年7月16日(2009.7.16)	(74) 代理人	100068755
審査請求日	平成22年8月25日(2010.8.25)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	西脇 章史
			愛知県春日井市高蔵寺町二丁目1844番2 富士通VLSI株式会社内
		(72) 発明者	小牧 正樹
			愛知県春日井市高蔵寺町二丁目1844番2 富士通VLSI株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置のセルレイアウト方法

(57) 【特許請求の範囲】

【請求項1】

通常セルと低消費電力セルのセル面積と配線の形状とを同一とし、伝播遅延時間に余裕のあるパスで前記通常セルを低消費電力セルに置き換えて消費電力を低減する半導体装置のセルレイアウト方法において、

前記低消費電力セルのゲート長を前記通常セルのゲート長より大きくするとともに、前記通常セルと低消費電力セルの各ゲート配線の面積を同一とし、前記通常セルと低消費電力セルの信号配線が接続される拡散領域の面積を同一とすることを特徴とする半導体装置のセルレイアウト方法。

【請求項2】

前記通常セルによる論理合成処理と配置配線処理に続いて、伝播遅延時間に余裕のあるパスで前記通常セルを前記低消費電力セルに置き換えることを特徴とする請求項1に記載の半導体装置のセルレイアウト方法。

【請求項3】

前記低消費電力セルによる論理合成処理と配置配線処理に続いて、タイミングエラーが発生しているパスで前記低消費電力セルを前記通常セルに置き換えることを特徴とする請求項1に記載の半導体装置のセルレイアウト方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、消費電力の小さい半導体装置を設計するためのセルレイアウト方法に関するものである。

【背景技術】

【0002】

チップ上に多数のランダムロジックセルをレイアウトする半導体装置では、低消費電力化を図るために、通常セルと低消費電力セルとを混在させる手法が実施されている。すなわち、セットアップ時間あるいはホールド時間等タイミングに余裕があるパスにおいて、通常セルを低消費電力セルに置き換えることにより、チップ単位での低消費電力化が図られている。

【0003】

また、通常セルと低消費電力セルとは、セル面積及び端子形状を同一にして、再配線が必要とすることなくセルの置き換えを可能とすることにより、設計期間の短縮が図られている。

【0004】

低消費電力セルとして、次に示すようなセルが提案されている。第一の低消費電力セルは、セル面積及び端子形状を通常セルと同一にし、セルを構成するトランジスタのしきい値を通常セルのトランジスタより高くしたものである。

【0005】

このような低消費電力セルでは、トランジスタのソース・ドレイン間のリーク電流が減少するので、消費電力が低減される。しかし、通常セルと低消費電力セルとでしきい値の異なるトランジスタを形成する必要があるため、プロセス工程が増大し、製造コストが上昇する。

【0006】

第二の低消費電力セルは、セル面積及び端子形状を通常セルと同一にし、トランジスタの数を削減して負荷駆動能力を小さくしたものである。

このような低消費電力セルでは、トランジスタの数の削減により、セルに流れる動作電流が低減され、かつトランジスタのソース・ドレイン間のリーク電流の総和が低減されるので、消費電力が低減される。

【0007】

しかし、低消費電力セルはトランジスタの数を削減しても、通常セルと同一のセル面積で形成されるため、セル面積が無用が増大する。また、トランジスタ数の削減により、ゲートエリア及びソース・ドレインエリアが減少するため、配置配線制約（アンテナパラメータ）に違反して、レイアウトをやり直す必要が生じることがある。

【0008】

この配置配線制約とは、ゲートエリア及びソース・ドレインエリアの面積と、当該エリアに接続されるメタル配線の配線長との相対的な関係に基づいて設定されている。すなわち、ゲートエリア及びソース・ドレインエリアに接続されるメタル配線の配線長に対し、当該エリアの面積が相対的に小さくなると、プロセス時にメタル配線に蓄積される電荷がゲートにより帯電することでトランジスタの特性変動を引き起こす。また、ソース・ドレインへの電荷の抜け悪くなることでもゲートへの帯電がより多くなり、トランジスタの特性変動を引き起こす。従って、ゲートエリア及びソース・ドレインエリアの面積が縮小されると、当該エリアに接続するメタル配線の配線長の制約が厳しくなる。

【0009】

第三の低消費電力セルは、セル面積及び端子形状を通常セルと同一にし、セル内のトランジスタのゲート長を通常セル内のトランジスタのゲート長より長くしたものである（特許文献1）。

【0010】

このような低消費電力セルでは、セル内のトランジスタのソース・ドレイン間のリーク電流が低減されるので、消費電力が低減される。

しかし、ゲート長の増大によりソース・ドレインエリアの面積が縮小されて、配置配線

10

20

30

40

50

制約に違反することがあるとともに、ゲートリーク電流が増大する。また、ゲート長の増大により入力端子容量が増大するため、当該低消費電力セルの前段のセルの出力信号の遅延時間（パスディレイ）が増大し、タイミングエラーが発生する。

【0011】

タイミングエラーが発生する場合について詳述する。図6(a)に示すように、通常セル1a~1fを直列に接続し、通常セル1cから通常セル1g~1iが分岐するパスについて説明する。同図に示すように、各セル間の配線容量を3とし、通常セルの入力容量を1としている。そして、通常セル1aから同1fに至るパスは、各セルの伝播遅延時間に余裕のないクリティカルパスP1であり、通常セル1aから同1iに至るパスは、各セルの伝播遅延時間に余裕があるパスP2とする。

10

【0012】

このようなパスにおいて、消費電力の低減を図るために、図6(b)に示すように、パスP2の通常セル1g~1iを低消費電力セル2a~2cに置き換える。低消費電力セル2a~2cの入力容量を2とする。

【0013】

このような構成では、パスP2の通常セル1g~1iを低消費電力セル2a~2cに置き換えることにより、消費電力を低減することができるとともに、パスP2ではタイミングエラーは生じない。

【0014】

しかし、通常セル1cに入力容量の大きい低消費電力セル2aを接続したことにより、通常セル1cの負荷容量が増大する。すなわち、図6(a)では通常セル1cの負荷容量は、通常セル1d, 1gまでの配線容量と、通常セル1d, 1gの入力容量との和であり、 $3 + 3 + 1 + 1 = 8$ となる。一方、図6(b)では通常セル1cの負荷容量は $3 + 3 + 1 + 2 = 9$ となるため、通常セル1cの負荷容量が増大する。この結果、クリティカルパスP1でパスディレイが増大してタイミングエラーが発生する。

20

【特許文献1】特開2005-236210号公報

【特許文献2】特開平10-27189号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

上記のような第一の低消費電力セルでは、通常セルとは異なるしきい値のトランジスタを形成する必要があるため、プロセス工程が増大し、製造コストが上昇する。

第二及び第三の低消費電力セルでは、通常セルとの置き換えにより配置配線制約に違反するが発生し、第三の低消費電力セルでは、クリティカルパスでタイミングエラーを発生させるといった問題点がある。

30

【0016】

特許文献2には、入力ピンの容量が異なるセルを用意して、最適な容量を備えたセルを選択してタイミングエラーの発生を回避するタイミング検証エラー修正装置が開示されている。しかし、通常セルを低消費電力セルに置き換えて消費電力を低減するレイアウト方法において、タイミングエラーを回避するための構成は開示されていない。

40

【0017】

この発明の目的は、通常セルと低消費電力セルとの置き換えによるタイミングエラーの発生を防止し得るセルレイアウト方法を提供することにある。また、通常セルと低消費電力セルとの置き換えによる配置配線制約の違反及びタイミングエラーの発生を防止し得るセルレイアウト方法を提供することにある。

【課題を解決するための手段】

【0018】

上記目的は、通常セルと低消費電力セルのセル面積と配線形状とを同一とし、伝播遅延時間に余裕のあるパスで前記通常セルを低消費電力セルに置き換えて消費電力を低減する半導体装置のセルレイアウト方法において、前記低消費電力セルのゲート長を前記通常セ

50

ルのゲート長より大きくするとともに、前記通常セルと低消費電力セルの各ゲート配線の面積を同一とし、前記通常セルと低消費電力セルの信号配線が接続される拡散領域の面積を同一とする半導体装置のセルレイアウト方法により達成される。

【発明の効果】

【0021】

開示された半導体装置のセルレイアウト方法では、通常セルと低消費電力セルとの置き換えによるタイミングエラーの発生を防止することができる。また、通常セルと低消費電力セルとの置き換えによる配置配線制約の違反及びタイミングエラーの発生を防止することができる。

【発明を実施するための最良の形態】

10

【0022】

以下、この発明を具体化した一実施の形態を図面に従って説明する。図1は、通常セル11のトランジスタのレイアウトを示し、図2は低消費電力セル12のトランジスタのレイアウトを示す。

【0023】

通常セル11は、基板13上にP型拡散領域14aとN型拡散領域14bがレイアウトされ、その拡散領域14a、14b上に同拡散領域14a、14bを横切るようにゲート配線15がレイアウトされる。そして、ゲート配線15の両側において、前記拡散領域14a、14bはソース領域及びドレイン領域となる。

【0024】

20

前記ゲート配線15の上層にはメタル配線層がレイアウトされる。そのメタル配線層は、高電位側及び低電位側の電源配線16a、16bと、前記ゲート配線、ソース領域若しくはドレイン領域を接続する信号配線16c、16dとからなる。

【0025】

前記電源配線16a、16bは、コンタクトホール17aを介して前記拡散領域14a、14bに接続され、信号配線16c、16dはコンタクトホール17bを介して前記拡散領域14a、14bあるいはゲート配線15に接続されている。

【0026】

このような構成により、拡散領域14a及びゲート配線15によりPチャネルMOSトランジスタが形成され、拡散領域14b及びゲート配線15によりNチャネルMOSトランジスタが形成される。

30

【0027】

低消費電力セル12は、通常セル11と同一の面積でレイアウトされ、拡散領域14c、14d上にゲート配線18がレイアウトされる。拡散領域14c、14dは、サイズの小さいトランジスタを形成するために、通常セル11の拡散領域14a、14bより幅狭となっている。

【0028】

前記ゲート配線18の上層には、通常セル11と同一の電源配線16a、16bと信号配線16c、16dがレイアウトされる。そして、各電源配線16a、16b及び信号配線16c、16dの形状及び位置は、通常セル11と同一にレイアウトされて、各電源配線16a、16b及び信号配線16c、16dの再配線を必要とすることなく、通常セル11と低消費電力セル12の置き換えを可能としている。

40

【0029】

前記ゲート配線18のゲート長は、前記通常セル11のゲート配線15のゲート長より大きく形成され、ゲート配線18のゲート幅はゲート配線15のゲート幅より小さく形成されて、ゲート配線15、18の面積が同一となるようにレイアウトされる。

【0030】

例えば、通常セル11のゲート長 $g_1$ は60nmであるのに対し、低消費電力セル12のゲート配線18のゲート長 $g_2$ は70nmに設定する。そして、ゲート配線15、18の面積が同一となるように、ゲート配線18のゲート幅はゲート配線15より小さく形成

50

する。

【0031】

また、通常セル11の信号配線16dが接続される拡散領域a1の面積は、低消費電力セル12の信号配線16dが接続される拡散領域a2の面積と同一に形成される。

上記のように構成された低消費電力セル12では、トランジスタのゲート長が大きくなることで、ソース・ドレイン間のリーク電流が低減され、トランジスタのゲート幅が小さくなることで動作電流が低減されるので、消費電力が低減される。また、ゲート配線18の面積が通常セル11のゲート配線15と同一であるため、通常セル11を低消費電力セル12に置き換えても、入力端子容量すなわちゲート容量が増大することはなく、ゲートリーク電流が増大することもない。

10

【0032】

また、ゲート配線15, 18の面積が同一であることと、通常セル11と低消費電力セル12とで、信号配線が接続される拡散領域の面積が同一であるため、通常セル11を低消費電力セルに置き換えても、配置配線制約違反が生じることはない。

【0033】

図3は、図6に示す従来の通常セルから低消費電力セルへの置き換えと同様に、上記通常セル11から低消費電力セル12に置き換える場合について示す。

図3(a)に示すパスP1は、通常セル11a~11fが直列に接続され、パスP2は通常セル11cから通常セル11g~11iが分岐している。同図に示すように、各通常セル間の配線容量を3とし、入力容量を1としている。そして、通常セル11aから同11fに至るパスは、各セルの伝播遅延時間に余裕のないクリティカルパスP1であり、通常セル11aから同11iに至るパスは、各セルの伝播遅延時間に余裕があるパスP2とする。

20

【0034】

このようなパスにおいて、消費電力の低減を図るために、図3(b)に示すように、パスP2の通常セル11g~11iを上記のような低消費電力セル12a~12cに置き換える。低消費電力セル12a~12cの入力容量は通常セルと同様に1である。

【0035】

このような構成では、パスP2の通常セル11g~11iを低消費電力セル12a~12cに置き換えることにより、消費電力を低減することができるとともに、パスP2ではタイミングエラーは生じない。

30

【0036】

そして、通常セルと入力容量が等しい低消費電力セル12aを通常セル11cに接続したことにより、通常セル11cの負荷容量は増大しない。すなわち、図3(a)では通常セル11cの負荷容量は、通常セル11d, 11gまでの配線容量と、通常セル11d, 11gの入力容量との和であり、 $3 + 3 + 1 + 1 = 8$ となる。一方、図3(b)でも通常セル11cの負荷容量は $3 + 3 + 1 + 1 = 8$ となるため、通常セル11cの負荷容量は増大しない。この結果、クリティカルパスP1でバスディレイが増大しないため、タイミングエラーは発生しない。

【0037】

40

図4は、上記のような通常セル11と低消費電力セル12を用いて、レイアウト生成装置により最適なセルレイアウトを生成するレイアウト処理を示す。

まず、通常セル11のみで論理合成処理を行い(ステップ1)、次いで設定された論理にしたがって通常セルの配置配線を行う(ステップ2)。

【0038】

次いで、タイミングの解析処理を行い(ステップ3)、その処理結果に基づき伝播遅延時間に余裕があるパスについて、消費電力の大きいセルから通常セル11を低消費電力セル12に置き換える(ステップ4)。

【0039】

次いで、再度タイミングの解析処理を行う(ステップ5)。ここで、タイミングエラー

50

が検出されると、ステップ4に復帰して置き換えた低消費電力セル12を通常セル11に戻す処理を行う。この処理は、通常セル11を低消費電力セル12に置き換えた順番と逆の順番で行う。そして、1つの低消費電力セル12を通常セル11に戻す度にステップ5の処理を行い、タイミングエラーが解消されるまでステップ4, 5を繰り返す。

【0040】

タイミングエラーが解消されると、ステップ6に移行してホールド時間の解析処理を行い、レイアウト処理を終了する。

図5は、上記のような通常セル11と低消費電力セル12を用いて、レイアウト生成装置により最適なセルレイアウトを生成する別のレイアウト処理を示す。

【0041】

まず、低消費電力セル12のみで論理合成処理を行い(ステップ11)、次いで設定された論理にしたがって低消費電力セルの配置配線を行う(ステップ12)。

次いで、タイミングの解析処理を行う(ステップ13)。そして、処理結果に基づきタイミングエラーが発生したパスについて、遅延時間の大きいセルから低消費電力セル12を通常セル11に置き換える(ステップ14)。

【0042】

次いで、再度タイミングの解析処理を行う(ステップ13)。そして、当該パス上のすべての低消費電力セル12を通常セル11に置き換えてもタイミングエラーが解消されない場合には、ステップ12に移行してセルの配置配線をやり直し、ステップ13の処理を再度行う。

【0043】

ステップ13でタイミングエラーが解消されると、ステップ15に移行してホールド時間の解析処理を行い、レイアウト処理を終了する。

上記のような通常セル11及び低消費電力セル12によるセルレイアウト方法では、次に示す作用効果を得ることができる。

(1) 通常セル11と低消費電力セル12のセル面積及びメタル配線形状が同一であるため、電源配線16a, 16b及び信号配線16c, 16dの再配線を必要とすることなく、通常セル11と低消費電力セル12との置き換えを行なうことができる。

(2) 低消費電力セル12では、そのゲート長を通常セル11のゲート長より大きくして、ソース・ドレイン間のリーク電流を減少させて、低消費電力化を図ることができる。

(3) 通常セル11と低消費電力セル12のゲート配線15, 18の面積を同一としたので、通常セル11と低消費電力セル12のゲートリーク電流を同一とすることができる。

(4) 通常セル11と低消費電力セル12のゲート配線15, 18の面積を同一としたので、入力端子容量を同一とすることができる。従って、通常セル11を低消費電力セル12に置き換えても、パスの遅延時間を増大させることはなく、クリティカルパスから分岐するパスの通常セルを低消費電力セルに置き換えても、クリティカルパスでタイミングエラーを発生させることはない。

(5) 通常セル11と低消費電力セル12のゲート配線15, 18の面積を同一とするとともに、通常セル11の信号配線16dが接続される拡散領域の面積と低消費電力セル12の信号配線16dが接続される拡散領域の面積とを同一としたので、通常セル11と低消費電力セル12との置き換えにより配置配線制約違反が生じることはない。

(6) 通常セル11を構成するトランジスタと低消費電力セル12を構成するトランジスタのしきい値は同一であるので、通常セル11と低消費電力セル12を混在させても、プロセス工程を増加させることはない。

(7) セルのレイアウト処理を行う際、通常セルでレイアウトした後、伝播遅延時間に余裕があるパスについて、通常セル11を低消費電力セル12に置き換えることにより、低消費電力の半導体集積回路を設計することができる。

(8) セルのレイアウト処理を行う際、低消費電力セルでレイアウトした後、タイミングエラーが発生したパスについて、低消費電力セル12を通常セル11に置き換えることにより、低消費電力の半導体集積回路を設計することができる。

10

20

30

40

50

【0044】

上記実施の形態は、以下に示す態様で実施することもできる。

・図4及び図5において、ステップ1, 11で通常セル11と低消費電力セル12を混在させて論理合成処理を行ってもよい。

【図面の簡単な説明】

【0045】

【図1】一実施の形態の通常セルを示すレイアウト図である。

【図2】一実施の形態の低消費電力セルを示すレイアウト図である。

【図3】(a)(b)は通常セルから低消費電力セルへの置き換えによる入力容量の変化を示す説明図である。

【図4】セルレイアウト方法を示すフローチャートである。

【図5】セルレイアウト方法を示すフローチャートである。

【図6】(a)(b)は従来の通常セルから低消費電力セルへの置き換えによる入力容量の変化を示す説明図である。

【符号の説明】

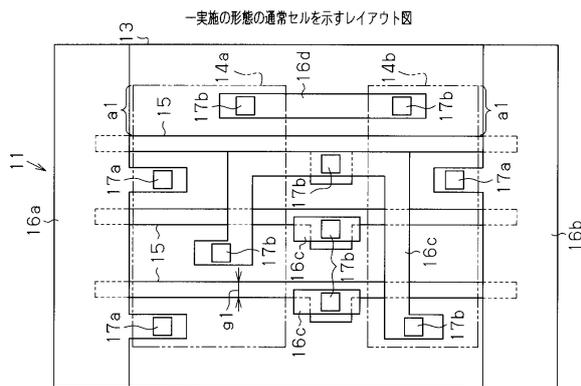
【0046】

- 11 通常セル
- 12 低消費電力セル
- 14 a, 14 b 拡散領域
- 15, 18 ゲート配線
- 16 a, 16 b 電源配線
- 16 c, 16 d 信号配線
- 17 a, 17 b, 19 a, 19 b 接続端子(コンタクトホール)

10

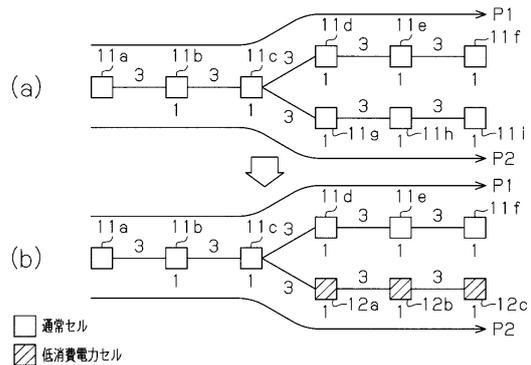
20

【図1】

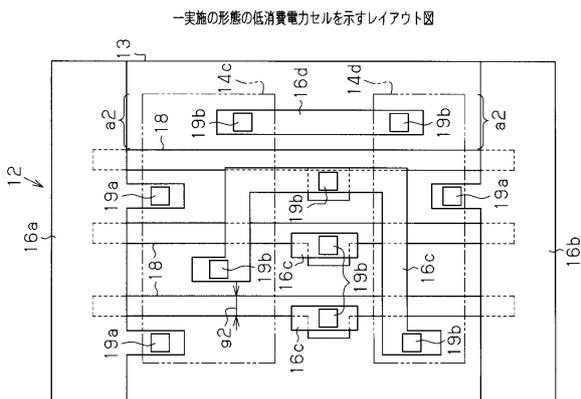


【図3】

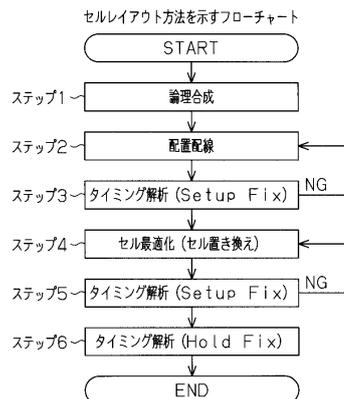
(a)(b)は通常セルから低消費電力セルへの置き換えによる入力容量の変化を示す説明図



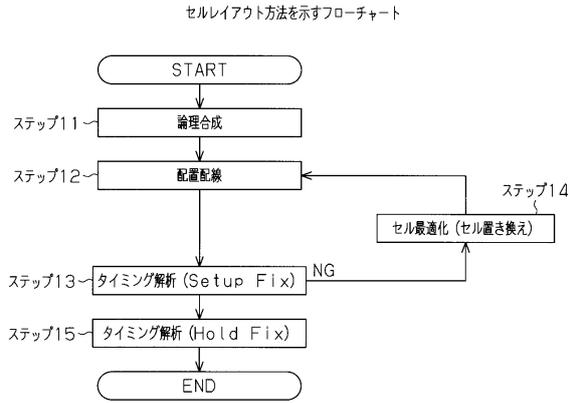
【図2】



【図4】

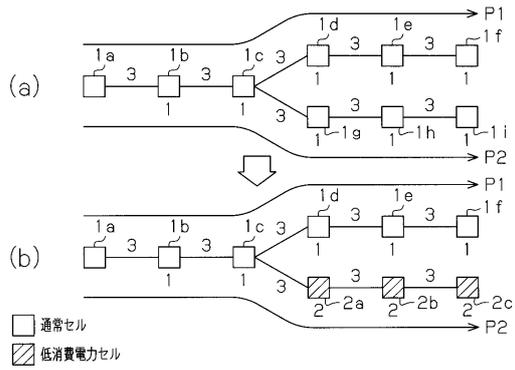


【 図 5 】



【 図 6 】

(a) (b) は従来の通常セルから低消費電力セルへの置き換えによる入力容量の変化を示す説明図



---

フロントページの続き

(72)発明者 飯田 大介

愛知県春日井市高蔵寺町二丁目1844番2 富士通VLSI株式会社内

審査官 平野 崇

(56)参考文献 特開平11-195976(JP,A)

特開2004-172627(JP,A)

特開2005-236210(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/822

H01L 27/04

CiNii

JSTPlus(JDreamII)