



(12) 实用新型专利

(10) 授权公告号 CN 204216029 U

(45) 授权公告日 2015. 03. 18

(21) 申请号 201420720675. 9

(22) 申请日 2014. 11. 25

(73) 专利权人 无锡中星微电子有限公司

地址 214028 江苏省无锡市新区太湖国际科技园清源路 530 大厦 A 区 10 层

(72) 发明人 王钊

(74) 专利代理机构 无锡互维知识产权代理有限公司 32236

代理人 庞聪雅

(51) Int. Cl.

H01L 23/488(2006. 01)

H01L 23/525(2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

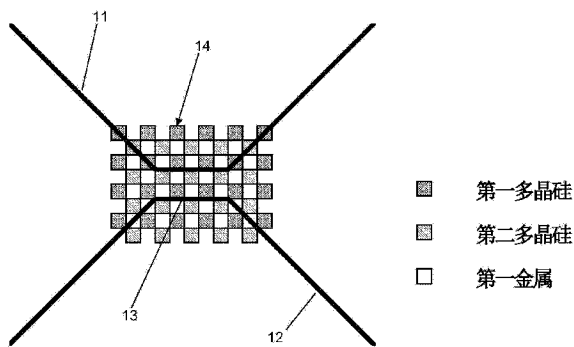
权利要求书1页 说明书4页 附图1页

(54) 实用新型名称

形成于晶圆上的修调单元

(57) 摘要

本实用新型提供一种形成于晶圆上的修调单元,其包括:第一垫片;第二垫片;连接于第一垫片和第二垫片之间的熔丝体,所述熔丝体包括与第一垫片相连的第一导引部、与第二垫片相连的第二导引部和连接于第一导引部和第二导引部之间的熔丝部,每个导引部的宽度均由垫片到熔丝部逐渐变窄,而熔丝部的宽度小于等于所述导引部最窄部分的宽度;位于所述熔丝部下方的衬垫结构区,该衬垫结构区包括在晶圆上形成于不同高度的多个层,衬垫结构区的每个层包括有多个间隔的格子区以及填充于格子区之间的绝缘区,衬垫结构区的不同层的格子区的材质不同。该衬垫结构区有助于形成阻挡层于衬底和修调单元的熔丝部之间,这样可以防止修调单元与晶圆的衬底短路,提高芯片的良率。



1. 一种形成于晶圆上的修调单元,其特征在于,其包括:

第一垫片;

第二垫片;

连接于第一垫片和第二垫片之间的熔丝体,所述熔丝体包括与第一垫片相连的第一导引部、与第二垫片相连的第二导引部和连接于第一导引部和第二导引部之间的熔丝部,每个导引部的宽度均由垫片到熔丝部逐渐变窄,而熔丝部的宽度小于等于所述导引部最窄部分的宽度;

位于所述熔丝部下方的衬垫结构区,该衬垫结构区包括在晶圆上形成于不同高度的多个层,衬垫结构区的每个层包括有多个间隔的格子区以及填充于格子区之间的绝缘区,衬垫结构区的不同层的格子区的材质不同。

2. 根据权利要求 1 所述的形成于晶圆上的修调单元,其特征在于,第一垫片、第二垫片、熔丝体由位于晶圆上的金属层形成。

3. 根据权利要求 2 所述的形成于晶圆上的修调单元,其特征在于,衬垫结构区的每个层为第一多晶硅层、第二多晶硅层、第一垫片所在金属层的下层金属层中的一个,相应的,衬垫结构区的每个层的格子区的材质为第一多晶硅、第二多晶硅、金属中的一种。

4. 根据权利要求 2 所述的形成于晶圆上的修调单元,其特征在于,第一垫片所在金属层为位于晶圆上的顶层金属层,衬垫结构区的不同层中的格子区在所述晶圆表面上的投影互不重叠。

5. 根据权利要求 1-4 任一所述的形成于晶圆上的修调单元,其特征在于,衬垫结构区的每个层的格子区在所述晶圆表面上的投影形状为方形、三角形、五边形或六边形中的一个。

6. 根据权利要求 1-4 任一所述的形成于晶圆上的修调单元,其特征在于,衬垫结构区在所述晶圆表面上的投影区域包含所述熔丝部和部分导引部在所述晶圆表面上的投影区域。

7. 根据权利要求 1-4 任一所述的形成于晶圆上的修调单元,其特征在于,衬垫结构区的每个层的每个格子区的电位是悬浮的。

8. 根据权利要求 1-4 任一所述的形成于晶圆上的修调单元,其特征在于,

在所述修调单元需要被熔断时,将第一个探针与第一垫片接触,将第二个探针与第二垫片接触,在两个探针之间施加一预定电压,此时在熔丝部形成的电流使得该熔丝部熔断。

9. 根据权利要求 1-4 任一所述的形成于晶圆上的修调单元,其特征在于,第一垫片与所述晶圆上的电源端或一个器件中的一个连接端相连,第二垫片与所述晶圆上的另一个电源端或另一个器件中的一个连接端相连。

10. 根据权利要求 9 所述的形成于晶圆上的修调单元,其特征在于,所述器件为电阻。

形成于晶圆上的修调单元

【技术领域】

[0001] 本实用新型涉及半导体技术领域,特别涉及一种形成于晶圆上的修调单元。

【背景技术】

[0002] 目前经常采用金属熔丝作为修调单元。通过其未熔断和熔断来表示数字的逻辑“0”和逻辑“1”。每一个修调单元表示一个二进制数据,多个修调单元可以表示多位二进制数据。利用这些二进制数据可以对模拟电路的一些模拟量进行改变。例如,通过测量修调前的参考电压的电压值,可以计算需要熔断那些修调单元来实现参考电压准确。一般通过在熔丝两端加电压产生较大电流来熔断熔丝。由于所加电流通常很大,超过几百毫安,熔丝汽化时容易撑裂熔丝下部的绝缘层,导致与衬底短路,这样芯片可能失效。此原因会导致一定的良率损失,为了提高芯片良率有必要对现有金属熔丝结构进行改进,减少不良率。

[0003] 因此需要提出一种改进方案来克服现有技术中存在的问题。

【实用新型内容】

[0004] 本实用新型的目的在于提供一种修调单元,其在被熔断时不容易与晶圆的衬底短路,提高了芯片的良率。

[0005] 为了解决上述问题,本实用新型提供一种形成于晶圆上的修调单元,其包括:第一垫片;第二垫片;连接于第一垫片和第二垫片之间的熔丝体,所述熔丝体包括与第一垫片相连的第一导引部、与第二垫片相连的第二导引部和连接于第一导引部和第二导引部之间的熔丝部,每个导引部的宽度均由垫片到熔丝部逐渐变窄,而熔丝部的宽度小于等于所述导引部最窄部分的宽度;位于所述熔丝部下方的衬垫结构区,该衬垫结构区包括在晶圆上形成于不同高度的多个层,衬垫结构区的每个层包括有多个间隔的格子区以及填充于格子区之间的绝缘区,衬垫结构区的不同层的格子区的材质不同。

[0006] 进一步的,第一垫片、第二垫片、熔丝体由位于晶圆上的金属层形成。

[0007] 进一步的,衬垫结构区的每个层为第一多晶硅层、第二多晶硅层、第一垫片所在金属层的下层金属层中的一个,相应的,衬垫结构区的每个层的格子区的材质为第一多晶硅、第二多晶硅、金属中的一种。

[0008] 进一步的,第一垫片所在金属层为位于晶圆上的顶层金属层,衬垫结构区的不同层中的格子区在所述晶圆表面上的投影互不重叠。

[0009] 进一步的,衬垫结构区的每个层的格子区在所述晶圆表面上的投影形状为方形、三角形、五边形或六边形中的一个。

[0010] 进一步的,衬垫结构区在所述晶圆表面上的投影区域包含所述熔丝部和部分导引部在所述晶圆表面上的投影区域。

[0011] 进一步的,衬垫结构区的每个层的每个格子区的电位是悬浮的。

[0012] 进一步的,在所述修调单元需要被熔断时,将第一个探针与第一垫片接触,将第二个探针与第二垫片接触,在两个探针之间施加一预定电压,此时在熔丝部形成的电流使得

该熔丝部熔断。第一垫片与所述晶圆上的电源端或一个器件中的一个连接端相连,第二垫片与所述晶圆上的另一个电源端或另一个器件中的一个连接端相连。所述器件为电阻。

[0013] 与现有技术相比,本实用新型中的修调单元具有位于所述熔丝部下方的衬垫结构区,该衬垫结构区有助于形成阻挡层于衬底和修调单元的熔丝部之间,这样可以防止修调单元与晶圆的衬底短路,提高芯片的良率。

【附图说明】

[0014] 为了更清楚地说明本实用新型实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其它的附图。其中:

[0015] 图 1 为本实用新型中的修调单元在一个实施例中的结构图;

[0016] 图 2 为本实用新型中的修调单元在一个实施例中的熔丝体部分的俯视局部放大示意图。

【具体实施方式】

[0017] 为使本实用新型的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实施方式对本实用新型作进一步详细的说明。

[0018] 此处所称的“一个实施例”或“实施例”是指可包含于本实用新型至少一个实现方式中的特定特征、结构或特性。在本说明书中不同地方出现的“在一个实施例中”并非均指同一个实施例,也不是单独的或选择性的与其他实施例互相排斥的实施例。除非特别说明,本文中的连接、相连、相接的表示电性连接的词均表示直接或间接电性相连。

[0019] 图 1 描述了本实用新型中的修调单元 100 在一个实施例中的结构图。所述修调单元 100 形成于晶圆上,所述修调单元包括第一垫片 PAD1、第二垫片 PAD2、连接于第一垫片 PAD1 和第二垫片 PAD2 之间的熔丝体。

[0020] 所述熔丝体包括与第一垫片 PAD1 相连的第一导引部 11、与第二垫片 PAD2 相连的第二导引部 12 和连接于第一导引部 11 和第二导引部 12 之间的熔丝部 13。第一导引部 11 的宽度由第一垫片 PAD1 到熔丝 13 逐渐变窄,第二导引部 12 的宽度由第二垫片 PAD2 到熔丝部 13 逐渐变窄,而熔丝部 13 的宽度小于等于所述导引部 11 和 12 最窄部分的宽度。

[0021] 在一个实施例中,第一垫片 PAD1 与所述晶圆上的电源端或一个器件中的一个连接端相连,第二垫片 PAD2 与所述晶圆上的另一个电源端或另一个器件中的一个连接端相连。所述器件可以为电阻,此时可以通过修调单元来调节电阻的大小。

[0022] 在需要熔断所述修调单元 100 时,将第一个探针与第一垫片 PAD1 接触,将第二个探针与第二垫片 PAD2 接触,在两个探针之间施加一预定电压,大电流会在熔丝部 13 上汇聚,其宽度最窄,电流密度最大,所以被熔断。在现有技术中,该熔丝部 13 熔断后会汽化而撑裂熔丝部 13 下的绝缘层,与晶圆的衬底短路,这种短路会导致从衬垫 PAD1 和 PAD2(一般正常工作时有电压信号)到衬底的漏电,增大电路的静态功耗,同时会导致衬垫 PAD1 和 PAD2 的电压信号异常。

[0023] 为了解决上述问题,如图 2 所示,本实用新型中修调单元 100 还包括位于所述熔丝

部 13 下方的衬垫结构区 14。该衬垫结构区 14 包括在晶圆上形成于不同高度的多个层,该衬垫结构区 14 的每个层包括有多个间隔的格子区以及填充于格子区之间的绝缘区。衬垫结构区 14 的不同层的格子区的材质不同。

[0024] 在一个实施例中,第一垫片 PAD1、第二垫片 PAD2、熔丝体通常由位于晶圆上的顶层金属层形成,当然也可以是其他金属层形成。此时,衬垫结构区 14 的每个层可以是第一多晶硅层、第二多晶硅层、熔丝体所在金属层的下层金属层中的一个,相应的,衬垫结构区 14 的每个层的格子区的材质为第一多晶硅、第二多晶硅、金属中的一种。举例来说,衬垫结构区 14 的一个层是由第一多晶硅层形成的,那么该层中的格子区的材质就是第一多晶硅;衬垫结构区 14 的一个层是由第二多晶硅层形成的,那么该层中的格子区的材质就是第二多晶硅;衬垫结构区 14 的一个层是由第 2 金属层形成的,那么该层中的格子区的材质就是金属。

[0025] 其中,衬垫结构区 14 的每个层的每个格子区的电位是悬浮的。衬垫结构区 14 在所述晶圆表面上的投影区域包含所有熔丝部 13 和部分导引部 11 和 12 在所述晶圆表面上的投影区域。在一个特别的实施例中,衬垫结构区 14 的不同层中的格子区在所述晶圆表面上的投影互不重叠。

[0026] 如图 2 所示,在此例中,熔丝体采用第 3 层金属形成,在衬垫结构区 14 中,第一类方块(填充了网格)位于第一多晶硅层,它们是由第一多晶硅形成的,这些方块的区域就是第一多晶硅层的格子区,该层的其他区域被填充了绝缘层(未图示)以形成绝缘区。第二类方块(填充了斜线)位于第二多晶硅层,它们是由第二多晶硅形成的,这些方块的区域就是第二多晶硅层的格子区,该层的其他区域被填充了绝缘层(未图示)以形成绝缘区;第三类方块(未填充)位于第一金属层,它们是由第一金属形成的,这些方块的区域就是第一金属层的格子区,该层的其他区域被填充了绝缘层(未图示)以形成绝缘区。所属领域内的普通技术人员所熟知的是,第一多晶硅层、第二多晶硅层和各个金属层是位于所述晶圆上的不同高度的层,图 2 是这些不同层的俯视重叠图,换句话说,图 2 中的第一类方块、第二类方块和第三类方块不属于同一个层,而是属于不同高度的不同层。

[0027] 如图 2 所示,实际设计时,这些层次可以任意选择,例如:第一类方块可以为第二多晶硅层形成,第二类方块可以为第一金属层形成,第三类方块可以为第一多晶硅层形成。各个方块的电位悬浮,即未连接至任何电位。

[0028] 这样,衬垫结构区 14 有助于形成阻挡层于晶圆的衬底和熔丝部 13 之间,当熔丝部 13 被熔断时,即便是熔丝部 13 向下与某些小方块(衬垫结构区 14 的不同层中的格子区)短路,但由于不同材质的小方块位于不同高度,相邻的小方块不易全电气连接,所以不易导致短路,这样可以有效防止熔丝部 13 被熔断后左右两个衬垫 PAD1 和 PAD2 仍被短路的情况。另外,衬垫结构区 14 防止金属层与晶圆的衬底短路。

[0029] 应注意到,图 2 只是一种示意图,实际的衬垫结构区的不同层的格子区形状不一定为方形,可以为其他任何形状,比如三角形、五边形或六边形等,只要是每个层被分割成多个小块,防止熔断后两个垫片 PAD1 和 PAD2 因为残余金属通过大片导体而短路。

[0030] 在本实用新型中,“连接”、“相连”、“连”、“接”等表示电性连接的词语,如无特别说明,则表示直接或间接的电性连接。

[0031] 需要指出的是,熟悉该领域的技术人员对本实用新型的具体实施方式所做的任何

改动均不脱离本实用新型的权利要求书的范围。相应地,本实用新型的权利要求的范围也并不仅仅局限于前述具体实施方式。

