



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I557855 B

(45) 公告日：中華民國 105 (2016) 年 11 月 11 日

(21) 申請案號：100149852

(22) 申請日：中華民國 100 (2011) 年 12 月 30 日

(51) Int. Cl. : H01L23/13 (2006.01)

H01L21/02 (2006.01)

(71) 申請人：旭德科技股份有限公司 (中華民國) SUBTRON TECHNOLOGY CO. LTD. (TW)

新竹工業區光復北路 8 號

(72) 發明人：孫世豪 SUN, SHIH HAO (TW)

(74) 代理人：詹銘文；葉璟宗

(56) 參考文獻：

TW I341002B

TW 201108905A1

TW 201142958A1

審查人員：陳聖

申請專利範圍項數：7 項 圖式數：2 共 26 頁

(54) 名稱

封裝載板及其製作方法

PACKAGE CARRIER AND MANUFACTURING METHOD THEREOF

(57) 摘要

一種封裝載板的製作方法。提供一具有一上表面的支撐板。形成一圖案化線路層於支撐板的上表面上。圖案化線路層暴露出部分上表面。壓合一絕緣層及一位於絕緣層之一第一表面上的導電層於圖案化線路層上。絕緣層覆蓋圖案化線路層與圖案化線路層所暴露出的部分上表面。形成多個導電連接結構於圖案化線路層上。圖案化導電層以定義出多個分別連接導電連接結構且暴露出絕緣層之部分第一表面的接墊。移除支撐板以暴露出絕緣層相對於第一表面的一第二表面。絕緣層的第二表面與圖案化線路層的一接合表面齊平。

A manufacturing method of a package carrier is provided. A supporting plate having an upper surface is provided. A patterned circuit layer is formed on the upper surface of the supporting plate. A portion of the upper surface is exposed by the patterned circuit layer. An insulating layer and a conductive layer located at a first surface of the insulating layer are laminated on the patterned circuit layer. The insulating layer covers the patterned circuit layer and the portion of the upper surface exposed by the patterned circuit layer. A plurality of conductive connection structures are formed on the patterned circuit layer. A plurality of pads respectively connecting the conductive connection structures and exposing a portion of the first surface of the insulating layer is defined by patterning the conductive layer. The supporting plate is removed so as to expose a second surface opposite to the first surface of the insulating layer. The second surface of the insulating layer and a bonding surface of the patterned circuit layer are coplanar.

指定代表圖：

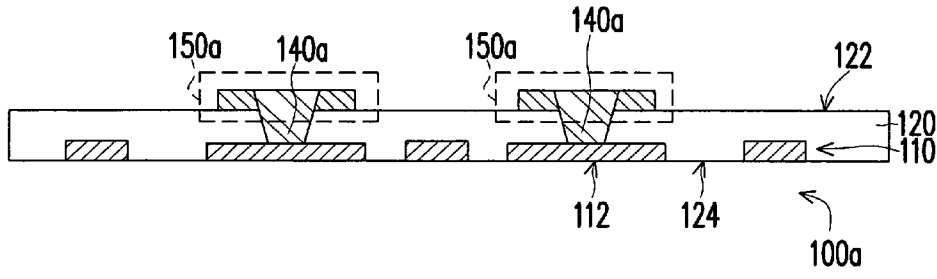


圖 1E

符號簡單說明：

- 100a . . . 封裝載板
- 110 . . . 圖案化線路層
- 112 . . . 接合表面
- 120 . . . 絕緣層
- 122 . . . 第一表面
- 124 . . . 第二表面
- 140a . . . 導電連接結構
- 150a . . . 接墊

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100149852

※申請日：100.12.30 ※IPC 分類：H01L 23/15 (2006.01)
H01L 21/02 (2006.01)

一、發明名稱：

封裝載板及其製作方法 / PACKAGE CARRIER AND
MANUFACTURING METHOD THEREOF

二、中文發明摘要：

一種封裝載板的製作方法。提供一具有一上表面的支撐板。形成一圖案化線路層於支撐板的上表面上。圖案化線路層暴露出部分上表面。壓合一絕緣層及一位於絕緣層之一第一表面上的導電層於圖案化線路層上。絕緣層覆蓋圖案化線路層與圖案化線路層所暴露出的部分上表面。形成多個導電連接結構於圖案化線路層上。圖案化導電層以定義出多個分別連接導電連接結構且暴露出絕緣層之部分第一表面的接墊。移除支撐板以暴露出絕緣層相對於第一表面的一第二表面。絕緣層的第二表面與圖案化線路層的一接合表面齊平。

三、英文發明摘要：

A manufacturing method of a package carrier is provided. A supporting plate having an upper surface is provided. A patterned circuit layer is formed on the upper

surface of the supporting plate. A portion of the upper surface is exposed by the patterned circuit layer. An insulating layer and a conductive layer located at a first surface of the insulating layer are laminated on the patterned circuit layer. The insulating layer covers the patterned circuit layer and the portion of the upper surface exposed by the patterned circuit layer. A plurality of conductive connection structures are formed on the patterned circuit layer. A plurality of pads respectively connecting the conductive connection structures and exposing a portion of the first surface of the insulating layer is defined by patterning the conductive layer. The supporting plate is removed so as to expose a second surface opposite to the first surface of the insulating layer. The second surface of the insulating layer and a bonding surface of the patterned circuit layer are coplanar.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1E

(二) 本代表圖之元件符號簡單說明：

100a：封裝載板

110：圖案化線路層

112：接合表面

120：絕緣層

122：第一表面

124：第二表面

140a：導電連接結構

150a：接墊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種封裝結構及其製作方法，且特別是有關於一種封裝載板及其製作方法。

【先前技術】

晶片封裝的目的在於保護裸露的晶片、降低晶片接點的密度及提供晶片良好的散熱。常見的封裝方法是晶片透過打線接合 (wire bonding) 或覆晶接合 (flip chip bonding) 等方式而安裝至一封裝載板，以使晶片上的接點可電性連接至封裝載板。因此，晶片的接點分佈可藉由封裝載板重新配置，以符合下一層級的外部元件的接點分佈。

一般來說，封裝載板的製作通常是以核心 (core) 介電層作為蕊材，並利用全加成法 (fully additive process)、半加成法 (semi-additive process)、減成法 (subtractive process) 或其他方式，將圖案化線路層與圖案化介電層交錯堆疊於核心介電層上。如此一來，核心介電層在封裝載板的整體厚度上便會佔著相當大的比例。因此，若無法有效地縮減核心介電層的厚度，勢必會使封裝結構於厚度縮減上產生極大的障礙。

【發明內容】

本發明提供一種封裝載板，適於承載至少一晶片。

本發明提供一種封裝載板的製作方法，用以製作上述之封裝載板。

本發明提出一種封裝載板的製作方法，其包括以下步驟。提供一支撐板。支撐板具有一上表面。形成一圖案化線路層於支撐板的上表面上，其中圖案化線路層暴露出部分上表面。壓合一絕緣層及一位於絕緣層之一第一表面上的導電層於圖案化線路層上，其中絕緣層覆蓋圖案化線路層與圖案化線路層所暴露出的部分上表面。形成多個導電連接結構於圖案化線路層上。圖案化上上述之導電層以定義出多個分別連接導電連接結構且暴露出絕緣層之部分第一表面的接墊。移除支撐板，以暴露出絕緣層相對於第一表面的一第二表面，其中絕緣層的第二表面與圖案化線路層的一接合表面齊平。

本發明還提出一種封裝載板，適於承載至少一晶片。封裝載板包括一絕緣層、一圖案化線路層、多個導電連接結構以及多個接墊。絕緣層具有彼此相對之一第一表面與一第二表面。圖案化線路層內埋於絕緣層的第二表面，且具有一接合表面。絕緣層的第二表面與圖案化線路層的接合表面齊平，且晶片配置於圖案化線路層上。導電連接結構內埋於絕緣層中，且連接圖案化線路層。接墊配置於絕緣層的第一表面上，且分別連接導電連接結構。

基於上述，由於本發明是先以支撐板做為一支撐結構，且將圖案化線路層、絕緣層、導電連接結構及接墊形成於支撐板上後，移除支撐板而完成封裝載板的製作。因此，相較於習知具有核心介電層的封裝結構而言，本發明之封裝載板可具有較薄的封裝厚度。再者，由於本發明之

封裝載板的圖案化線路層是內埋於絕緣層，因此當晶片配置於圖案化線路層上而構成一封裝結構時，此封裝結構可具有較薄的封裝厚度。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1A 至圖 1E 為本發明之一實施例之一種封裝載板的製作方法的剖面示意圖。請先參考圖 1A，依照本實施例的封裝載板的製作方法，首先，提供一支撐板 10，其中支撐板 10 具有一上表面 12。接著，形成一圖案化線路層 110 於支撐板 10 的上表面 12 上，其中圖案化線路層 110 暴露出支撐板 10 的部分上表面 12，且圖案化線路層 110 的線寬例如是介於 15 微米至 35 微米之間，而圖案化線路層 110 的線距至少大於 15 微米。意即，於此之圖案化線路層 110 可視為一種細線路。

需說明的是，在本實施例中，形成圖案化線路層 110 的方法是電鍍法 (plating)，必須先形成一電鍍種子層 (未繪示) 於支撐板 10 上，之後再以此電鍍種子層為電極，電鍍形成此圖案化線路層 110，因此支撐板 10 的材質可採用絕緣材料或金屬材料。

接著，請參考圖 1B(a)，壓合一絕緣層 120 及一位於絕緣層 120 之一第一表面 122 上的導電層 130a 於圖案化線路層 110 上，其中絕緣層 120 覆蓋圖案化線路層 110 與圖案化線路層 110 所暴露出的支撐板 10 的部分上表面 12。

接著，請參考圖 1C(a)，對導電層 130a 照射一雷射光束（未繪示），以形成多個從導電層 130a 延伸至圖案化線路層 110 的盲孔 H。接著，並填入一導電材料 142 於盲孔 H 內，而形成導電連接結構 140a，其中導電連接結構 140a 連接導電層 130a 與圖案化線路層 110，且每一導電連接結構 140a 的一下表面 144 與導電層 130a 的一底表面 132 實質上齊平。

值得一提的是，本發明並不限定壓合絕緣層 120 及其上之導電層 130a 於圖案化線路層 110 上以及形成導電連接結構 140a 的順序，以及導電連接結構 140a 的結構形態。雖然此處所提及的步驟是先壓合絕緣層 120 及其上之導電層 130a 於圖案化線路層 110 上之後，再形成導電連接結構 140a，且此導電連接結構 140a 具體化為一導電盲孔連接結構。然而，於其他實施例中，請參考圖 1B(b)，亦可先形成導電連接結構 140b 於圖案化線路層 110 上之後，之後，請參考圖 1C(b)，再壓合絕緣層 120 及其上之導電層 130b 於圖案化線路層 110 上。此時，導電連接結構 140b 會穿出絕緣層 120 且與導電層 130b 接觸，其中導電連接結構 140b 的一表面 146 與絕緣層 120 的第一表面 122 實質上切齊，且此導電連接結構 140b 具體化為一導電柱。此外，絕緣層 120 包覆導電連接結構 140b，且導電連接結構 140b 位於導電層 130b 與圖案化線路層 110 之間。上述之步驟仍屬於本發明可採用的技術方案，不脫離本發明所欲保護的範圍。

之後，接續圖 1C(a)之步驟後，請參考圖 1D，圖案化

上述之導電層 130a，以定義出多個分別連接導電連接結構 140a 且暴露出絕緣層 120 之部分第一表面 122 的接墊 150a。

最後，請同時參考圖 1D 與圖 1E，移除支撐板 10，以暴露出絕緣層 120 相對於第一表面 122 的一第二表面 124，其中絕緣層 120 的第二表面 124 與圖案化線路層 110 的一接合表面 112 實質上齊平。至此，已完成封裝載板 100a 的製作。

在結構上，請再參考圖 1E，本實施例之封裝載板 100a 包括圖案化線路層 110、絕緣層 120、導電連接結構 140a 以及接墊 150a。絕緣層 120 具有彼此相對之第一表面 122 與第二表面 124。圖案化線路層 110 內埋於絕緣層 120 的第二表面 124 且具有一接合表面 112。絕緣層 120 的第二表面 124 與圖案化線路層 110 的接合表面 112 實質上齊平。導電連接結構 140a 內埋於絕緣層 120 中且連接圖案化線路層 110。接墊 150a 配置於絕緣層 120 的第一表面 122 上且分別連接導電連接結構 140a。

由於本實施例是先以支撐板 10 做為一支撐結構，且將圖案化線路層 110、絕緣層 120、導電連接結構 140a 及接墊 150a 形成於支撐板 10 上後，移除支撐板 10 而完成封裝載板 100a 的製作。因此，相較於習知具有核心介電層的封裝結構而言，本實施例之封裝載板 100a 無須支撐結構（即支撐板 10 或習知之核心介電層）的厚度，可具有較薄的封裝厚度。再者，由於本實施例之封裝載板 100a 的圖案

化線路層 110 是內埋於絕緣層 120，因此當將一晶片（未繪示）配置於封裝載板 100a 的圖案化線路層 110 上而構成一封裝結構時，此封裝結構可具有較薄的封裝厚度，以符合現今薄型化的趨勢。

值得一提的是，本發明並不限定絕緣層 120、導電層 130a（或 130b）及導電連接結構 140a（或 140b）的層數，雖然與此所形成之絕緣層 120、導電層 130a（或 130b）及導電連接結構 140a（或 140b）的層數實質上各為一層。但於其他未繪示的實施例中，本領域的技術人員當可參照前述實施例之圖 1B(a)、1C(a)、1B(b)、1C(b)說明，依據實際需求，重複前述 1B(a)、1C(a)、1B(b)、1C(b)的步驟，而形成具有多層導電層之封裝載板的結構，以達到所需的技術效果。

在此必須說明的是，下述實施例沿用前述實施例的元件標號與部分內容，其中採用相同的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，下述實施例不再重複贅述。

圖 1F 為本發明之一實施例之一種封裝載板的剖面示意圖。請參考圖 1F，本實施例之封裝載板 100b 與圖 1E 之封裝載板 100a 相似，惟二者主要差異之處在於：本實施例之封裝載板 100b 更包括一防銲層 160，其中防銲層 160 配置於絕緣層 120 的第二表面 124 上，其中防銲層 160 暴露出圖案化線路層 110 的部分接合表面 112。

在製程上，本實施例的封裝載板 100b 可以採用與前

述實施例之封裝載板 100a 大致相同的製作方式，並且在圖 1E 的步驟後，即移除支撐板 10 之後，形成一防銲層 160 於絕緣層 120 的第二表面 124 上，其中防銲層 160 暴露出圖案化線路層 110 的部分接合表面 112，用以可作為後續晶片（未繪示）與銲線（未繪示）的接合位置。此即可大致完成封裝載板 100b 的製作。

圖 1G 為本發明之另一實施例之一種封裝載板的剖面示意圖。請參考圖 1G，本實施例之封裝載板 100c 與圖 1F 之封裝載板 100b 相似，惟二者主要差異之處在於：本實施例之封裝載板 100c 更包括一表面處理層 170，其中表面處理層 170 配置於圖案化線路層 110 的接合表面 112 上，且表面處理層 170 的材質包括金、銀、鎳/金、鎳/鈦/金、鎳/銀或其他適當的金屬材質。

在製程上，本實施例的封裝載板 100c 可以採用與前述實施例之封裝載板 100b 大致相同的製作方式，並且在圖 1F 的步驟後，即形成防銲層 160 之後，形成一表面處理層 170 於未被防銲層 160 所覆蓋之圖案化線路層 110 的接合表面 112 上，用以避免圖案化線路層 110 產生氧化而影響後續晶片（未繪示）與銲線（未繪示）接合的可靠度。此即可大致完成封裝載板 100c 的製作。

圖 1H 為本發明之又一實施例之一種封裝載板的剖面示意圖。請參考圖 1H，本實施例之封裝載板 100d 與圖 1E 之封裝載板 100a 相似，惟二者主要差異之處在於：本實施例之封裝載板 100d 更包括一表面處理層 170，其中表面處

理層 170 配置於圖案化線路層 110 的接合表面 112 上，且表面處理層 170 的材質包括金、銀、鎳/金、鎳/鈦/金、鎳/銀或其他適當的金屬材質。

在製程上，本實施例的封裝載板 100d 可以採用與前述實施例之封裝載板 100a 大致相同的製作方式，並且在圖 1E 的步驟後，即移除支撐板 10 之後，形成一表面處理層 170 於圖案化線路層 110 的接合表面 112 上，用以避免圖案化線路層 110 產生氧化而影響後續晶片（未繪示）與錫線（未繪示）接合的可靠度。此即可大致完成封裝載板 100d 的製作。

圖 2A 為為本發明之一實施例之一種封裝載板承載多個晶片的剖面示意圖。請參考圖 2A，本實施例之封裝載板 100c 適於承載至少一晶片（圖 2A 中繪示兩個晶片 200a、200b），其中晶片 200a、200b 配置於圖案化線路層 110 上方之表面處理層 170 上，且晶片 200a、200b 例如是一積體電路晶片，其例如為一繪圖晶片、一記憶體晶片等單一晶片或是一晶片模組，或者是一光電晶片，其例如是一發光二極體（LED）晶片或一雷射二極體晶片，於此並不加以限制晶片 200a、200b 的種類與型態。

詳細來說，本實施例之圖案化線路層 110 包括至少一晶片接墊（圖 2A 中示意地繪示二個晶片接墊 114a、114b）與多個接合接墊 116（圖 2A 中示意地繪示二個），其中晶片 200a、200b 分別配置於晶片接墊 114 a、114b 上，且晶片 200a、200b 分別透過至少一錫線 220 而連接至接合接墊

116 上。於此，晶片 200a、200b 有部分區域是埋入於防銲層 160 與表面處理層 170 所構成的一空間中。再者，本實施例可藉由一封裝膠體 210 來包覆晶片 200a、200b、銲線 220 以及部分封裝載板 100c，用以保護晶片 200a、200b、銲線 220 與封裝載板 100c 之間的電性連接關係。此外，本實施例亦可透過多個銲球 230 銲接至接墊 150a 上，來使封裝載板 100c 透過銲球 230 與外部電路(未繪示)電性連接。

值得一提的是，於其他實施例中，請參考圖 2B，晶片 200a、200b 亦可配置於具有導電柱形態之導電連接結構 140b 的封裝載板 100e 上，其中接墊 150b 是對導電層 130b (請參考圖 1C(b)) 進行一圖案化的步驟所構成；或者是，請參考圖 2C，晶片 200a、200b 亦可配置封裝載板 100d 上，其中圖案化線路層 110 具有三個接合接墊 116；亦或是，請參考圖 2D，晶片 200a、200b 亦可配置於封裝載板 100f，且透過銲線 220 與接合接墊 116 電性連接，其中此封裝載板 100f 與圖 1E 之封裝載板 100a 相似，差異之處在於：封裝載板 100f 具有導電柱形態之導電連接結構 140b 以及配置於圖案化線路層 110 的接合表面 112 上的表面處理層 170，其中接墊 150b 是對導電層 130b (請參考圖 1C(b)) 進行一圖案化的步驟所構成。

此外，於其他未繪示的實施例中，於亦可選用於如前述實施例所提及之封裝載板 100a、100b 本領域的技術人員當可參照前述實施例的說明，依據實際需求，將晶片 200a、200b 配置於所選用之前述構件上，以達到所需的技術效果。

綜上所述，由於本發明是先以支撐板做為一支撐結構，且將圖案化線路層、絕緣層、導電連接結構及接墊形成於支撐板上後，移除支撐板而完成封裝載板的製作。因此，相較於習知具有核心介電層的封裝結構而言，本發明之封裝載板可具有較薄的封裝厚度。再者，由於本發明之封裝載板的圖案化線路層是內埋於絕緣層，因此當晶片配置於圖案化線路層上而構成一封裝結構時，此封裝結構可具有較薄的封裝厚度。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至圖 1E 為本發明之一實施例之一種封裝載板的製作方法的剖面示意圖。

圖 1F 為本發明之一實施例之一種封裝載板的剖面示意圖。

圖 1G 為本發明之另一實施例之一種封裝載板的剖面示意圖。

圖 1H 為本發明之又一實施例之一種封裝載板的剖面示意圖。

圖 2A 為本發明之一實施例之一種封裝載板承載多個晶片的剖面示意圖。

圖 2B 為本發明另之一實施例之一種封裝載板承載多個晶片的剖面示意圖。

圖 2C 為本發明又之一實施例之一種封裝載板承載多個晶片的剖面示意圖。

圖 2D 為本發明再之一實施例之一種封裝載板承載多個晶片的剖面示意圖。

【主要元件符號說明】

10：支撐板

12：上表面

100a、100b、100c、100d、100e、100f：封裝載板

110：圖案化線路層

112：接合表面

114a、114b：晶片接墊

116：接合接墊

120：絕緣層

122：第一表面

124：第二表面

130a、130b：導電層

132：底表面

140a、140b：導電連接結構

142：導電材料

144：下表面

146：表面

150a、150b：接墊

160：防銲層

170：表面處理層

200a、200b：晶片

210：封裝膠體

220：銲線

230：銲球

H：盲孔

七、申請專利範圍：

1. 一種封裝載板的製作方法，包括：

提供一支撐板，該支撐板具有一上表面；

形成一圖案化線路層於該支撐板的該上表面上，其中該圖案化線路層暴露出部分該上表面，其中該圖案化線路層包括至少一晶片接墊；

壓合一絕緣層及一位於該絕緣層之一第一表面上的導電層於該圖案化線路層上，其中該絕緣層覆蓋該圖案化線路層與該圖案化線路層所暴露出的部分該上表面；

形成多個導電連接結構於該圖案化線路層上；

圖案化該導電層，以定義出多個分別連接該些導電連接結構且暴露出該絕緣層之部分該第一表面的接墊；以及

移除該支撐板，以暴露出該絕緣層相對於該第一表面的一第二表面，其中該絕緣層的該第二表面與該圖案化線路層的一接合表面齊平；

於移除該支撐板之後，形成一表面處理層於該圖案化線路層的該接合表面上，且該表面處理層位在一晶片以及該晶片接墊之間；以及

於移除該支撐板之後，形成一防銲層於該絕緣層的該第二表面上，其中該防銲層暴露出該圖案化線路層的部分該接合表面，且該晶片的一部分區域埋入於該防銲層與該表面處理層所構成的一空間中。

2. 如申請專利範圍第 1 項所述之封裝載板的製作方法，其中形成該些導電連接結構於該圖案化線路層上的步

驟是在壓合該絕緣層及其上之該導電層於該圖案化線路層上之後，而形成該些導電連接結構於該圖案化線路層上的步驟包括：

對該導電層照射一雷射光束，以形成多個從該導電層延伸至該圖案化線路層的盲孔；以及

填入一導電材料於該些盲孔內，而形成該些導電連接結構，其中該些導電連接結構連接該導電層與該圖案化線路層，且各該導電連接結構的一下表面與該導電層的一底表面齊平。

3. 如申請專利範圍第 1 項所述之封裝載板的製作方法，其中形成該些導電連接結構於該圖案化線路層上的步驟是在壓合該絕緣層及其上之該導電層於該圖案化線路層上之前，而壓合該絕緣層及其上之該導電層於該圖案化線路層上之後，該絕緣層包覆該些導電連接結構，且該些導電連接結構位於該導電層與該圖案化線路層之間。

4. 一種封裝載板，適於承載至少一晶片，該封裝載板包括：

一絕緣層，具有彼此相對之一第一表面與一第二表面；

一圖案化線路層，內埋於該絕緣層的該第二表面，且具有一接合表面，其中該絕緣層的該第二表面與該圖案化線路層的該接合表面齊平，且該晶片配置於該圖案化線路層的該接合表面上，其中該圖案化線路層包括至少一晶片接墊，該晶片配置於該晶片接墊上；

多個導電連接結構，內埋於該絕緣層中，且連接該圖

案化線路層；

多個接墊，配置於該絕緣層的該第一表面上，且分別連接該些導電連接結構；

一表面處理層，配置於該晶片以及該晶片接墊之間；
以及

一防銲層，配置於該絕緣層的該第二表面上，其中該防銲層暴露出該圖案化線路層的部分該接合表面，而該晶片的一部分區域埋入於該防銲層與該表面處理層所構成的一空間中，且該晶片的下表面低於該防銲層的上表面。

5. 如申請專利範圍第4項所述之封裝載板，其中該圖案化線路層包括多個接合接墊，且該晶片透過至少一銲線連接至該些接合接墊之一上。

6. 如申請專利範圍第4項所述之封裝載板，其中該圖案化線路層的線寬介於15微米至35微米之間，而該圖案化線路層的線距至少大於15微米。

7. 一種封裝結構，包括：

一晶片；

一絕緣層，具有彼此相對之一第一表面與一第二表面；

一圖案化線路層，內埋於該絕緣層的該第二表面，且具有一接合表面，其中該絕緣層的該第二表面與該圖案化線路層的該接合表面齊平，且該晶片配置於該圖案化線路層的該接合表面上，其中該圖案化線路層包括至少一晶片接墊，該晶片配置於該晶片接墊上；

多個導電連接結構，內埋於該絕緣層中，且連接該圖案化線路層；

多個接墊，配置於該絕緣層的該第一表面上，且分別連接該些導電連接結構；

一表面處理層，配置於該晶片以及該晶片接墊之間；
以及

一防銲層，配置於該絕緣層的該第二表面上，其中該防銲層暴露出該圖案化線路層的部分該接合表面，而該晶片的一部分區域埋入於該防銲層與該表面處理層所構成的一空間中，且該晶片的一下表面低於該防銲層的一上表面。

八、圖式：

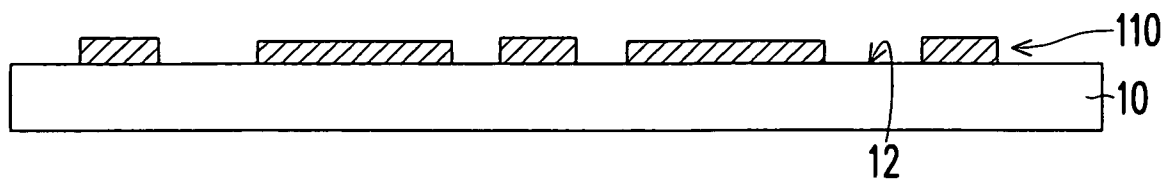


圖 1A

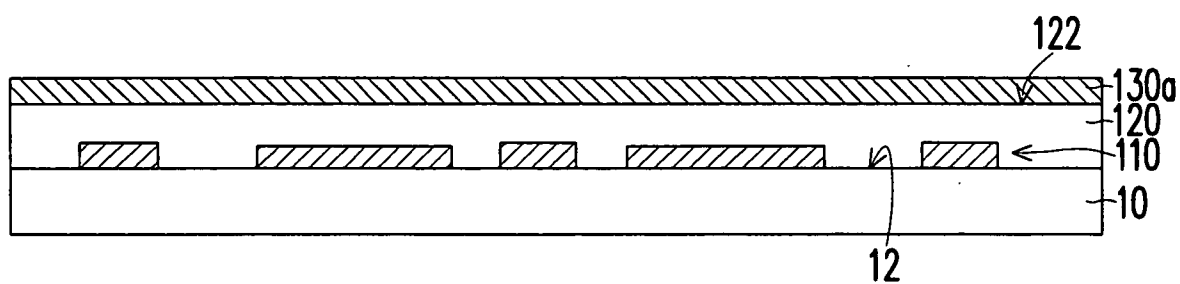


圖 1B(a)

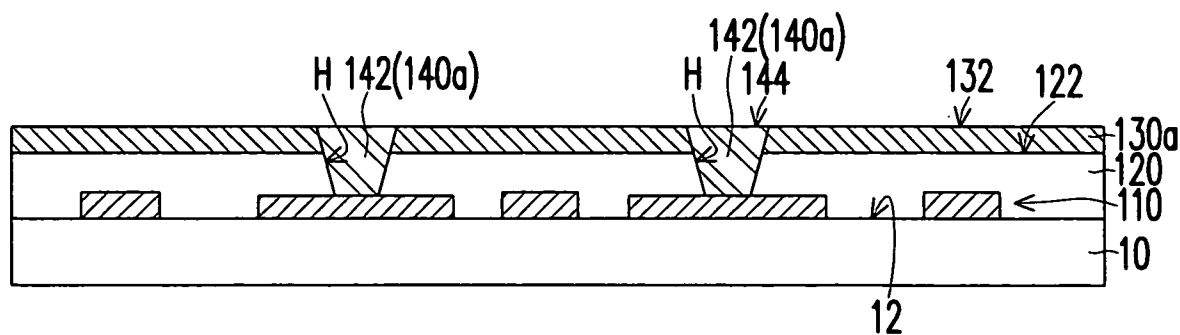


圖 1C(a)

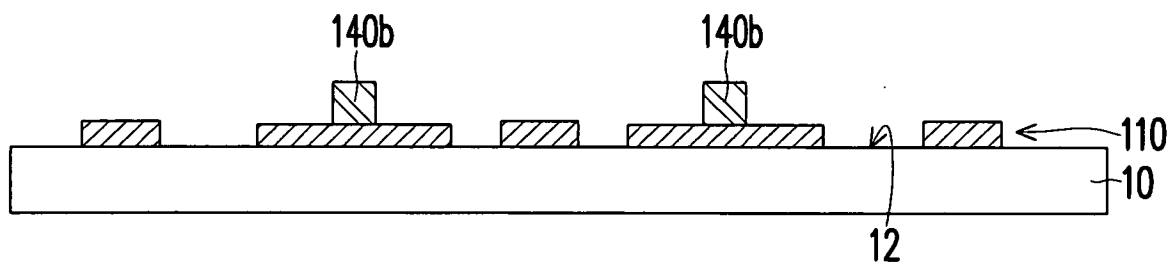


圖 1B(b)

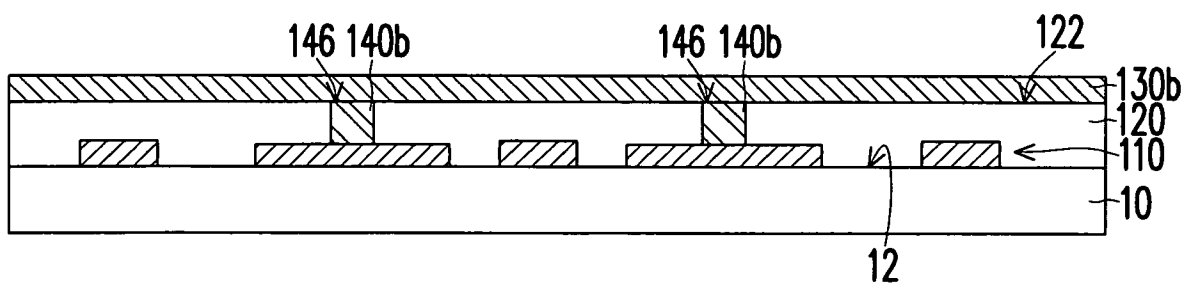


圖 1C(b)

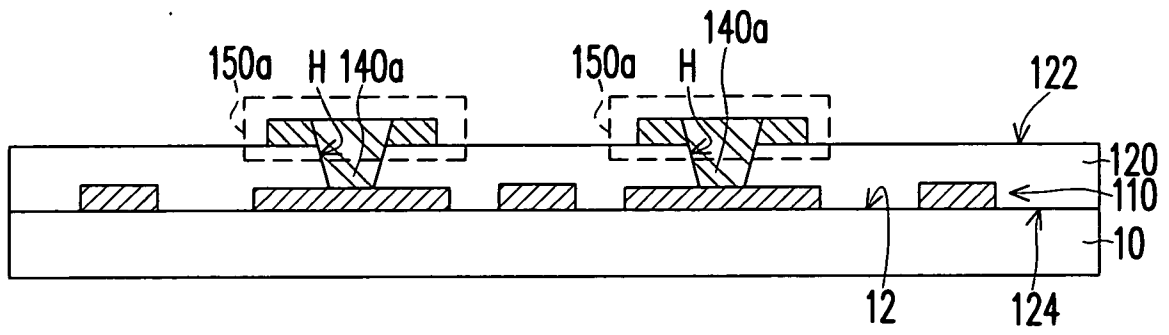


圖 1D

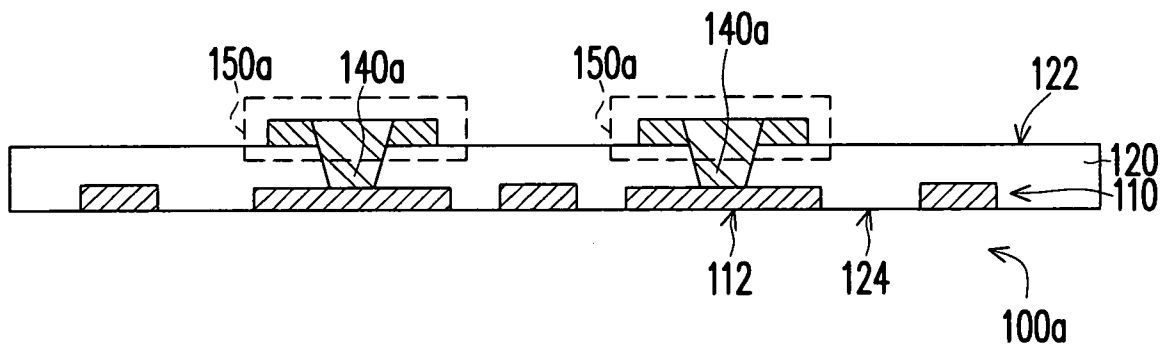


圖 1E

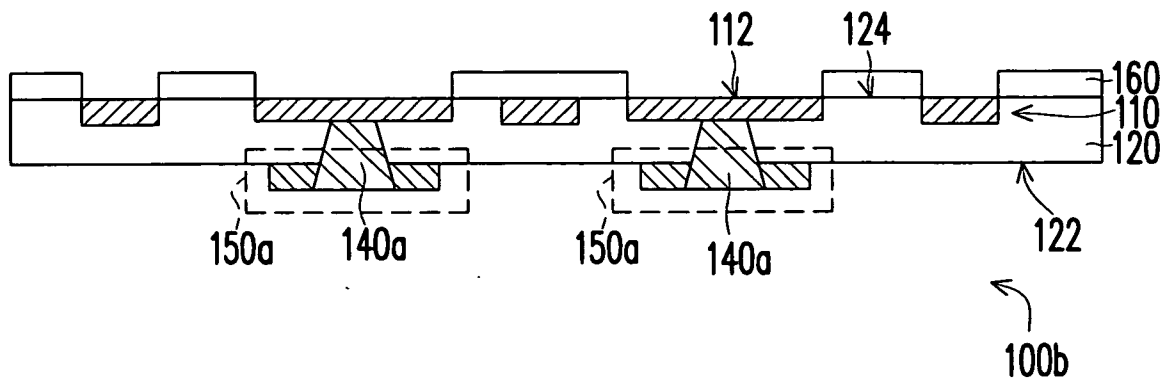


圖 1F

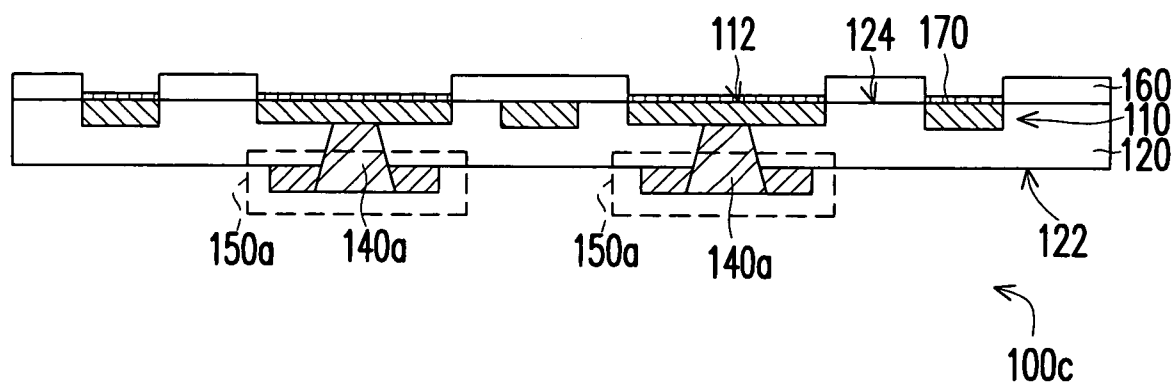


圖 1G

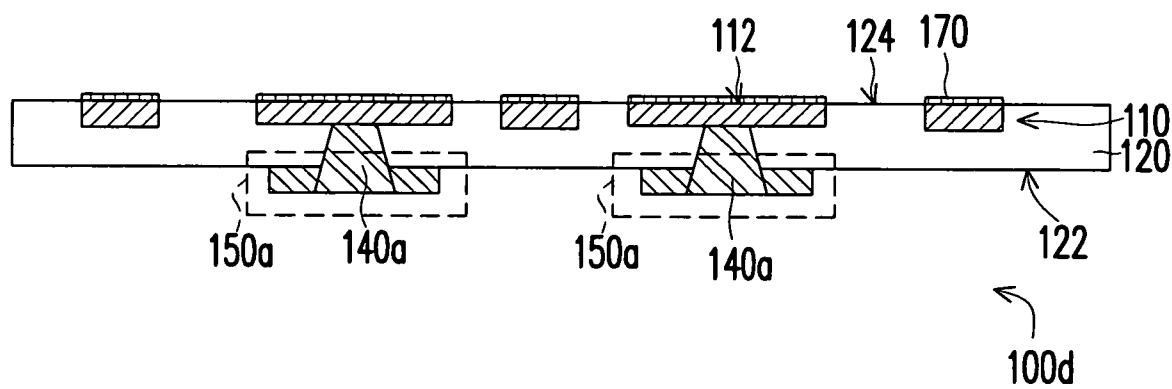


圖 1H

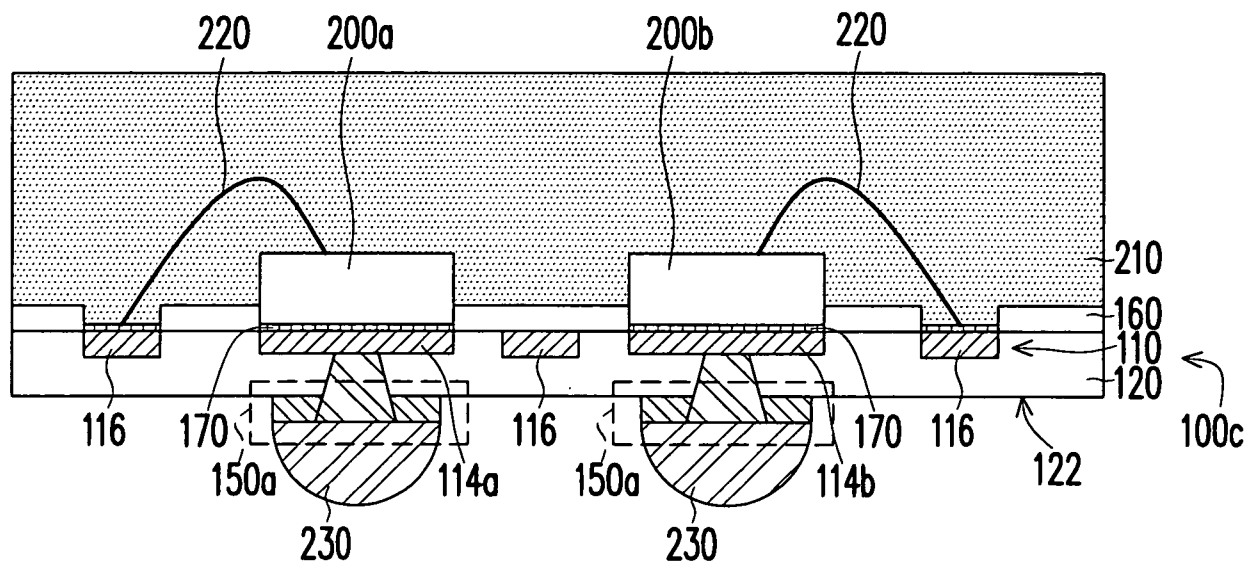


圖 2A

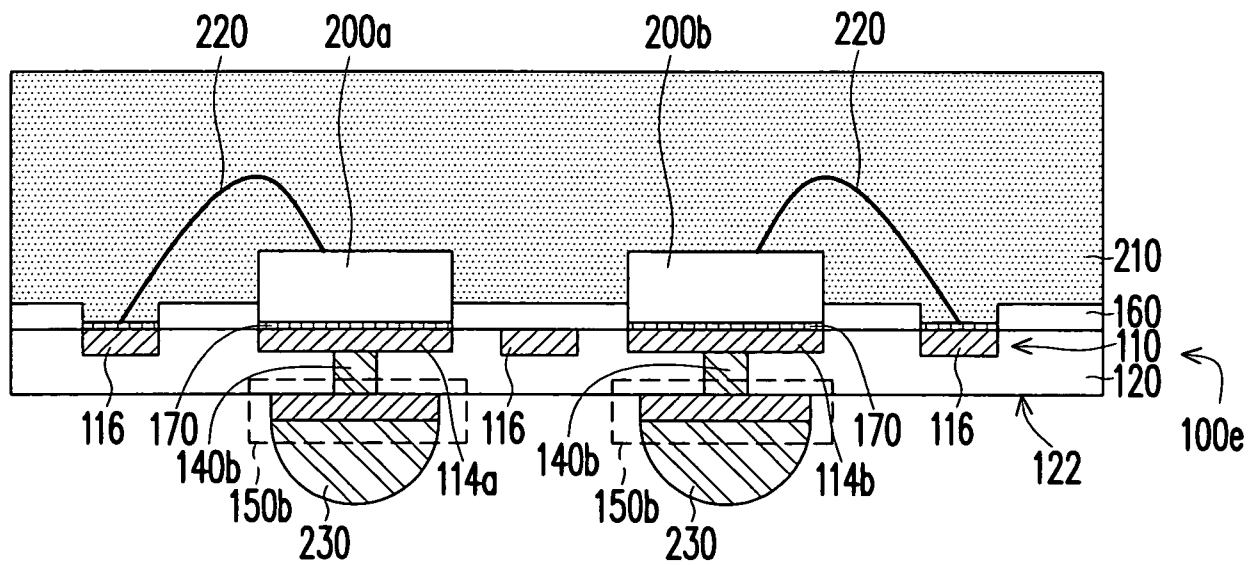


圖 2B

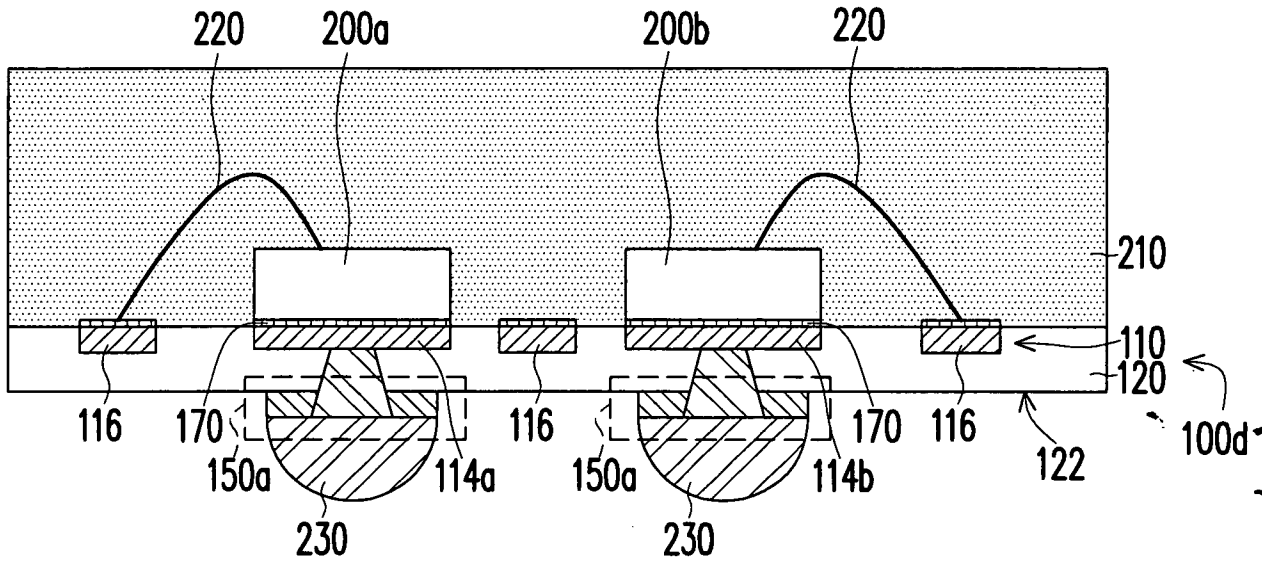


圖 2C

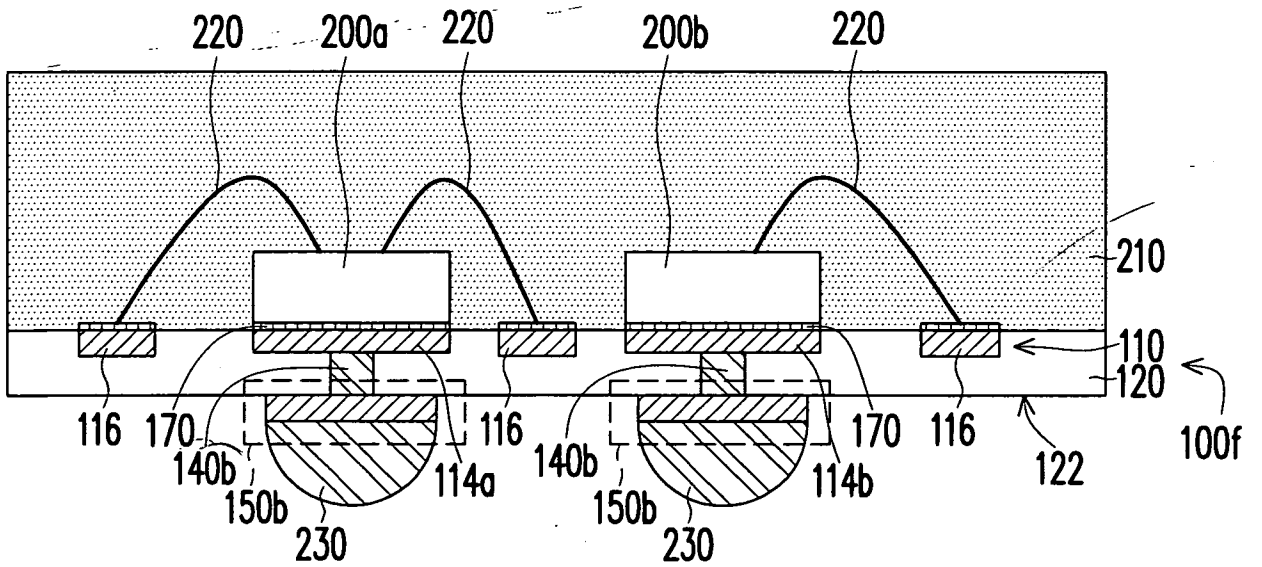


圖 2D