

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2022年9月22日 (22.09.2022)



(10) 国际公布号  
**WO 2022/193357 A1**

- (51) 国际专利分类号: *H01L 29/872* (2006.01) *H01L 29/06* (2006.01) 中国上海市自由贸易试验区临港新片区飞渡路1150号, Shanghai 201306 (CN)。
- (21) 国际申请号: PCT/CN2021/083484 (72) 发明人: 侯欣蓝(HOU, Xinlan); 中国上海市自由贸易试验区临港新片区飞渡路1150号, Shanghai 201306 (CN)。 张清纯(ZHANG, Qingchun Jon); 中国上海市自由贸易试验区临港新片区飞渡路1150号, Shanghai 201306 (CN)。
- (22) 国际申请日: 2021年3月29日 (29.03.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权: 202110298551.0 2021年3月19日 (19.03.2021) CN (74) 代理人: 北京三聚阳光知识产权代理有限公司(SUNSHINE INTELLECTUAL PROPERTY INTERNATIONAL CO., LTD.); 中国北京市海淀区海淀南路甲21号中关村知识产权大厦A座5层503, Beijing 100080 (CN)。
- (71) 申请人: 光华临港工程应用技术研发(上海)有限公司(GUANGHUA LINGANG ENGINEERING APPLICATION AND TECHNOLOGY R&D (SHANGHAI) CO., LTD.) [CN/CN];

(54) Title: SCHOTTKY DIODE STRUCTURE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 一种肖特基二极管结构及其制造方法

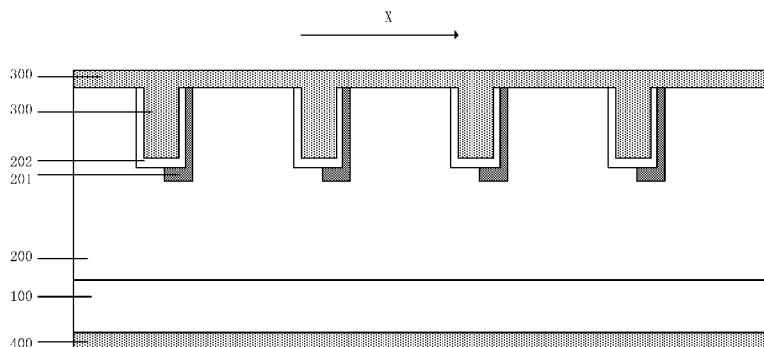


图 6

(57) Abstract: Provided are a Schottky diode structure and a method for manufacturing same. The Schottky diode structure comprises: a semiconductor substrate layer (100); a drift layer (200) on the semiconductor substrate layer (100), the drift layer (200) having multiple slots (500) which face away from the side of the semiconductor substrate layer (100) and are arranged at intervals, and the multiple slots (500) being arranged in a first direction; doped layers (201), the doped layers (201) being located in the drift layer (200) on the same single side parts of the slots (500) in the first direction, and the conductivity type of the doped layer (201) being opposite to that of the drift layer (200); and a Schottky contact electrode (300), located on the side of the drift layer (200) facing away from the semiconductor substrate layer (100) and filling the slots (500). According to the provided Schottky diode structure, on-resistance is low and a small device size is achieved.

(57) 摘要: 提供一种肖特基二极管结构及其制造方法。肖特基二极管结构包括: 半导体衬底层(100); 位于半导体衬底层(100)上的漂移层(200), 漂移层(200)中具有背向半导体衬底层(100)一侧的多个间隔的凹槽(500), 多个凹槽(500)沿着第一方向排布; 掺杂层(201), 掺杂层(201)位于凹槽(500)沿着第一方向的同一单侧侧部的漂移层(200)中, 掺杂层(201)的导电类型与漂移层(200)的导电类型相反; 肖特基接触电极(300), 位于漂移层(200)背向半导体衬底层(100)的一侧且填充在凹槽(500)中。提供的肖特基二极管结构导通电阻较低且维持器件较小的尺寸。



WO 2022/193357 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 发明人资格(细则4.17(iv))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

# 一种肖特基二极管结构及其制造方法

## 技术领域

本申请涉及半导体领域，具体涉及一种肖特基二极管结构及其制造方法。

## 背景技术

结势垒肖特基（Junction Barrier Schottky, JBS）二极管是一种开关二极管。当 JBS 二极管正向偏置时，JBS 的正向特性类似肖特基势垒二极管（Schottky Barrier Diode, SBD），当 JBS 反向偏置时，JBS 的反向特性类似 PIN 二极管（在普通二极管的 P 型半导体材料和 N 型半导体材料之间加入一薄层低掺杂的本征(Intrinsic)半导体层，组成的这种 P-I-N 结构的二极管就是 PIN 二极管），因此同时具备 PIN 二极管和 SBD 的优点，即低的开启电压、高的击穿电压以及较高开关速度等，在高压和高速等领域具有广阔的应用前景。JBS 二极管具有较低的反向漏电流，提高 JBS 二极管的工作性能是本领域的重要研究目标。

然而，现有技术中无法同时兼顾导通电阻的降低和维持器件较小的尺寸。

## 发明内容

因此，本申请提供一种肖特基二极管结构及其制造方法，以降低导通电阻同时兼顾维持器件较小的尺寸。

本申请提供一种肖特基二极管结构，包括：半导体衬底层；位于半导体衬底层上的漂移层，漂移层中具有背向半导体衬底层一侧的多个间隔的凹槽，多个凹槽沿着第一方向排布；掺杂层，掺杂层分别位于多个凹槽沿着第一方向的同一单侧侧部的漂移层中，掺杂层的导电类型与漂移层的导电类型相反；肖特基接触电极，位于漂移层背向半导体衬底层的一侧且填充凹槽。

可选的，对于位于凹槽侧部的掺杂层，掺杂层在第一方向上的横向尺寸为  $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。

可选的，掺杂层自凹槽的一侧侧部的漂移层延伸至凹槽的部分底部的漂移层中。

可选的，对于位于凹槽部分底部的漂移层中的掺杂层，掺杂层在第一方向上的尺寸小于或等于凹槽的底面在第一方向上的尺寸。

可选的，对于位于凹槽部分底部的漂移层中的掺杂层，掺杂层的纵向尺寸为  $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。

可选的，肖特基二极管结构还包括：阻挡层；凹槽的内壁包括第一区域和第二区域，第一区域为掺杂层朝向凹槽的表面，阻挡层至少覆盖凹槽的内壁的第二区域的表面；肖特基接触电极覆盖阻挡层。

可选的，阻挡层的厚度为 500 埃至 2000 埃。

可选的，阻挡层至少覆盖漂移层朝向凹槽的表面。

本申请还提供一种肖特基二极管结构的制造方法，包括以下步骤：提供半导体衬底层；在半导体衬底层一侧表面形成漂移层；在漂移层中形成背向半导体衬底层一侧的多个间隔的凹槽，多个凹槽沿着第一方向排布；在凹槽沿着第一方向的同一单侧侧部的漂移层中形成掺杂层，掺杂层的导电类型与漂移层的导电类型相反；形成掺杂层之后，形成肖特基接触电极，肖特基接触电极位于漂移层背向半导体衬底层的一侧且填充凹槽。

可选的，在形成多个间隔的所述凹槽之前，在所述漂移层的表面形成图形化的掩膜层；

在所述漂移层中形成背向所述半导体衬底层一侧的多个间隔的所述凹槽的步骤为：以图形化的掩膜层为掩膜刻蚀漂移层以形成多个间隔的凹槽；

在多个凹槽沿着第一方向的同一单侧侧部的漂移层中分别形成掺杂层的步骤包括：以图形化的掩膜层为掩膜对凹槽进行倾斜离子注入；

在形成肖特基接触电极之前，去除图形化的掩膜层。

可选的，所述凹槽的内壁表面包括第一区域和第二区域，所述第一区域为所述掺杂层朝向所述凹槽的表面；肖特基二极管结构的制造方法还包括：在形成肖特基接触电极之前，至少在所述凹槽的内壁第二区域的表面形成阻挡层。

本申请的有益效果在于：

1. 本申请提供的肖特基二极管结构，包括位于半导体衬底层上的漂移层，漂移层背向半导体衬底层一侧具有多个间隔的沿第一方向排布的凹槽；还包括掺杂层，掺杂层位于凹槽沿第一方向的同一单侧侧部的漂移层中，与漂移层导电类型相反，肖特基接触电极位于漂移层背向半导体衬底层一侧且填充凹槽。通过掺杂层位于凹槽沿第一方向的同一单侧侧部的漂移层中的设置，使得相比于凹槽侧部全部包覆掺杂层的设计，相邻掺杂层之间的间距增大，相邻掺杂层之间的漂移层宽度变大，相应的，这部分漂移层与肖特基接触电极的接触面积变大，进而使得导通电阻得到减小。同时，没有增加器件的尺寸，在减小导通电阻的基础上维持了器件较小的尺寸，实现了两者的兼顾。

2. 本申请提供的肖特基二极管结构，对于位于凹槽侧部的掺杂层，在第一方向上的横向尺寸为  $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。若横向尺寸过大，则相邻掺杂层之

间的距离较小，相邻掺杂层之间的导通电阻的横截面积较小，相应的导通电阻较大；若横向尺寸过小，则相邻掺杂层之间的肖特基接触电极尺寸大，肖特基接触电极与漂移层肖特基接触产生的电场强度大，反向漏电流会随之增大。横向尺寸在  $0.5\mu\text{m}$  至  $1\mu\text{m}$  范围内，可以在较小的导通电阻和较小的反向漏电流之间取得平衡。

3. 本申请提供的肖特基二极管结构，掺杂层还自凹槽的一侧侧部的漂移层延伸至凹槽的部分底部的漂移层中，这样使得凹槽侧部的掺杂层和凹槽底部的掺杂层在纵向上总的尺寸得到增加，随着总的纵向尺寸增加，各个掺杂层与漂移层形成的耗尽层在纵向上的区域尺寸增加，相邻的掺杂层形成的耗尽层在横向上连通的部分的尺寸也相应增加，从而使得肖特基接触电极与漂移层接触处产生的电场减小，相应的可以使得反向漏电流得到降低，器件的工作性能得到提升。

4. 本申请提供的肖特基二极管结构，对于位于凹槽部分底部的漂移层中的掺杂层，在第一方向上的尺寸小于或等于凹槽的底面在第一方向上的尺寸。这样的尺寸范围，可以在较小的导通电阻和较小的电场强度之间取得平衡。

5. 本申请提供的肖特基二极管结构，对于位于凹槽部分底部的漂移层中的掺杂层，掺杂层的纵向尺寸为  $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。如纵向尺寸过大，则对离子注入所应用的能量要求高，工艺成本过高；如纵向尺寸过小，则肖特基接触电极与漂移层接触处产生的电场过大，反向漏电流会相应增大。纵向尺寸在  $0.5\mu\text{m}$  至  $1\mu\text{m}$  的范围内，可在较小的反向漏电流和较简单的加工难度之间取得平衡。

6. 本申请提供的肖特基二极管结构，还包括位于凹槽的内壁的阻挡层，肖特基接触电极覆盖阻挡层。即使凹槽的内壁和底面的表面通常由于蚀刻工艺的原因使得表面是粗糙的表面，但是通过阻挡层的设置，使得肖特基接触电极在凹槽内与漂移层不产生接触，避免粗糙的表面会降低肖特基接

触电极与漂移层的肖特基接触势垒，进而避免肖特基接触电极在凹槽侧部与漂移层接触的位置处产生较大的电场，从而避免产生较大的反向漏电流。此外，凹槽的内壁包括第一区域和第二区域，第一区域为掺杂层朝向凹槽的表面，阻挡层至少覆盖凹槽的内壁的第二区域的表面，肖特基接触电极覆盖阻挡层。可以保证凹槽内的肖特基电极与漂移层无法产生接触，从而在阻挡层覆盖的区域不会产生电流通过，在这一区域极大减小了反向漏电流的产生的可能性。

7. 本申请提供的肖特基二极管结构，阻挡层的厚度为500埃至2000埃。若阻挡层厚度过小，则阻挡效果不佳，在施加电压电流较大的情况下可能发生击穿；若阻挡层厚度过大则影响器件尺寸。阻挡层的厚度在500埃至2000埃的范围内可在较小的器件尺寸和较佳的阻挡效果之间取得平衡。

8. 本申请提供的肖特基二极管结构的制造方法，可制造本申请提供的肖特基二极管结构，通过掺杂层位于凹槽沿第一方向的同一单侧侧部的漂移层中的设置，使得相比于凹槽侧部全部包覆掺杂层的设计，相邻掺杂层之间的间距增大，相邻掺杂层之间的漂移层宽度变大，相应的，这部分漂移层与肖特基接触电极的接触面积变大，进而使得导通电阻得到减小。同时，没有增加器件的尺寸，在减小导通电阻的基础上维持了器件较小的尺寸，实现了两者的兼顾。

9. 本申请提供的肖特基二极管结构的制造方法，在形成多个间隔的所述凹槽之前，在所述漂移层的表面形成图形化的掩膜层；在所述漂移层中形成背向所述半导体衬底层一侧的多个间隔的所述凹槽的步骤为：以图形化的掩膜层为掩膜刻蚀所述半导体衬底层以形成多个间隔的所述凹槽；在多个所述凹槽沿着第一方向的同一单侧侧部的漂移层中分别形成掺杂层的步骤包括：以所述图形化的掩膜层为掩膜对所述凹槽进行倾斜离子注入；在形成所述肖特基接触电极之前，去除所述图形化的掩膜层。如此可以实

现掺杂层仅位于凹槽的单侧侧部和底部的漂移层中，并且形成掺杂层的横向尺寸以及在第一方向上覆盖凹槽底部的面积比例可控。

10. 本申请提供的肖特基二极管结构的制造方法，在形成肖特基接触电极之前，至少在凹槽的内壁第二区域的表面形成阻挡层。即使凹槽的内壁和底面的表面通常由于蚀刻工艺的原因使得表面是粗糙的表面，但是通过阻挡层的设置，使得肖特基接触电极在凹槽内与漂移层不产生接触，避免粗糙的表面会降低肖特基接触电极与漂移层的肖特基接触势垒，进而避免肖特基接触电极在凹槽侧部与漂移层接触的位置处产生较大的电场，从而避免产生较大的反向漏电流。此外，至少在凹槽的内壁第二区域的表面形成阻挡层可以保证凹槽内的肖特基电极与漂移层无法产生接触，从而在阻挡层覆盖的区域不会产生电流通过，在这一区域极大减小了反向漏电流的产生的可能性。

### 附图说明

为了更清楚地说明本申请具体实施方式或现有技术中的技术方案，下面将对具体实施方式或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本申请的一些实施方式，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一种肖特基二极管结构的结构示意图；

图 2 至图 6 为本申请一实施例的肖特基二极管结构的制造过程中各个步骤的状态示意图。

### 具体实施方式

参考图 1，一种肖特基二极管结构，包括：半导体衬底层 100；位于半导体衬底层 100 上的漂移层 200，漂移层 200 中具有背向半导体衬底层 100



一侧的多个间隔的凹槽，多个凹槽沿着第一方向 X 排布；掺杂层 201'，掺杂层 201' 位于凹槽侧部和底部的漂移层中，掺杂层 201' 的导电类型与漂移层 200 的导电类型相反；肖特基接触电极 300，肖特基接触电极 300 位于漂移层 200 背向半导体衬底层 100 的一侧且填充在凹槽中。此外还包括位于凹槽表面的阻挡层 202 以及半导体衬底层 100 背向漂移层 200 一侧的电极 400。这样的肖特基二极管结构，具有较低的反向漏电流；为了提高其工作性能，如单纯的增加两个相邻的掺杂层 201' 之间的距离，虽然可以提高相邻掺杂层 201' 之间的电阻的横截面积，使得导通电阻降低，但是相应的器件尺寸也被加大，因此如何兼顾导通电阻的降低和维持器件较小是本领域的重要研究目标。

故而本申请提供一种肖特基二极管结构，包括：半导体衬底层；位于半导体衬底层上的漂移层，漂移层中具有背向半导体衬底层一侧的多个间隔的凹槽，多个凹槽沿着第一方向排布；掺杂层，掺杂层位于凹槽沿着第一方向的同一单侧侧部的漂移层中，掺杂层的导电类型与漂移层的导电类型相反；肖特基接触电极，位于漂移层背向半导体衬底层的一侧且填充凹槽。以在不增加器件尺寸的前提下降低肖特基二极管的导通电阻。

下面将结合附图对本申请的技术方案进行清楚、完整地描述，显然，所描述的实施例是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

在本申请的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”、“第三”仅用

于描述目的，而不能理解为指示或暗示相对重要性。

此外，下面所描述的本申请不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

## 实施例 1

参考图 6，本实施例提供一种肖特基二极管结构，包括：

半导体衬底层 100。

位于半导体衬底层 100 上的漂移层 200，漂移层 200 中具有背向半导体衬底层 100 一侧的多个间隔的凹槽，多个间隔的凹槽沿着第一方向 X 排布。

多个掺杂层 201，掺杂层 201 分别位于多个凹槽沿着第一方向 X 的同一单侧侧部的漂移层 200 中，掺杂层 201 的导电类型与漂移层 200 的导电类型相反。

肖特基接触电极 300，位于漂移层 200 背向半导体衬底层 100 的一侧且填充凹槽。

具体的，漂移层 200 可以为 N 型掺杂的 SiC 层；半导体衬底层 100 可以为重掺杂的 N 型 SiC 层；掺杂层 201 可以为重掺杂的 P 型半导体层。

本实施例提供的肖特基二极管结构，通过掺杂层 201 位于凹槽沿第一方向 X 的同一单侧侧部的漂移层中 200 中的设置，使得相比于如图 1 所示的凹槽侧部全部包覆掺杂层 201 的设计，相邻掺杂层 201 之间的间距增大，相邻掺杂层 201 之间的漂移层 200 宽度变大，相应的，这部分漂移层 200 与肖特基接触电极 300 的接触面积变大，进而使得导通电阻得到减小。同时，没有增加器件的尺寸，在减小导通电阻的基础上维持了器件较小的尺寸，实现了两者的兼顾。

进一步的，对于位于凹槽侧部的掺杂层 201，掺杂层 201 在第一方向 X 上的横向尺寸为 0.5 $\mu\text{m}$  至 1 $\mu\text{m}$ 。例如可以为 0.5 $\mu\text{m}$ 、0.6 $\mu\text{m}$ 、0.7 $\mu\text{m}$ 、0.8 $\mu\text{m}$ 、0.9 $\mu\text{m}$ 、1 $\mu\text{m}$ 。

本实施例提供的肖特基二极管结构，对于位于凹槽侧部的掺杂层 201，在第一方向 X 上的横向尺寸为， $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。若横向尺寸过大，则相邻掺杂层 201 之间的距离较小，相邻掺杂层之间的导通电阻的横截面积较小，相应的相邻掺杂层 201 之间的导通电阻较大；若横向尺寸过小，则相邻掺杂层 201 之间的肖特基接触电极 300 尺寸过大，其与漂移层 200 肖特基接触产生的电场强度大，反向漏电流会随之增大。横向尺寸在  $0.5\mu\text{m}$  至  $1\mu\text{m}$  范围内，可以在较小的导通电阻和较小的反向漏电流之间取得平衡。

进一步的，掺杂层 201 自凹槽的一侧侧部的漂移层 200 延伸至凹槽的部分底部的漂移层 200 中，这样使得凹槽侧部的掺杂层 201 和凹槽底部的掺杂层 201 在纵向上总的尺寸得到增加，随着总的纵向尺寸增加，各个掺杂层 201 与漂移层 200 形成的耗尽层在纵向上的区域尺寸增加，相邻的掺杂层 201 形成的耗尽层在横向上连通的部分的尺寸也相应增加，从而使得肖特基接触电极 300 与漂移层 200 接触处产生的电场减小，相应的可以使得反向漏电流得到降低，器件的工作性能得到提升。

具体的，对于位于凹槽部分底部的漂移层 200 中的掺杂层 201，掺杂层 201 在第一方向上 X 的尺寸小于或等于凹槽的底面在第一方向 X 上的尺寸。例如可以为，掺杂层 201 在第一方向上 X 的尺寸等于凹槽的底面在第一方向 X 上的尺寸，或是掺杂层 201 在第一方向上 X 的尺寸等于凹槽的底面在第一方向 X 上的尺寸的  $1/2$ 。这样的尺寸范围，可以在较小的导通电阻和较小的电场强度之间取得平衡。

对于位于凹槽部分底部的漂移层 200 中的掺杂层 201，掺杂层 201 的纵向尺寸为  $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。例如可以为  $0.5\mu\text{m}$ 、 $0.6\mu\text{m}$ 、 $0.7\mu\text{m}$ 、 $0.8\mu\text{m}$ 、 $0.9\mu\text{m}$ 、 $1\mu\text{m}$ 。如纵向尺寸过大，则对离子注入所应用的能量要求高，工艺成本过高；如纵向尺寸过小，则肖特基接触电极 300 与漂移层 200 接触处产生的电场过大，反向漏电流会相应增大。纵向尺寸在  $0.5\mu\text{m}$  至  $1\mu\text{m}$  的范围内，可在较小的反向漏电流和较简单的加工难度之间取得平衡。

进一步的，肖特基二极管结构还包括：阻挡层 202，阻挡层 202 位于凹槽的内壁。肖特基接触电极 300 覆盖阻挡层 202。由于凹槽的内壁和底面的表面通常由于蚀刻工艺的原因使得表面是粗糙的表面，粗糙的表面会降低肖特基接触电极 300 与漂移层 200 的肖特基接触势垒，使得肖特基接触电极 300 在凹槽侧部与漂移层 200 接触的位置处产生较大的电场，从而产生较大的反向漏电流。通过阻挡层 202 的设置，使得肖特基接触电极 300 在凹槽内与漂移层 200 不产生接触，从而极大减小反向漏电流产生的可能性。

具体的，凹槽的内壁包括第一区域和第二区域，第一区域为掺杂层 201 朝向凹槽的表面，阻挡层 202 至少覆盖凹槽的内壁的第二区域的表面；肖特基接触电极 300 覆盖凹槽中的阻挡层 202。如此设置，可以保证凹槽内的肖特基电极 300 与漂移层 200 无法产生接触，从而在阻挡层 202 覆盖的区域不会产生电流通过，在这一区域极大减小了反向漏电流的产生的可能性。

具体的，阻挡层 202 的厚度为 500 埃至 2000 埃。例如可以为 500 埃、1000 埃、1500 埃、2000 埃。若阻挡层 202 厚度过小，则阻挡效果不佳，在施加电压电流较大的情况下可能发生击穿；若阻挡层 202 厚度过大则影响器件尺寸。阻挡层的厚度在 500 埃至 2000 埃的范围内可在较小的器件尺寸和较佳的阻挡效果之间取得平衡。

此外，本实施例的肖特基二极管结构，还包括位于衬底层 100 背向漂移层 200 一侧的电极 400。

对于在平行于衬底层的平面内垂直第一方向 X 的第二方向上，掺杂层同样满足上述第一方向上的特征（图中未示出）。即，在第二方向上，沿着第二方向还排布了多个间隔的凹槽，掺杂层 201 还延伸至多个凹槽沿着第二方向的同一单侧侧部的漂移层中。使得在第二方向上，相邻掺杂层之间的漂移层宽度变大，相应的，这部分漂移层与肖特基接触电极的接触面积变大，进而使得导通电阻得到减小。同时，没有增加器件的尺寸，在减小导通电阻的基础上维持了器件较小的尺寸，实现了两者的兼顾。

## 实施例 2

参考图 2 至图 6，本实施例还提供一种肖特基二极管结构的制造方法，包括以下步骤：

参考图 2，提供半导体衬底层 100。在半导体衬底层 100 一侧表面形成漂移层 200。

参考图 3，在漂移层 200 中形成背向半导体衬底层 100 一侧的多个间隔的凹槽 500，多个凹槽 500 沿着第一方向 X 排布。

参考图 4，在凹槽 500 沿着第一方向 X 的同一单侧侧部的漂移层 200 中形成掺杂层 201，掺杂层 201 的导电类型与漂移层 200 的导电类型相反。

参考图 6，形成掺杂层 201 之后，形成肖特基接触电极 300，肖特基接触电极 300 位于漂移层 200 背向半导体衬底层 100 的一侧且填充凹槽 500。

本实施例提供的肖特基二极管结构的制造方法，可制造如上述实施例 1 中提供的肖特基二极管结构，通过掺杂层 201 位于凹槽 500 沿第一方向 X 的同一单侧侧部的漂移层 200 中的设置，使得相比于如图 1 所示的凹槽 500 侧部全部包覆掺杂层 201' 的设计，间隔的相邻掺杂层 201 之间的间距被增大，间隔的相邻掺杂层 201 之间的漂移层 200 宽度变大，相应的，这部分漂移层 200 与肖特基接触电极 300 的接触面积变大，进而使得导通电阻得到减小，从而提高器件的工作性能。

具体的，在形成多个间隔的凹槽 500 之前，在漂移层 200 的表面形成图形化的掩膜层（图中未示出）。

在漂移层 200 中形成背向半导体衬底层 100 一侧的多个间隔的凹槽 500 的步骤为：以图形化的掩膜层为掩膜刻蚀漂移层以形成多个间隔的凹槽 500。

在多个凹槽 500 沿着第一方向的同一单侧侧部的漂移层中分别形成掺杂层的步骤包括：以图形化的掩膜层为掩膜，通过离子注入的方法对凹槽

500 进行倾斜注入；在形成肖特基接触电极之前，去除图形化的掩膜层。

其中，倾斜注入的步骤，可以是待加工的器件倾斜，离子注入保持垂直注入的方向不变，实现凹槽 500 单侧侧部和部分底部的离子注入，形成掺杂层 201。也可以是保持待加工的器件不动，改变离子注入的方向，实现凹槽 500 单侧侧部和部分底部的离子注入，形成掺杂层 201。

离子注入的步骤还可以是，通过掩膜的手段，遮盖部分的漂移层表面，实现凹槽 500 单侧侧部和部分底部的离子注入，形成掺杂层 201。采用这样的方法实现掺杂层 201 的形成，可以实现掺杂层 201 仅位于凹槽 500 的单侧侧部和底部的漂移层 200 中，并且形成掺杂层 201 的横向尺寸以及在第一方向 X 上覆盖凹槽 500 底部的面积比例可控。

此外，在其他一些实施例中，也可以是在形成凹槽 500 之前先在漂移层 200 表面形成第一掩膜层，图形化第一掩膜层及漂移层 200 形成凹槽后去除第一掩膜层，然后在形成掺杂层 201 之前在漂移层 200 表面形成第二掩膜层，图形化第二掩膜层后再进行离子注入的倾斜注入，之后再去除第二掩膜层。

因此，掩膜层的具体使用次数和是否额外制造，可根据实际工艺需求确定，并且不仅局限于上述的两种方式。

在本实施例中，凹槽 500 的内壁表面包括第一区域和第二区域，第一区域为掺杂层 201 朝向凹槽 500 的表面。参考图 5，肖特基二极管结构的制造方法还包括：在形成肖特基接触电极之前，至少在凹槽 500 的内壁第二区域的表面形成阻挡层 202。

通过形成阻挡层 202，使得凹槽 500 内的肖特基电极 300 与漂移层 200 被间隔开。由于凹槽 500 的内壁和底面的表面通常由于蚀刻工艺的原因使得表面是粗糙的表面，粗糙的表面会降低肖特基接触电极 300 与漂移层 200 的肖特基接触势垒，使得肖特基接触电极 300 在第二区域与漂移层 200 接触的位置处产生的电场较大，会产生较大的反向漏电流。通过形成阻挡层

202，且至少覆盖凹槽 500 位于第二区域中的内壁表面，使得肖特基接触电极在凹槽 500 内与漂移层不产生接触，极大降低反向漏电流产生的可能性。

显然，上述实施例仅仅是为清楚地说明所作的举例，而并非对实施方式的限定。对于所属领域的普通技术人员来说，在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引伸出的显而易见的变化或变动仍处于本申请的保护范围之中。

## 权 利 要 求 书

1. 一种肖特基二极管结构，其特征在于，包括：

半导体衬底层；

位于所述半导体衬底层上的漂移层，所述漂移层中具有背向所述半导体衬底层一侧的多个间隔的凹槽，多个间隔的凹槽沿着第一方向排布；

多个掺杂层，所述掺杂层分别位于多个所述凹槽沿着第一方向的同一单侧侧部的漂移层中，所述掺杂层的导电类型与所述漂移层的导电类型相反；

肖特基接触电极，位于漂移层背向所述半导体衬底层的一侧且填充所述凹槽。

2.根据权利要求 1 所述的肖特基二极管结构，其特征在于，对于位于所述凹槽侧部的掺杂层，所述掺杂层在第一方向上的横向尺寸为  $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。

3.根据权利要求 1 所述的肖特基二极管结构，其特征在于，所述掺杂层自所述凹槽的一侧侧部的漂移层延伸至凹槽的部分底部的漂移层中。

4.根据权利要求 3 所述的肖特基二极管结构，其特征在于，对于位于所述凹槽部分底部的漂移层中的掺杂层，所述掺杂层在第一方向上的尺寸小于或等于所述凹槽的底面在第一方向上的尺寸。

5.根据权利要求 3 所述的肖特基二极管结构，其特征在于，对于位于所述凹槽部分底部的漂移层中的掺杂层，所述掺杂层的纵向尺寸为  $0.5\mu\text{m}$  至  $1\mu\text{m}$ 。

6.根据权利要求 1 所述的肖特基二极管结构，其特征在于，还包括：阻挡层；所述凹槽的内壁包括第一区域和第二区域，所述第一区域为所述掺



杂层朝向所述凹槽的表面，所述阻挡层至少覆盖所述凹槽的内壁的第二区域的表面；所述肖特基接触电极覆盖所述阻挡层。

7.根据权利要求 6 所述的肖特基二极管结构，其特征在于，所述阻挡层的厚度为 500 埃至 2000 埃。

8.一种权利要求 1 至 7 中任一项的肖特基二极管结构的制造方法，其特征在于，包括以下步骤：

提供半导体衬底层；

在所述半导体衬底层一侧表面形成漂移层；

在所述漂移层中形成背向所述半导体衬底层一侧的多个间隔的凹槽，多个凹槽沿着第一方向排布；

在多个所述凹槽沿着第一方向的同一单侧侧部的漂移层中分别形成掺杂层，所述掺杂层的导电类型与所述漂移层的导电类型相反；

形成掺杂层之后，形成肖特基接触电极，所述肖特基接触电极位于漂移层背向所述半导体衬底层的一侧且填充所述凹槽。

9.根据权利要求 8 所述的肖特基二极管结构的制造方法，其特征在于，在形成多个间隔的所述凹槽之前，在所述漂移层的表面形成图形化的掩膜层；

在所述漂移层中形成背向所述半导体衬底层一侧的多个间隔的所述凹槽的步骤为：以图形化的掩膜层为掩膜刻蚀所述漂移层以形成多个间隔的所述凹槽；

在多个所述凹槽沿着第一方向的同一单侧侧部的漂移层中分别形成掺杂层的步骤包括：以所述图形化的掩膜层为掩膜通过离子注入的方法对所述凹槽进行倾斜离子注入；

在形成所述肖特基接触电极之前，去除所述图形化的掩膜层。

10.根据权利要求 8 所述的肖特基二极管结构的制造方法，其特征在于，所述凹槽的内壁表面包括第一区域和第二区域，所述第一区域为所述掺杂层朝向所述凹槽的表面；

所述肖特基二极管结构的制造方法还包括：在形成肖特基接触电极之前，至少在所述凹槽的内壁第二区域的表面形成阻挡层。

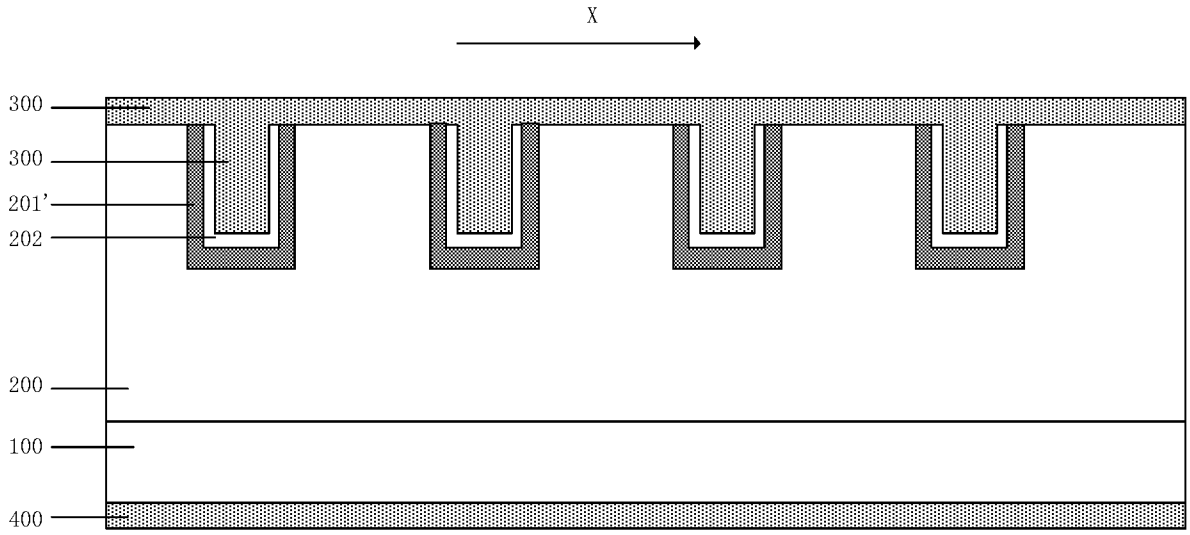


图 1



图 2

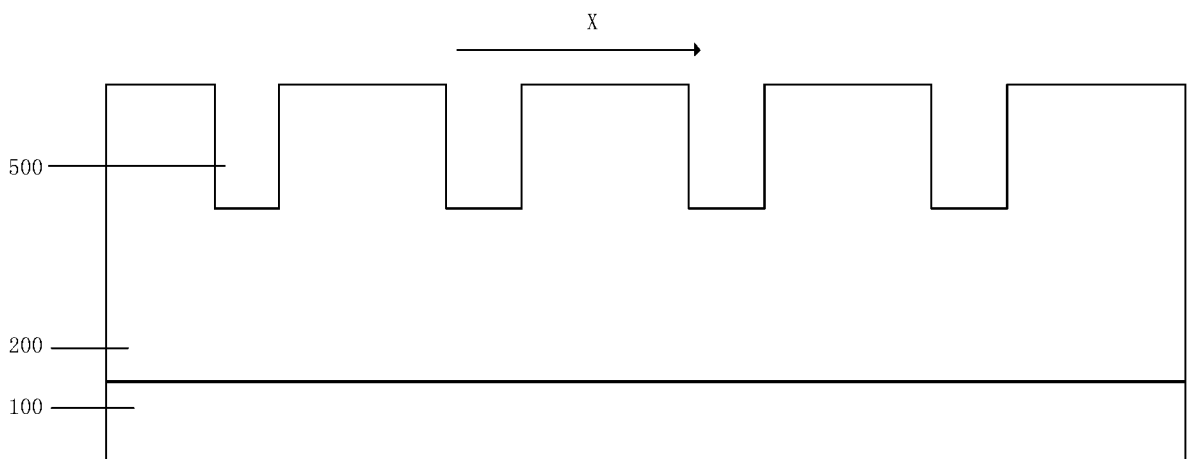


图 3

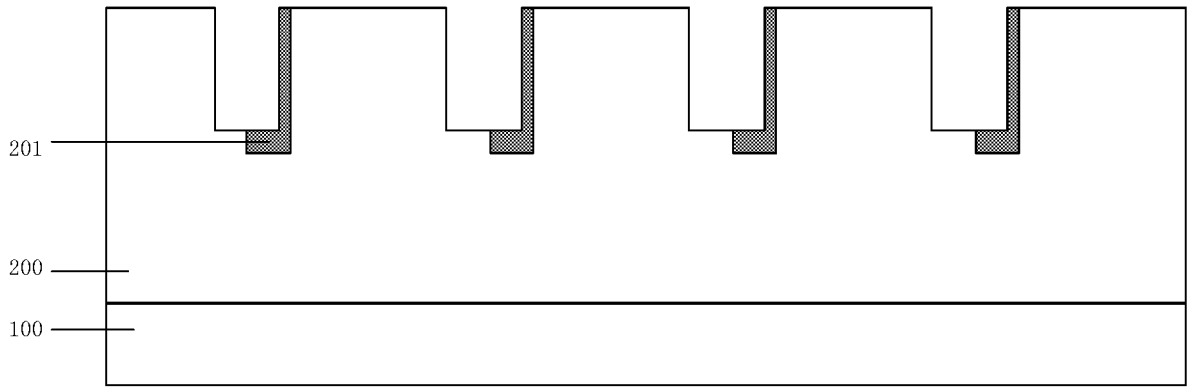


图 4

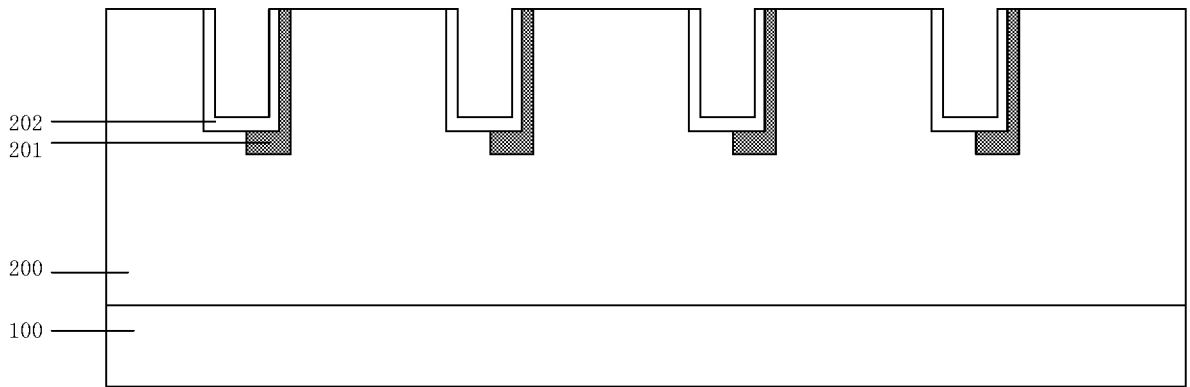


图 5

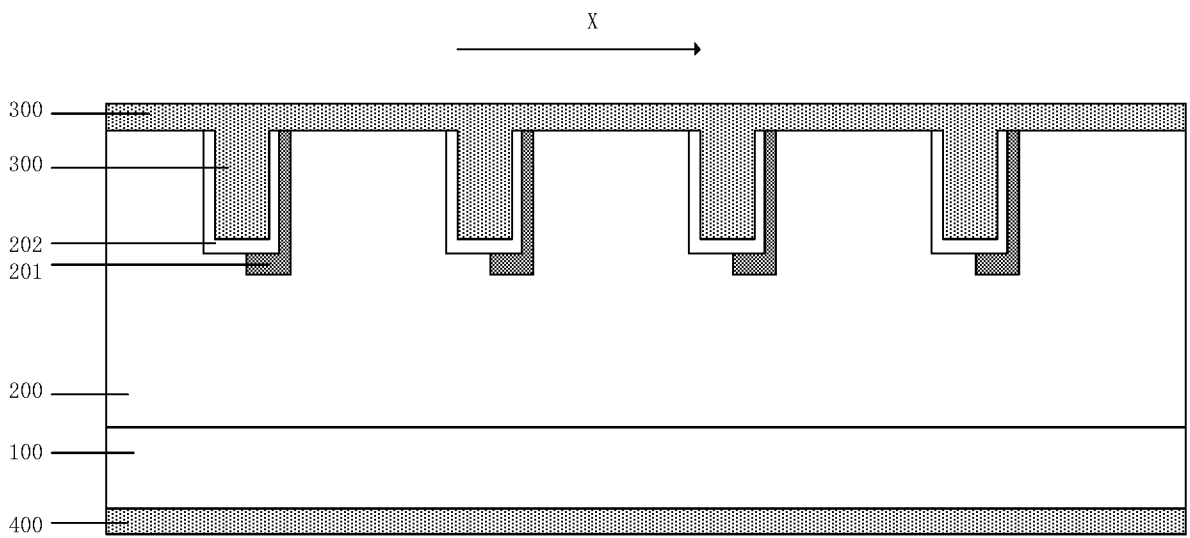


图 6

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/083484

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
H01L 29/872(2006.01)i; H01L 29/06(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
HO1L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, CNTXT, CNKI, VEN, USTXT, EPTXT, WOTXT, CATXT, JPABS, IEEE: 肖特基, 单侧, 一侧, 部分, 半, 掺杂, 注入, 导通电阻, 间距, 距离, 厚度, 宽度, 尺寸, Schottky, JBS, SBD, side, part, half, inject, doping, conducting resistance, distance, space, depth, width, size.		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110212021 A (XIDIAN UNIVERSITY) 06 September 2019 (2019-09-06) description, paragraphs 0006-0024 and 0031-0104, and figures 1-2	1-10
X	CN 110197852 A (XIDIAN UNIVERSITY) 03 September 2019 (2019-09-03) description, paragraphs 0006-0021 and 0026-0098, and figures 1-2	1-10
X	CN 110190117 A (XIDIAN UNIVERSITY) 30 August 2019 (2019-08-30) description, paragraphs 0006-0025 and 0030-0104, and figures 1-2	1-10
X	CN 108183131 A (THE 55TH RESEARCH INSTITUTE OF CHINA ELECTRONICS TECHNOLOGY GROUP CORP.) 19 June 2018 (2018-06-19) description, paragraphs 0004-0013 and 0022-0032, and figures 1-7	1-10
A	CN 104134702 A (SUZHOU SILIKRON SEMICONDUCTOR TECHNOLOGY CORP. LTD.) 05 November 2014 (2014-11-05) entire document	1-10
A	CN 103378178 A (ZHU JIANG) 30 October 2013 (2013-10-30) entire document	1-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
28 April 2021		19 July 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2021/083484**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2014138764 A1 (VISHAY GENERAL SEMICONDUCTOR LLC) 22 May 2014 (2014-05-22) entire document	1-10
A	US 2002125541 A1 (KOREC, J. et al.) 12 September 2002 (2002-09-12) entire document	1-10

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2021/083484**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110212021	A	06 September 2019	None			
CN	110197852	A	03 September 2019	None			
CN	110190117	A	30 August 2019	None			
CN	108183131	A	19 June 2018	None			
CN	104134702	A	05 November 2014	None			
CN	103378178	A	30 October 2013	CN	103378178	B	26 April 2017
US	2014138764	A1	22 May 2014	JP	2016502270	A	21 January 2016
				KR	20190136095	A	09 December 2019
				TW	1517415	B	11 January 2016
				CN	104981909	A	14 October 2015
				EP	2920816	B1	11 March 2020
				WO	2014077861	A1	22 May 2014
				US	9018698	B2	28 April 2015
				TW	201421705	A	01 June 2014
				EP	2920816	A1	23 September 2015
				KR	20150084854	A	22 July 2015
				EP	2920816	A4	30 November 2016
US	2002125541	A1	12 September 2002	US	7186609	B2	06 March 2007

<p><b>A. 主题的分类</b></p> <p>H01L 29/872(2006.01)i; H01L 29/06(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, CNTXT, CNKI, VEN, USTXT, EPTXT, WOTXT, CATXT, JPABS, IEEE:肖特基, 单侧, 一侧, 部分, 半, 掺杂, 注入, 导电电阻, 间距, 距离, 厚度, 宽度, 尺寸, Schottky, JBS, SBD, side, part, half, inject, doping, conducting resistance, distance, space, depth, width, size.</p>																							
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110212021 A (西安电子科技大学) 2019年 9月 6日 (2019 - 09 - 06) 说明书第0006-0024, 0031-0104段、附图1-2</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>CN 110197852 A (西安电子科技大学) 2019年 9月 3日 (2019 - 09 - 03) 说明书第0006-0021, 0026-0098段、附图1-2</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>CN 110190117 A (西安电子科技大学) 2019年 8月 30日 (2019 - 08 - 30) 说明书第0006-0025, 0030-0104段、附图1-2</td> <td>1-10</td> </tr> <tr> <td>X</td> <td>CN 108183131 A (中国电子科技集团公司第五十五研究所) 2018年 6月 19日 (2018 - 06 - 19) 说明书第0004-0013, 0022-0032段、附图1-7</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 104134702 A (苏州硅能半导体科技股份有限公司) 2014年 11月 5日 (2014 - 11 - 05) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 103378178 A (朱江) 2013年 10月 30日 (2013 - 10 - 30) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110212021 A (西安电子科技大学) 2019年 9月 6日 (2019 - 09 - 06) 说明书第0006-0024, 0031-0104段、附图1-2	1-10	X	CN 110197852 A (西安电子科技大学) 2019年 9月 3日 (2019 - 09 - 03) 说明书第0006-0021, 0026-0098段、附图1-2	1-10	X	CN 110190117 A (西安电子科技大学) 2019年 8月 30日 (2019 - 08 - 30) 说明书第0006-0025, 0030-0104段、附图1-2	1-10	X	CN 108183131 A (中国电子科技集团公司第五十五研究所) 2018年 6月 19日 (2018 - 06 - 19) 说明书第0004-0013, 0022-0032段、附图1-7	1-10	A	CN 104134702 A (苏州硅能半导体科技股份有限公司) 2014年 11月 5日 (2014 - 11 - 05) 全文	1-10	A	CN 103378178 A (朱江) 2013年 10月 30日 (2013 - 10 - 30) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 110212021 A (西安电子科技大学) 2019年 9月 6日 (2019 - 09 - 06) 说明书第0006-0024, 0031-0104段、附图1-2	1-10																					
X	CN 110197852 A (西安电子科技大学) 2019年 9月 3日 (2019 - 09 - 03) 说明书第0006-0021, 0026-0098段、附图1-2	1-10																					
X	CN 110190117 A (西安电子科技大学) 2019年 8月 30日 (2019 - 08 - 30) 说明书第0006-0025, 0030-0104段、附图1-2	1-10																					
X	CN 108183131 A (中国电子科技集团公司第五十五研究所) 2018年 6月 19日 (2018 - 06 - 19) 说明书第0004-0013, 0022-0032段、附图1-7	1-10																					
A	CN 104134702 A (苏州硅能半导体科技股份有限公司) 2014年 11月 5日 (2014 - 11 - 05) 全文	1-10																					
A	CN 103378178 A (朱江) 2013年 10月 30日 (2013 - 10 - 30) 全文	1-10																					
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <table> <tr> <td> <p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> </td> <td> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p> </td> </tr> </table>			<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																			
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>	<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																						
<p>国际检索实际完成的日期</p> <p>2021年 4月 28日</p>	<p>国际检索报告邮寄日期</p> <p>2021年 7月 19日</p>																						
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>授权官员</p> <p>宋萍</p> <p>电话号码 (86-27)59371808</p>																						



C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2014138764 A1 (VISHAY GENERAL SEMICONDUCTOR LLC) 2014年 5月 22日 (2014 - 05 - 22) 全文	1-10
A	US 2002125541 A1 (KOREC, Jacek et al.) 2002年 9月 12日 (2002 - 09 - 12) 全文	1-10

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2021/083484

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	110212021	A	2019年 9月 6日	无	
CN	110197852	A	2019年 9月 3日	无	
CN	110190117	A	2019年 8月 30日	无	
CN	108183131	A	2018年 6月 19日	无	
CN	104134702	A	2014年 11月 5日	无	
CN	103378178	A	2013年 10月 30日	CN	103378178 B 2017年 4月 26日
US	2014138764	A1	2014年 5月 22日	JP	2016502270 A 2016年 1月 21日
				KR	20190136095 A 2019年 12月 9日
				TW	1517415 B 2016年 1月 11日
				CN	104981909 A 2015年 10月 14日
				EP	2920816 B1 2020年 3月 11日
				WO	2014077861 A1 2014年 5月 22日
				US	9018698 B2 2015年 4月 28日
				TW	201421705 A 2014年 6月 1日
				EP	2920816 A1 2015年 9月 23日
				KR	20150084854 A 2015年 7月 22日
				EP	2920816 A4 2016年 11月 30日
US	2002125541	A1	2002年 9月 12日	US	7186609 B2 2007年 3月 6日