

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-13846
(P2020-13846A)

(43) 公開日 令和2年1月23日(2020.1.23)

(51) Int.Cl.	F I	テーマコード(参考)
H01G 4/30 (2006.01)	H01G 4/30 201A	5E001
	H01G 4/30 201F	5E082
	H01G 4/30 511	
	H01G 4/30 512	
	H01G 4/30 513	
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2018-134032 (P2018-134032)
(22) 出願日 平成30年7月17日 (2018.7.17)

(71) 出願人 000204284
太陽誘電株式会社
東京都中央区京橋二丁目7番19号
(74) 代理人 100104215
弁理士 大森 純一
(74) 代理人 100160989
弁理士 関根 正好
(72) 発明者 須賀 康友
東京都中央区京橋二丁目7番19号 太陽誘電株式会社内
(72) 発明者 渡部 正剛
東京都中央区京橋二丁目7番19号 太陽誘電株式会社内

最終頁に続く

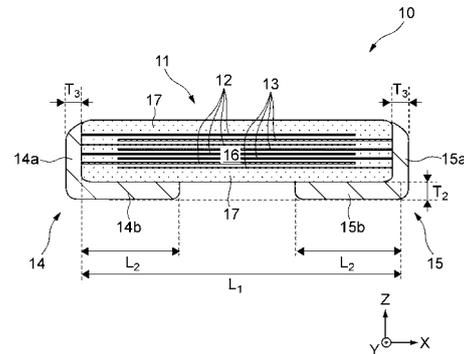
(54) 【発明の名称】 積層セラミック電子部品

(57) 【要約】

【課題】 抗折強度を確保可能な低背型の積層セラミック電子部品を提供する。

【解決手段】 積層セラミック電子部品では、セラミック素体が、第1軸方向を向いた第1及び第2主面と、第1軸に直交する第2軸方向を向いた第1及び第2端面と、第1端面に引き出された第1内部電極と、第1内部電極に対向し、第2端面に引き出された第2内部電極と、を有する。第1外部電極は、第1端面を覆う第1被覆部と、第1被覆部から第2主面に延出する第1延出部と、を有する。第2外部電極は、第2端面を覆う第2被覆部と、第2被覆部から第2主面に延出する第2延出部と、を有する。積層セラミック電子部品では、セラミック素体の厚さを T_1 とし、第1及び第2延出部の厚さを T_2 とすると、 $T_1 + T_2$ が $50\ \mu\text{m}$ 以下であり、かつ $T_2 / (T_1 + T_2)$ が 0.32 以下である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 軸方向を向いた第 1 及び第 2 主面と、前記第 1 軸に直交する第 2 軸方向を向いた第 1 及び第 2 端面と、前記第 1 端面に引き出された第 1 内部電極と、前記第 1 内部電極に対向し、前記第 2 端面に引き出された第 2 内部電極と、を有するセラミック素体と、

前記第 1 端面を覆う第 1 被覆部と、前記第 1 被覆部から前記第 2 主面に延出する第 1 延出部と、を有する第 1 外部電極と、

前記第 2 端面を覆う第 2 被覆部と、前記第 2 被覆部から前記第 2 主面に延出する第 2 延出部と、を有する第 2 外部電極と、

を具備し、

前記セラミック素体の前記第 1 軸方向の寸法を T_1 とし、前記第 1 及び第 2 延出部の前記第 1 軸方向の寸法を T_2 とすると、 $T_1 + T_2$ が $50 \mu\text{m}$ 以下であり、かつ $T_2 / (T_1 + T_2)$ が 0.32 以下である

積層セラミック電子部品。

【請求項 2】

請求項 1 に記載の積層セラミック電子部品であって、

前記第 1 及び第 2 被覆部の前記第 2 軸方向の寸法はそれぞれ、前記セラミック素体の前記第 2 軸方向の寸法の 25% 以上である

積層セラミック電子部品。

【請求項 3】

請求項 1 又は 2 に記載の積層セラミック電子部品であって、

前記第 1 及び第 2 外部電極は、スパッタ膜を含む

積層セラミック電子部品。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載の積層セラミック電子部品であって、

$T_2 / (T_1 + T_2)$ が 0.04 以上である

積層セラミック電子部品。

【請求項 5】

請求項 1 から 4 のいずれか 1 項に記載の積層セラミック電子部品であって、

T_2 が $2 \mu\text{m}$ 以上である

積層セラミック電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低背型の積層セラミック電子部品に関する。

【背景技術】

【0002】

電子機器の小型化に伴って、積層セラミック電子部品の低背化が求められている。特許文献 1 には、低背型の積層セラミックコンデンサが開示されている。この積層セラミックコンデンサでは、外部電極を薄くした分、セラミック素体を厚くすることによって、厚さ

方向の強度を確保している。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2014 - 130999 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、セラミック素体の厚さが $50 \mu\text{m}$ 以下の超薄型の積層セラミックコンデンサでは、セラミック素体のみによっては厚さ方向の強度を確保できない場合がある。つ

10

20

30

40

50

まり、このような積層セラミックコンデンサでは、特許文献 1 に記載の技術を採用したとしても、十分な強度が得られにくい。

【0005】

以上のような事情に鑑み、本発明の目的は、抗折強度を確保可能な低背型の積層セラミック電子部品を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するため、本発明の一形態に係る積層セラミック電子部品は、セラミック素体と、第 1 外部電極と、第 2 外部電極と、を具備する。

上記セラミック素体は、第 1 軸方向を向いた第 1 及び第 2 主面と、上記第 1 軸に直交する第 2 軸方向を向いた第 1 及び第 2 端面と、上記第 1 端面に引き出された第 1 内部電極と、上記第 1 内部電極に対向し、上記第 2 端面に引き出された第 2 内部電極と、を有する。

上記第 1 外部電極は、上記第 1 端面を覆う第 1 被覆部と、上記第 1 被覆部から上記第 2 主面に延出する第 1 延出部と、を有する。

上記第 2 外部電極は、上記第 2 端面を覆う第 2 被覆部と、上記第 2 被覆部から上記第 2 主面に延出する第 2 延出部と、を有する。

上記積層セラミック電子部品では、上記セラミック素体の上記第 1 軸方向の寸法を T_1 とし、上記第 1 及び第 2 延出部の上記第 1 軸方向の寸法を T_2 とすると、 $T_1 + T_2$ が $50 \mu\text{m}$ 以下であり、かつ $T_2 / (T_1 + T_2)$ が 0.32 以下である。

【0007】

この構成のセラミック素体では、被覆部が設けられた第 2 主面には第 2 軸方向の応力が加わる一方で、被覆部が設けられていない第 1 主面には応力が加わらない。つまり、セラミック素体では、第 1 主面と第 2 主面との間に応力の差が形成される。これにより、セラミック素体では、第 1 軸方向の強度が向上するため、高い抗折強度が得られる。

【0008】

上記第 1 及び第 2 被覆部の上記第 2 軸方向の寸法はそれぞれ、上記セラミック素体の上記第 2 軸方向の寸法の 25% 以上であってもよい。

上記第 1 及び第 2 外部電極は、スパッタ膜を含んでもよい。

上記積層セラミック電子部品では、 $T_2 / (T_1 + T_2)$ が 0.04 以上であってもよい。

上記積層セラミック電子部品では、 T_2 が $2 \mu\text{m}$ 以上であってもよい。

これらの構成では、被覆部によって抗折強度を高める効果をより有効に得ることができる。

【発明の効果】

【0009】

抗折強度を確保可能な低背型の積層セラミック電子部品を提供することができる。

【図面の簡単な説明】

【0010】

【図 1】本発明の一実施形態に係る積層セラミックコンデンサを模式的に示す斜視図である。

【図 2】上記積層セラミックコンデンサの A - A' 線に沿った断面図である。

【図 3】上記積層セラミックコンデンサの B - B' 線に沿った断面図である。

【図 4】上記積層セラミックコンデンサのセラミック素体の分解斜視図である。

【図 5】上記積層セラミックコンデンサの図 2 を拡大して示す部分断面図である。

【図 6】実施例に係る積層セラミックコンデンサの抗折強度測定について説明するための模式図である。

【図 7】実施例に係る積層セラミックコンデンサの抗折強度の測定結果を示すグラフである。

【発明を実施するための形態】

【0011】

10

20

30

40

50

以下、図面を参照しながら、本発明の実施形態を説明する。

図面には、適宜相互に直交するX軸、Y軸、及びZ軸が示されている。X軸、Y軸、及びZ軸は全図において共通である。

【0012】

[積層セラミックコンデンサ10の全体構成]

図1～3は、本発明の一実施形態に係る積層セラミックコンデンサ10を示す図である。図1は、積層セラミックコンデンサ10の斜視図である。図2は、積層セラミックコンデンサ10の図1のA-A'線に沿った断面図である。図3は、積層セラミックコンデンサ10の図1のB-B'線に沿った断面図である。

【0013】

積層セラミックコンデンサ10は、低背型に構成され、例えば厚さ（Z軸方向の寸法）を $50\mu\text{m}$ 以下とすることができる。また、積層セラミックコンデンサ10では、例えば、長手方向（X軸方向）の寸法を $0.4\text{mm}\sim 2.0\text{mm}$ とすることができ、短手方向（Y軸方向）の寸法を $0.2\text{mm}\sim 1.0\text{mm}$ とすることができる。

【0014】

より具体的に、積層セラミックコンデンサ10のサイズは、例えば、 $0.4\text{mm}\times 0.2\text{mm}\times 50\mu\text{m}$ 、 $0.6\text{mm}\times 0.3\text{mm}\times 50\mu\text{m}$ 、 $1.0\text{mm}\times 0.5\text{mm}\times 50\mu\text{m}$ などとすることができる。勿論、積層セラミックコンデンサ10は、これら以外にも様々なサイズとすることができる。

【0015】

積層セラミックコンデンサ10は、セラミック素体11と、第1外部電極14と、第2外部電極15と、を具備する。セラミック素体11は、積層セラミックコンデンサ10の本体として構成され、X軸方向に長尺に形成されている。外部電極14、15はそれぞれ、セラミック素体11の表面を部分的に覆っている。

【0016】

セラミック素体11は、X軸方向を向いた2つの端面と、Y軸方向を向いた2つの側面と、Z軸方向を向いた2つの主面と、を含む6面体形状を有する。なお、セラミック素体11は厳密に6面体形状でなくてもよく、例えば、セラミック素体11の各面が曲面であってもよく、セラミック素体11が全体として丸みを帯びた形状であってもよい。

【0017】

第1外部電極14は、セラミック素体11の一方の端面を覆う第1被覆部14aと、第1被覆部14aからセラミック素体11のZ軸方向下側の主面のみにX軸方向に沿って延出する第1延出部14bと、を有する。これにより、第1外部電極14では、X-Z平面に平行な断面がL字状となっている。

【0018】

第2外部電極15は、セラミック素体11の他方の端面を覆う第2被覆部15aと、第2被覆部15aからセラミック素体11のZ軸方向下側の主面のみにX軸方向に沿って延出する第2延出部15bと、を有する。これにより、第2外部電極15でも、X-Z平面に平行な断面がL字状となっている。

【0019】

セラミック素体11のZ軸方向の寸法である厚さ T_1 は、 $45\mu\text{m}$ 以下である。このようにセラミック素体11の厚さ T_1 を非常に小さくすることにより、外部電極14、15の延出部14b、15bの厚さを含めた積層セラミックコンデンサ10の厚さを $50\mu\text{m}$ 以下とすることが可能となる。

【0020】

この一方で、セラミック素体11の厚さ T_1 を非常に小さくすると、セラミック素体11における厚さ T_1 に対する長手方向の寸法の比率（アスペクト比）が大きくなる。これにより、セラミック素体11では、長手方向における抗折強度が小さくなるため、長手方向の中央部に加わる厚さ方向の応力によって亀裂などの機械的損傷が発生しやすくなる。

【0021】

10

20

30

40

50

セラミック素体 11 では、厚さ T_1 が長手方向の寸法の 5 分の 1 以下である場合に、特に機械的損傷が発生しやすくなる。セラミック素体 11 には、様々なタイミングで厚さ方向の応力が加わることが考えられるが、特に、積層セラミックコンデンサ 10 の実装時に加わる厚さ方向の応力に耐えることが求められる。

【0022】

つまり、積層セラミックコンデンサ 10 は、セラミック素体 11 の一方の主面の中央部を吸着保持するチップマウントによって基板に実装される。このとき、チップマウントからセラミック素体 11 の主面に厚さ方向の応力が加わる。セラミック素体 11 単体では、この応力に耐える抗折強度が得られない場合がある。

【0023】

本実施形態では、セラミック素体 11 における Z 軸方向上側の第 1 主面と Z 軸方向下側の第 2 主面との間に X 軸方向の応力の差を設ける。これにより、セラミック素体 11 では、第 1 主面に加わる応力が、第 1 主面及び第 2 主面に沿って X 軸方向に分散されることにより、局所的に集中しにくくなるため、抗折強度が向上する。

【0024】

具体的に、積層セラミックコンデンサ 10 では、セラミック素体における第 1 主面と第 2 主面との間の応力の差が外部電極 14, 15 の延出部 14b, 15b によって形成される。つまり、セラミック素体 11 では、延出部 14b, 15b によって第 2 主面のみに圧縮応力又は収縮応力を加えることができる。

【0025】

延出部 14b, 15b からセラミック素体 11 の第 2 主面に十分な応力を加えるために、延出部 14b, 15b の X 軸方向の寸法 L_2 はそれぞれ、セラミック素体 11 の X 軸方向の寸法 L_1 の 25% 以上であることが好ましい。つまり、セラミック素体 11 の第 2 主面の半分以上の領域が延出部 14b, 15b に覆われていることが好ましい。

【0026】

延出部 14b, 15b からセラミック素体 11 の第 2 主面に加わる応力の種類及び大きさは、例えば、外部電極 14, 15 の形成方法によって制御可能である。本実施形態では、外部電極 14, 15 の下地膜をスパッタリング法で形成することにより、延出部 14b, 15b における応力の種類及び大きさを制御可能となる。

【0027】

積層セラミックコンデンサ 10 の Z 軸方向の寸法である厚さは、セラミック素体 11 の厚さ T_1 と、延出部 14b, 15b の厚さ T_2 と、の合計 ($T_1 + T_2$) として表すことができる。つまり、積層セラミックコンデンサ 10 では、厚さ ($T_1 + T_2$) が $50 \mu\text{m}$ 以下となるように、厚さ T_1, T_2 の比率を決定可能である。

【0028】

延出部 14b, 15b によってセラミック素体 11 の第 2 主面に十分な応力を加えるためには、積層セラミックコンデンサ 10 の厚さ ($T_1 + T_2$) に対して延出部 14b, 15b の厚さ T_2 がある程度確保されていることが好ましい。具体的に、積層セラミックコンデンサ 10 では、 $T_2 / (T_1 + T_2)$ が 0.04 以上であることが好ましい。

【0029】

また、同様の観点から、積層セラミックコンデンサ 10 では、延出部 14b, 15b の厚さ T_2 が、 $2 \mu\text{m}$ 以上であることが好ましく、 $4 \mu\text{m}$ 以上であることが更に好ましい。また、この場合、積層セラミックコンデンサ 10 の実装時に延出部 14b, 15b における半田喰われを防止することできるという効果も得られる。

【0030】

この一方で、積層セラミックコンデンサ 10 の厚さ ($T_1 + T_2$) に対する延出部 14b, 15b の厚さ T_2 の比率を大きくしすぎると、セラミック素体 11 の厚さ T_1 が小さくなりすぎ、セラミック素体 11 単体としての抗折強度が不十分となる。したがって、セラミック素体 11 の厚さ T_1 がある程度確保されている必要がある。

【0031】

10

20

30

40

50

具体的に、積層セラミックコンデンサ10では、 $T_2 / (T_1 + T_2)$ が0.32以下となるように、厚さ T_1 、 T_2 の比率が決定される。また、積層セラミックコンデンサ10では、 $T_2 / (T_1 + T_2)$ が0.3以下であることが好ましい。これにより、積層セラミックコンデンサ10の長手方向における抗折強度が向上する。

【0032】

つまり、積層セラミックコンデンサ10では、厚さ T_1 、 T_2 の比率を上記のようにすることにより、延出部14b、15bを設けない構成や、延出部14b、15bをセラミック素体11の両方の主面に設ける構成よりも高い抗折強度が得られやすくなる。したがって、延出部14b、15bによる効果がより有効に得られる。

【0033】

なお、延出部14b、15bの厚さ T_2 は均一でなくてもよい。この場合、延出部14b、15bの厚さ T_2 は、延出部14b、15bの厚さの最大値として規定することができる。また、外部電極14、15の被覆部14a、15aのX軸方向の寸法である厚さ T_3 は、延出部14b、15bの厚さ T_2 と同程度であっても、異なってもよい。

【0034】

外部電極14、15はそれぞれ、電気の良い良導体により形成され、積層セラミックコンデンサ10の端子として機能する。外部電極14、15を形成する電気の良い良導体としては、例えば、ニッケル(Ni)、銅(Cu)、パラジウム(Pd)、白金(Pt)、銀(Ag)、金(Au)などを主成分とする金属や合金を用いることができる。

【0035】

外部電極14、15は、応力を発現可能な構成であればよく、特定の構成に限定されない。例えば、外部電極14、15は、単層構造であっても複層構造であってもよい。複層構造の外部電極14、15は、例えば、下地膜と表面膜との2層構造や、下地膜と中間膜と表面膜との3層構造として構成されていてもよい。

【0036】

下地膜は、例えば、ニッケル(Ni)、銅(Cu)、パラジウム(Pd)、白金(Pt)、銀(Ag)、金(Au)などを主成分として形成することができる。本実施形態では、スパッタリング法によって下地膜を形成する。しかし、下地膜は、スパッタリング法以外に、例えば、スプレー法などでも形成することもできる。

【0037】

中間膜は、例えば、白金(Pt)、パラジウム(Pd)、金(Au)、銅(Cu)、ニッケル(Ni)などを主成分として形成することができる。表面膜は、例えば、銅(Cu)、錫(Sn)、パラジウム(Pd)、金(Au)、亜鉛(Zn)などを主成分として形成することができる。中間膜及び表面膜は、例えば、電解メッキ法などで形成することができる。

【0038】

セラミック素体11は、容量形成部16と、カバー部17と、サイドマージン部18とを有する。容量形成部16は、セラミック素体11のY軸及びZ軸方向における中央部に配置されている。カバー部17は容量形成部16をZ軸方向から覆い、サイドマージン部18は容量形成部16をY軸方向から覆っている。

【0039】

より詳細に、カバー部17は、容量形成部16のZ軸方向両側にそれぞれ配置されている。サイドマージン部18は、容量形成部16のY軸方向両側にそれぞれ配置されている。カバー部17及びサイドマージン部18は、主に、容量形成部16を保護するとともに、容量形成部16の周囲の絶縁性を確保する機能を有する。

【0040】

容量形成部16には、複数の第1内部電極12と、複数の第2内部電極13と、が設けられている。内部電極12、13は、いずれもX-Y平面に沿って延びるシート状であり、Z軸方向に沿って交互に配置されている。内部電極12、13は、容量形成部16においてZ軸方向に相互に対向している。

10

20

30

40

50

【0041】

図4は、セラミック素体11の分解斜視図である。セラミック素体11は、図4に示すようなシートが積層された構造を有している。容量形成部16及びサイドマージン部18は、内部電極12, 13が印刷されたシートで構成することができる。カバー部17は、内部電極12, 13が印刷されていないシートで構成することができる。

【0042】

図2に示すように、第1内部電極12は、第1外部電極14側のセラミック素体11の端面に引き出され、第1外部電極14に接続されている。第2内部電極13は、第2外部電極15側のセラミック素体11の端面に引き出され、第2外部電極15に接続されている。これにより、内部電極12, 13が外部電極14, 15と導通している。

10

【0043】

また、第1内部電極12は、第2外部電極15との間に間隔をあけて配置され、第2外部電極15から絶縁されている。第2内部電極13は、第1外部電極14との間に間隔をあけて配置され、第1外部電極14から絶縁されている。つまり、第1内部電極12は第1外部電極14のみと導通し、第2内部電極13は第2外部電極15のみと導通している。

【0044】

内部電極12, 13はそれぞれ、電気の良導体により形成され、積層セラミックコンデンサ10の内部電極として機能する。内部電極12, 13を形成する電気の良導体としては、例えばニッケル(Ni)、銅(Cu)、パラジウム(Pd)、白金(Pt)、銀(Ag)、金(Au)などを主成分とする金属や合金が用いられる。

20

【0045】

容量形成部16は、誘電体セラミックスによって形成されている。積層セラミックコンデンサ10では、内部電極12, 13間の各誘電体セラミック層の容量を大きくするため、容量形成部16を形成する材料として高誘電率の誘電体セラミックスが用いられる。高誘電率の誘電体セラミックスとしては、例えば、チタン酸バリウム($BaTiO_3$)に代表される、バリウム(Ba)及びチタン(Ti)を含むペロブスカイト構造の材料が挙げられる。

【0046】

また、容量形成部16を構成する誘電体セラミックスは、チタン酸バリウム系以外にも、チタン酸ストロンチウム($SrTiO_3$)系、チタン酸カルシウム($CaTiO_3$)系、チタン酸マグネシウム($MgTiO_3$)系、ジルコン酸カルシウム($CaZrO_3$)系、チタン酸ジルコン酸カルシウム($Ca(Zr, Ti)O_3$)系、ジルコン酸バリウム($BaZrO_3$)系、酸化チタン(TiO_2)系などであってもよい。

30

【0047】

カバー部17及びサイドマージン部18も、誘電体セラミックスによって形成されている。カバー部17及びサイドマージン部18を形成する材料は、絶縁性セラミックスであればよいが、容量形成部16と同様の組成系の材料を用いることより、製造効率が向上するとともに、セラミック素体11における内部応力が抑制される。

【0048】

上記の構成により、積層セラミックコンデンサ10では、外部電極14, 15の間に電圧が印加されると、容量形成部16において内部電極12, 13の間の複数の誘電体セラミック層に電圧が加わる。これにより、積層セラミックコンデンサ10では、外部電極14, 15の間の電圧に応じた電荷が蓄えられる。

40

【0049】

なお、積層セラミックコンデンサ10の構成は、特定の構成に限定されず、積層セラミックコンデンサ10に求められるサイズや性能などに応じて、公知の構成を適宜採用可能である。例えば、各内部電極12, 13の枚数や、内部電極12, 13の間の誘電体セラミック層の厚さは、適宜決定可能である。

【0050】

50

[外部電極 14 , 15 の詳細構成]

図 5 は、図 2 を拡大して示す積層セラミックコンデンサ 10 の部分断面図である。図 5 は、第 2 外部電極 15 の Z 軸方向上端部付近を示している。なお、積層セラミックコンデンサ 10 では、第 1 外部電極 14 が第 2 外部電極 15 と同様の構成を有するため、図 5 には第 2 外部電極 15 の符号に併せて第 1 外部電極 14 の符号も付している。

【 0051 】

積層セラミックコンデンサ 10 では、外部電極 14 , 15 が、スパッタリング法で形成されたスパッタ膜 14c , 15c と、電解メッキ法で形成されたメッキ膜 14d , 15d で構成されている。スパッタ膜 14c , 15c は、下地膜として構成される。メッキ膜 14d , 15d は、単層構造であっても複層構造であってもよい。

10

【 0052 】

スパッタ膜 14c , 15c は、セラミック素体 11 の端面に設けられている。メッキ膜 14d , 15d はスパッタ膜 14c , 15c の全体を覆い、スパッタ膜 14c , 15c の周囲に回り込んでいる。外部電極 14 , 15 では、スパッタ膜 14c , 15c を形成するスパッタリングの条件によって、延出部 14b , 15b の応力を制御可能である。

【 0053 】

スパッタ膜 14c , 15c の Z 軸方向上端部は、セラミック素体 11 の第 1 主面から Z 軸方向に寸法 T_4 だけ間隔をあけて配置されていることが好ましい。これにより、メッキ膜 14d , 15d がスパッタ膜 14c , 15c の Z 軸方向上側に回り込んでも、外部電極 14 , 15 がセラミック素体 11 の第 1 主面から Z 軸方向に突出しにくくなる。

20

【 0054 】

外部電極 14 , 15 におけるセラミック素体 11 の第 1 主面からの突出を防止するために、スパッタ膜 14c , 15c とセラミック素体 11 の第 1 主面との間の寸法 T_4 は、外部電極 14 , 15 の被覆部 14a , 15a 上におけるメッキ膜 14d , 15d の X 軸方向の寸法である厚さ T_5 よりも大きいことが好ましい。

【 0055 】

また、外部電極 14 , 15 におけるセラミック素体 11 の第 1 主面からの突出を防止するために、メッキ膜 14d , 15d の Z 軸方向上端部も、セラミック素体 11 の第 1 主面から Z 軸方向に寸法 T_6 だけ間隔をあけて配置されていることが好ましい。寸法 T_6 は、 $5 \mu\text{m}$ 以上であることが更に好ましい。

30

【 0056 】

なお、外部電極 14 , 15 では、スパッタ膜 14c , 15c が Z 軸方向にカバー部 17 まで到達していることが好ましい。これにより、すべての内部電極 12 , 13 がスパッタ膜 14c , 15c によって一括して接続されるため、内部電極 12 , 13 と外部電極 14 , 15 とをより確実に接続することができる。

【 0057 】

[実施例]

積層セラミックコンデンサ 10 について、厚さ ($T_1 + T_2$) を $45 \mu\text{m}$ に統一し、厚さ ($T_1 + T_2$) に対する延出部 14b , 15b の厚さ T_2 の比率 $T_2 / (T_1 + T_2)$ が異なる 4 種類のサンプルを作製した。いずれのサンプルにおいても、X 軸方向の寸法を 1.0mm とし、Y 軸方向の寸法を 0.5mm とした。

40

【 0058 】

各サンプルのセラミック素体 11 は、内部電極を形成するための導電性ペーストが適宜印刷された誘電体セラミックスのグリーンシートの積層体を切断して得られたチップを焼成することによって作製した。セラミック素体 11 の焼成温度は、 $1000 \sim 1400$ とした。

【 0059 】

積層セラミックコンデンサ 10 について、セラミック素体 11 の焼成時における収縮量を考慮した上で、厚さ $0.5 \sim 3 \mu\text{m}$ のグリーンシートの積層数を調整することによって、セラミック素体 11 の厚さ T_1 が $41 \mu\text{m}$ 、 $38 \mu\text{m}$ 、 $32 \mu\text{m}$ 、 $29 \mu\text{m}$ 、 $25 \mu\text{m}$

50

の 5 種類のサンプルを作製した。

【 0 0 6 0 】

各サンプルの外部電極 1 4 , 1 5 は、スパッタリング法で成膜した下地膜にメッキ処理を施すことにより形成した。各サンプルの外部電極 1 4 , 1 5 の延出部 1 4 b , 1 5 b の厚さ T_2 は、メッキ処理の条件（電流及び時間など）を調整することによって $4 \mu\text{m}$ 、 $7 \mu\text{m}$ 、 $13 \mu\text{m}$ 、 $16 \mu\text{m}$ 、 $20 \mu\text{m}$ とした。

【 0 0 6 1 】

以上により得られた積層セラミックコンデンサ 1 0 のサンプルについて、抗折強度測定を行った。図 6 は、抗折強度測定について説明するための模式図である。抗折強度測定には、Z 軸方向下方に窪む凹部 S 1 が設けられた架台 S と、架台 S の凹部 S 1 の Z 軸方向上方に配置された押圧子 P と、を用いる。

10

【 0 0 6 2 】

架台 S の凹部 S 1 の X 軸方向の寸法は、各サンプルの長手方向の寸法の 0 . 6 倍である。また、押圧子 P の Z 軸方向下端部は、半径 $500 \mu\text{m}$ の円弧状の断面となるように形成されている。各サンプルは、長手方向において凹部 S 1 を跨ぎ、押圧子 P がセラミック素体 1 1 の主面の中央部に対向するように、架台 S 上にセットされる。

【 0 0 6 3 】

図 6 は、積層セラミックコンデンサ 1 0 のサンプルを架台 S 上にセットした状態を示す。この状態から、押圧子 P を Z 軸方向下方に移動させ、各サンプルの Z 軸方向上面に対して、各サンプルに機械的損傷が発生するまで Z 軸方向下方への応力を加える。この間、押圧子 P から各サンプルに加えている荷重を逐次測定した。

20

【 0 0 6 4 】

そして、各サンプルに機械的損傷が発生したときの荷重を各サンプルの抗折強度とした。図 7 は、各サンプルの抗折強度の測定結果を示すグラフである。図 7 の横軸は各サンプルにおける厚さ $(T_1 + T_2)$ に対する延出部 1 4 b , 1 5 b の厚さ T_2 の比率 $T_2 / (T_1 + T_2)$ を示し、図 7 の縦軸は各サンプルの抗折強度を規格化した相対値を示している。

【 0 0 6 5 】

図 7 を参照すると、 $T_2 / (T_1 + T_2)$ の増加に伴って、抗折強度が低下していることがわかる。より詳細に、 $0 < T_2 / (T_1 + T_2) < 0.32$ の範囲では抗折強度の低下が直線的であるのに対し、 $T_2 / (T_1 + T_2)$ が 0.32 を超えると抗折強度が急激に低下していることがわかる。

30

【 0 0 6 6 】

これにより、積層セラミックコンデンサ 1 0 では、 $T_2 / (T_1 + T_2)$ を 0.32 以下とすることにより、高い抗折強度が得られる傾向があることが確認された。また、積層セラミックコンデンサ 1 0 では、 $T_2 / (T_1 + T_2)$ が 0.04 以上であれば、高い抗折強度が得られることが確認された。

【 0 0 6 7 】

[その他の実施形態]

以上、本発明の実施形態について説明したが、本発明は上述の実施形態にのみ限定されるものではなく種々変更を加え得ることは勿論である。

40

【 0 0 6 8 】

例えば、積層セラミックコンデンサ 1 0 では、外部電極 1 4 , 1 5 がセラミック素体 1 1 の端面から Z 軸方向下側の主面のみならず Y 軸方向を向いた両側面のうち少なくとも一方にも延出していてもよい。つまり、積層セラミックコンデンサ 1 0 の外部電極 1 4 , 1 5 では、X - Y 平面に沿った断面が U 字状又は L 字状であってもよい。

【 0 0 6 9 】

また、上記実施形態では積層セラミック電子部品の一例として積層セラミックコンデンサ 1 0 について説明したが、本発明は一对の外部電極を有する積層セラミック電子部品全般に適用可能である。このような積層セラミック電子部品としては、例えば、チップバリ

50

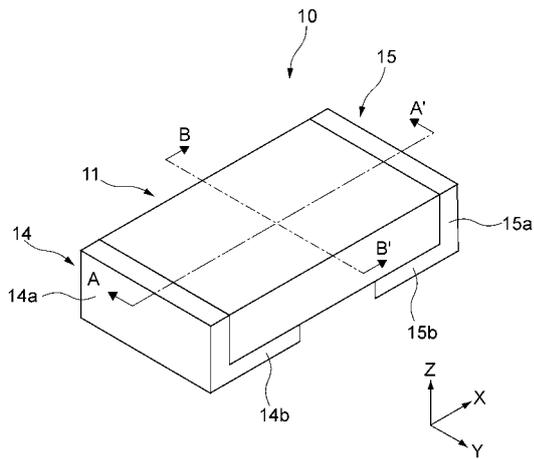
スタ、チップサーミスタ、積層インダクタなどが挙げられる。

【符号の説明】

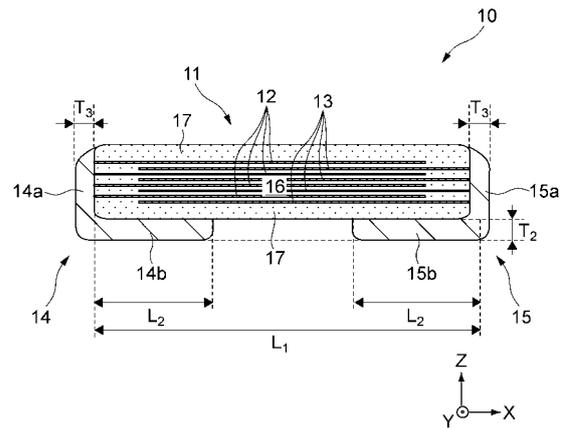
【0070】

- 10 ... 積層セラミックコンデンサ
- 11 ... セラミック素体
- 12, 13 ... 内部電極
- 14, 15 ... 外部電極
- 14a, 15a ... 被覆部
- 14b, 15b ... 延出部
- 14c, 15c ... スパッタ膜
- 14d, 15d ... メッキ膜
- 16 ... 容量形成部
- 17 ... カバー部
- 18 ... サイドマージン部

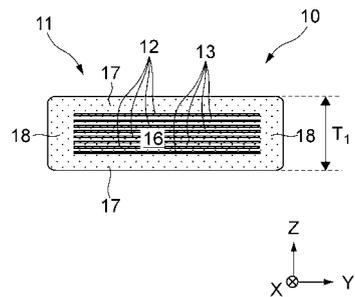
【図1】



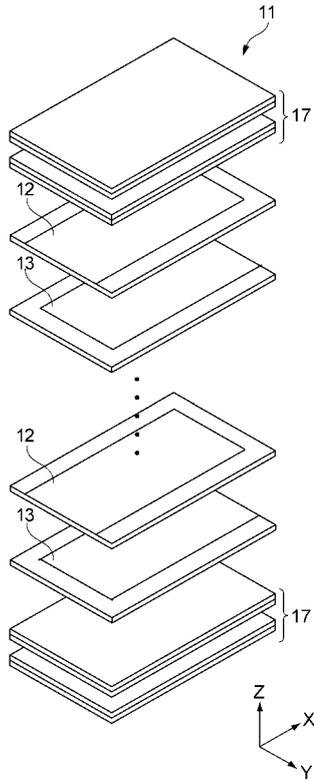
【図2】



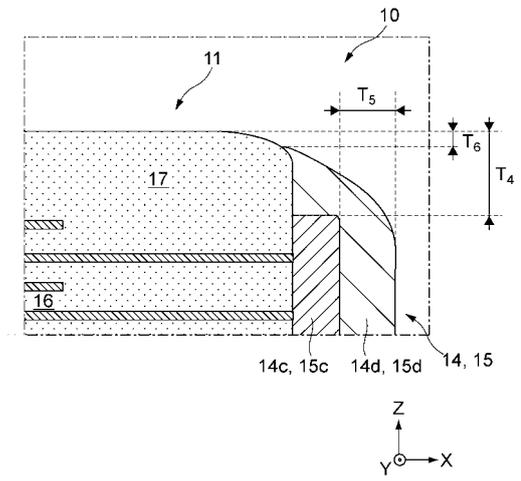
【図3】



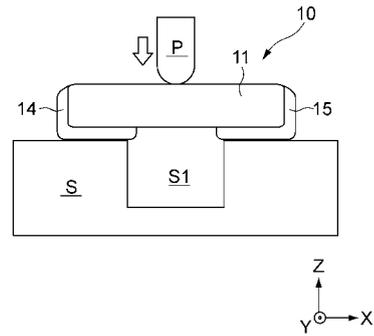
【 図 4 】



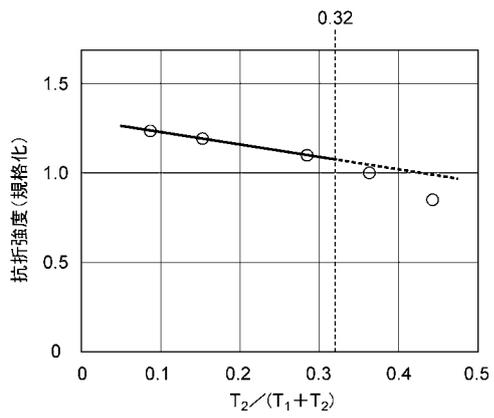
【 図 5 】



【 図 6 】



【 図 7 】



【手続補正書】

【提出日】令和1年6月4日(2019.6.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1軸方向を向いた第1及び第2主面と、前記第1軸に直交する第2軸方向を向いた第1及び第2端面と、前記第1端面に引き出された第1内部電極と、前記第1内部電極に対向し、前記第2端面に引き出された第2内部電極と、を有するセラミック素体と、

前記第1端面を覆う第1被覆部と、前記第1被覆部から前記第2主面に延出する第1延出部と、を有する第1外部電極と、

前記第2端面を覆う第2被覆部と、前記第2被覆部から前記第2主面に延出する第2延出部と、を有する第2外部電極と、

を具備し、

前記セラミック素体の前記第1軸方向の寸法を $T1$ とし、前記第1及び第2延出部の前記第1軸方向の寸法を $T2$ とすると、 $T1 + T2$ が $50\mu\text{m}$ 以下であり、かつ $T2 / (T1 + T2)$ が 0.32 以下である

積層セラミック電子部品。

【請求項2】

請求項1に記載の積層セラミック電子部品であって、

前記第1及び第2延出部の前記第2軸方向の寸法はそれぞれ、前記セラミック素体の前記第2軸方向の寸法の 25% 以上である

積層セラミック電子部品。

【請求項3】

請求項1又は2に記載の積層セラミック電子部品であって、

前記第1及び第2外部電極は、スパッタ膜を含む

積層セラミック電子部品。

【請求項4】

請求項1から3のいずれか1項に記載の積層セラミック電子部品であって、

$T2 / (T1 + T2)$ が 0.04 以上である

積層セラミック電子部品。

【請求項5】

請求項1から4のいずれか1項に記載の積層セラミック電子部品であって、

$T2$ が $2\mu\text{m}$ 以上である

積層セラミック電子部品。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

この構成のセラミック素体では、延出部が設けられた第2主面には第2軸方向の応力が加わる一方で、延出部が設けられていない第1主面には応力が加わらない。つまり、セラミック素体では、第1主面と第2主面との間に応力の差が形成される。これにより、セラミック素体では、第1軸方向の強度が向上するため、高い抗折強度が得られる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 0 8

【補正方法】 変更

【補正の内容】

【 0 0 0 8 】

上記第 1 及び第 2 延出部の上記第 2 軸方向の寸法はそれぞれ、上記セラミック素体の上記第 2 軸方向の寸法の 25% 以上であってもよい。

上記第 1 及び第 2 外部電極は、スパッタ膜を含んでもよい。

上記積層セラミック電子部品では、 $T_2 / (T_1 + T_2)$ が 0.04 以上であってもよい。

上記積層セラミック電子部品では、 T_2 が $2 \mu\text{m}$ 以上であってもよい。

これらの構成では、延出部によって抗折強度を高める効果をより有効に得ることができる。

【手続補正 4】

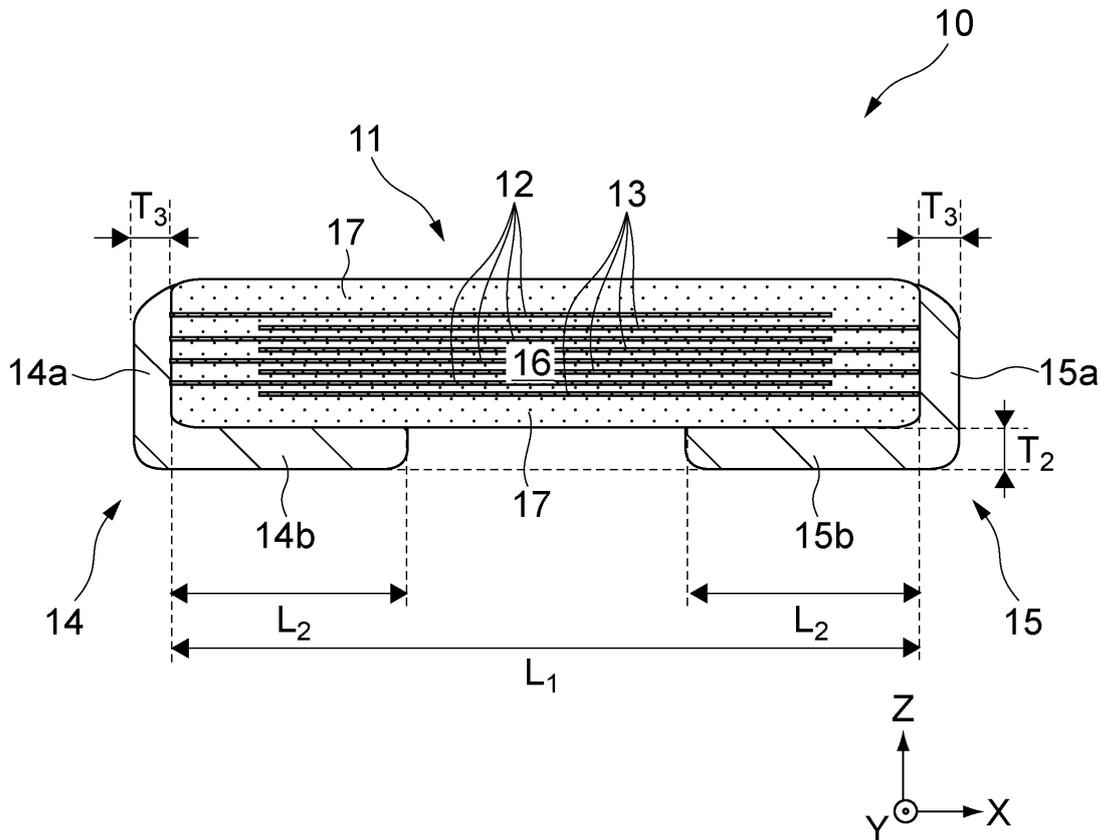
【補正対象書類名】 図面

【補正対象項目名】 図 2

【補正方法】 変更

【補正の内容】

【図 2】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 G 4/30 2 0 1 K

(72)発明者 中島 健志
東京都中央区京橋二丁目7番19号 太陽誘電株式会社内

(72)発明者 富澤 祐寿
東京都中央区京橋二丁目7番19号 太陽誘電株式会社内

(72)発明者 久慈 俊也
東京都中央区京橋二丁目7番19号 太陽誘電株式会社内

Fターム(参考) 5E001 AB03

5E082 AB03 EE04 EE23 EE35 FF05 FG04 FG26 FG46 GG10