



(12) 发明专利申请

(10) 申请公布号 CN 114744048 A

(43) 申请公布日 2022.07.12

(21) 申请号 202210217020.9

H01L 27/32 (2006.01)

(22) 申请日 2016.06.15

H01L 27/12 (2006.01)

(30) 优先权数据

G02F 1/136 (2006.01)

62/190,234 2015.07.08 US

(62) 分案原申请数据

201680023536.2 2016.06.15

(71) 申请人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 崔寿永 元泰景 任东吉

约翰·M·怀特 崔弈 张雪娜

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

专利代理师 徐金国 赵静

(51) Int. Cl.

H01L 29/786 (2006.01)

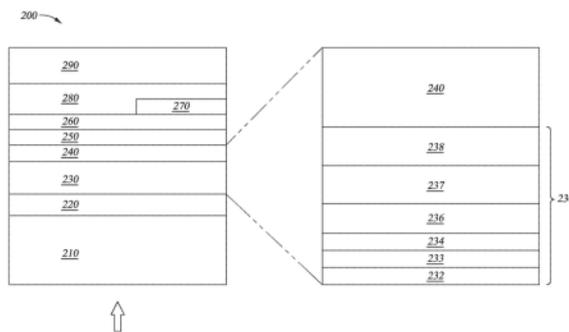
权利要求书2页 说明书5页 附图7页

(54) 发明名称

氮氧化硅梯度构思

(57) 摘要

本公开内容的实施方式一般涉及用于在液晶显示器(Liquid Crystal Display,LCD)及有机发光二极管(organic light-emitting diode,OLED)显示器中使用低温多晶硅(low temperature polysilicon,LTPS)薄膜晶体管的方法及装置。



1. 一种用于控制像素电极的晶体管,包括:
第一层间介电层,所述第一层间介电层包括氧化硅;
第二层间介电层,所述第二层间介电层包括氮化硅;和
过渡层,所述过渡层形成于所述第一层间介电层之上,所述过渡层包括氧化硅和氮化硅,其中所述过渡层包括邻近于所述第一层间介电层的氧化硅和邻近于所述第二层间介电层的氮化硅,其中所述像素电极形成于所述第一层间介电层、所述过渡层及所述第二层间介电层之上。
2. 如权利要求1所述的用于控制像素电极的晶体管,其中所述第一层间介电层具有第一折射率,并且所述第二层间介电层具有第二折射率。
3. 如权利要求2所述的用于控制像素电极的晶体管,其中所述过渡层的包括邻近于所述第一层间介电层的氧化硅的部分具有第三折射率,并且所述过渡层的包括邻近于所述第二层间介电层的氮化硅的部分具有第四折射率。
4. 如权利要求3所述的用于控制像素电极的晶体管,其中所述第一折射率小于所述第二折射率。
5. 如权利要求4所述的用于控制像素电极的晶体管,其中所述第三折射率大于所述第一折射率并且小于所述第四折射率,并且所述第四折射率大于所述第三折射率并且小于所述第二折射率。
6. 如权利要求1所述的用于控制像素电极的晶体管,进一步包括基板,其中所述第一层间介电层和所述第二层间介电层布置在所述基板上。
7. 如权利要求6所述的用于控制像素电极的晶体管,进一步包括缓冲层,所述缓冲层布置在所述基板之上并且在所述第一层间介电层之下。
8. 如权利要求7所述的用于控制像素电极的晶体管,其中所述缓冲层进一步包括:
第一缓冲子层,包括氮化硅;
第二缓冲子层,包括氧化硅,并且形成于所述第一缓冲子层之上;和
过渡堆叠结构,布置于所述第一缓冲子层与所述第二缓冲子层之间,所述过渡堆叠结构至少包括邻近于所述第一缓冲子层的第一缓冲过渡子层和邻近于所述第二缓冲子层的第二缓冲过渡子层。
9. 如权利要求1所述的用于控制像素电极的晶体管,进一步包括光亚克力层,所述光亚克力层布置在所述第二层间介电层之上。
10. 如权利要求9所述的用于控制像素电极的晶体管,进一步包括第一铟锡氧化物层,所述第一铟锡氧化物层布置在所述光亚克力层之上。
11. 如权利要求10所述的用于控制像素电极的晶体管,进一步包括氮化硅层,所述氮化硅层布置在所述第一铟锡氧化物层之上。
12. 如权利要求11所述的用于控制像素电极的晶体管,进一步包括第二铟锡氧化物层,所述第二铟锡氧化物层至少部分地布置在所述氮化硅层之上。
13. 如权利要求12所述的用于控制像素电极的晶体管,进一步包括聚酰亚胺层,所述聚酰亚胺层布置在所述氮化硅层和所述第二铟锡氧化物层之上。
14. 如权利要求13所述的用于控制像素电极的晶体管,进一步包括液晶层,所述液晶层布置在所述聚酰亚胺层之上。

15. 一种薄膜晶体管, 包括:

基板;

缓冲层, 所述缓冲层布置在所述基板之上, 所述缓冲层包括无机材料;

第一层间介电层, 所述第一层间介电层布置在所述基板之上, 所述第一层间介电层包括氧化硅;

第二层间介电层, 所述第二层间介电层布置在所述第一层间介电层之上, 所述第二层间介电层包括氮化硅; 和

过渡层, 所述过渡层形成在所述第一层间介电层之上并且在所述第二层间介电层之下, 所述过渡层包括氧化硅和氮化硅, 其中所述过渡层包括邻近于所述第一层间介电层的氧化硅和邻近于所述第二层间介电层的氮化硅。

16. 如权利要求15所述的薄膜晶体管, 其中所述第一层间介电层具有第一折射率, 并且所述第二层间介电层具有第二折射率。

17. 如权利要求16所述的薄膜晶体管, 其中所述过渡层的包括邻近于所述第一层间介电层的氧化硅的部分具有第三折射率, 并且所述过渡层的包括邻近于所述第二层间介电层的氮化硅的部分具有第四折射率。

18. 如权利要求17所述的薄膜晶体管, 其中所述第一折射率小于所述第二折射率。

19. 如权利要求18所述的薄膜晶体管, 其中所述第三折射率大于所述第一折射率并且小于所述第四折射率, 并且所述第四折射率大于所述第三折射率并且小于所述第二折射率。

20. 一种薄膜晶体管, 包括:

基板;

缓冲层, 所述缓冲层布置在所述基板上, 所述缓冲层包括无机材料; 和

两个双层, 所述两个双层布置于所述基板之上, 各双层包括:

第一层间介电层, 所述第一层间介电层布置在所述基板之上, 所述第一层间介电层包括氧化硅;

第二层间介电层, 所述第二层间介电层布置在所述第一层间介电层之上, 所述第二层间介电层包括氮化硅; 和

过渡层, 所述过渡层形成在所述第一层间介电层之上并且在所述第二层间介电层之下, 所述过渡层包括氧化硅和氮化硅, 其中所述过渡层包括邻近于所述第一层间介电层的氧化硅和邻近于所述第二层间介电层的氮化硅。

氮氧化硅梯度构思

[0001] 本申请是申请日为2016年6月15日、申请号为201680023536.2、发明名称为“氮氧化硅梯度构思”的发明专利申请的分案申请。

[0002] 背景

技术领域

[0003] 本公开内容的实施方式一般涉及用于在液晶显示器及有机发光二极管显示器中使用低温多晶硅(low temperature polysilicon,LTPS)薄膜晶体管的方法及装置。

背景技术

[0004] 由于大型玻璃面板在使用上固有的温度限制,低温多晶硅(low-temperature polycrystalline silicon,LTPS)对于显示器技术而言相当重要。使用低温多晶硅制造的薄膜晶体管具有改良的半导体性能,能够形成具有更高分辨率的显示器。因此,低温多晶硅薄膜晶体管提供改良电子装置(例如液晶显示器及有机发光二极管显示器)的可能性。

[0005] 随着液晶显示器及有机发光二极管技术的改善,对于更大分辨率的需求便产生。低温多晶硅薄膜晶体管的层间光线的光透射比(transmittance)是改良分辨率的阻碍。特别是,当邻近的层具有不同的折射率时,光透射比减小,限制了分辨率。用于改良分辨率的一种方法是改良低温多晶硅薄膜晶体管的层间光线的光透射比。

[0006] 因此,存在对低温多晶硅薄膜晶体管中改良的光透射比的需求。

发明内容

[0007] 本文所述的实施方式一般涉及具有低温多晶硅技术的液晶显示器及有机发光二极管装置,包括为了改良的光透射比的具有匹配的折射率的内层。

[0008] 更特别地,本文所述的实施方式涉及具有两个布置于基板上的双层的液晶显示器或有机发光二极管装置。每个双层包括具有第一折射率的第一无机层;具有第二折射率的第二无机层;以及布置于第一无机层与第二无机层之间的过渡堆叠结构。第一折射率小于第二折射率。过渡堆叠结构包括至少第三无机层及第四无机层。在过渡堆叠结构中,第三无机层布置于第一无机层上且具有第三折射率;第四无机层布置于第三无机层上且具有第四折射率。第三折射率大于第一折射率且小于第四折射率。第四折射率大于第三折射率且小于第二折射率。液晶层布置于两个双层上。

[0009] 本文所述的实施方式还涉及具有栅极绝缘体双层及布置于玻璃基板上的层间介电层的液晶显示器或有机发光二极管装置。栅极绝缘体双层包括具有第一折射率的第一无机层;具有第二折射率的第二无机层;以及布置于第一无机层与第二无机层之间的过渡堆叠结构。第一折射率小于第二折射率。过渡堆叠结构包括至少第三无机层及第四无机层。第三无机层布置于第一无机层上且具有第三折射率。第四无机层布置于第三无机层上且具有第四折射率。第三折射率大于第一折射率且小于第四折射率。第四折射率大于第三折射率且小于第二折射率。层间介电层布置于栅极绝缘体双层上。层间介电层包括具有第五折射

率的第五无机层;具有第六折射率的第六无机层;以及布置于第五无机层及第六无机层之间的过渡堆叠结构。第五折射率小于第六折射率。过渡堆叠结构包括至少第七无机层及第八无机层。第七无机层布置于第五无机层上且具有第七折射率。第八无机层布置于第七无机层上且具有第八折射率。第七折射率大于第五折射率且小于第八折射率。第八折射率大于第七折射率且小于第六折射率。液晶层布置于层间介电层上。

附图说明

[0010] 为了能够详细地理解本公开内容的上述特征的方式,可以通过参考实施方式具有对在上文中简要概述的本公开内容的更具体的描述,其中一些实施方式在附图中示出。然而,应当注意,附图仅示出了本发明的典型实施方式,因此不应将其视为限制本公开内容的范围,因为本公开内容可允许其他同等有效的实施方式。

[0011] 图1是根据一个实施方式的等离子体处理系统的截面示意图。

[0012] 图2是根据一个实施方式的薄膜晶体管装置的截面示意图。

[0013] 图3A是根据另一实施方式的薄膜晶体管装置的细节截面示意图。

[0014] 图3B是根据另一实施方式的薄膜晶体管装置的细节截面示意图。

[0015] 图4是根据另一实施方式的薄膜晶体管装置的截面示意图。

[0016] 图5是根据另一实施方式的薄膜晶体管装置的细节截面示意图。

[0017] 图6是展示根据一个实施方式的薄膜晶体管装置的制造方法的方框图。

[0018] 图7A是绘出氮化硅层在一波长范围内的典型的能量分散 n 值的图表。

[0019] 图7B是绘出氧化硅层在一波长范围内的典型的能量分散 n 值的图表。

[0020] 图8A是绘出氮化硅层在一波长范围内的典型的能量分散 k 值的图表。

[0021] 图8B是图示氧化硅层在一波长范围内的典型的能量分散 k 值的图。

[0022] 为了帮助理解,尽可能使用相同的参考数字标示图共有的相同的元件。应当理解,虽无进一步叙述,一个实施方式的元件及特征可有益地合并于其他实施方式。

具体实施方式

[0023] 本文所述的实施方式一般提供用于在液晶显示器及有机发光二极管显示器中使用低温多晶硅(low temperature polysilicon,LTPS)薄膜晶体管的方法及装置。在下列描述中,将参照等离子体增强化学气相沉积(Plasma Enhanced Chemical Vapor Deposition,PECVD)的腔室,然而应当理解,本文的实施方式也可实行于其他的腔室(包括仅列举出一些的高密度等离子体(high density Plasma,HDP)沉积、物理气相沉积(physical Vapor Deposition,PVD)腔室、蚀刻腔室、半导体处理腔室、太阳能电池处理腔室及有机发光显示器(organic light emitting display,OLED)处理腔室)。可使用的合适的腔室可从加利福尼亚州的圣塔克拉拉市的美国AKT股份有限公司(AKT America,Inc.) (应用材料股份有限公司(Applied Materials,Inc.)的子公司)获得。应理解的是,本文所讨论的实施方式也可实行于可从其他制造商获得的腔室。

[0024] 图1是根据一个实施方式的等离子体处理系统100的截面示意图。等离子体处理系统100配置以处理大面积的基板101,使用等离子体于大面积的基板101上形成结构及装置,用于在液晶显示器、平板显示器、有机发光二极管、或用于太阳能电池阵列的光电电池的制

造中使用。基板101可以是金属、塑料、有机材料、硅、玻璃、石英、或其他合适的材料中的聚合物的薄片。结构可以是可包括多个依序的沉积及掩模处理(masking)步骤的薄膜晶体管。其他结构可包括形成光电二极管的二极管的p-n结。

[0025] 如图1所示,等离子体处理系统100一般包括腔室主体102。腔室主体102包括至少部分限定处理空间111的底部117a及侧壁117b。基板支撑件104布置于处理空间111中。基板支撑件104被适配以在处理期间于顶表面上支撑基板101。基板支撑件104耦接于致动器138。致动器138被适配以至少垂直地移动基板支撑件,以协助基板101的传输及/或调整基板101与喷头组件103之间的距离D。一个或多个升降销110a-110d可延伸穿过基板支撑件104。

[0026] 喷头组件103被配置用于由处理气源122提供处理气体至处理空间111。等离子体处理系统100还包括排放系统118,排放系统118被配置用于提供负压至处理空间111。

[0027] 在处理过程中,一种或多种处理气体由气源122通过喷头组件103流至处理空间111。射频(Radio Frequency, RF)电源由射频电源105施加,以由处理气体产生等离子体108a。等离子体108a产生于喷头组件103及基板支撑件104之间,用于处理基板101。射频电源105还可用于维持被激发的气体种类(energized species)或进一步激发由远端等离子体源107供应的清洁气体。

[0028] 图2是可图1的设备制造的薄膜晶体管装置的截面示意图。图6提供展示例如图2所示的实施方式的薄膜晶体管的制造方法的方框图600。提供基板210(通常为玻璃)。缓冲层220布置于玻璃基板之上(请参照图6的方框610)。缓冲层220可包括阻挡氧化物(例如诸如氧化硅(SiO)或氮化硅(SiN)的无机材料,或适合用于阻挡来自玻璃基板的钠或其他材料的任何材料)。栅极介面及层间电介质230布置于缓冲层220之上(请参照图6的方框620及630)。栅极介面及层间电介质230还可包括一个或多个无机层。光亚克力层(photoacrylic layer)240布置于层间电介质230之上(请参照图6的方框640)。铟锡氧化物(indium-tin-oxide, ITO)层250布置于光亚克力层240之上(请参照图6的方框650)。氮化硅层260布置于铟锡氧化物层250之上(请参照图6的方框660)。另一个铟锡氧化物层270可布置于所有或部分的氮化硅层260之上(请参照图6的方框670)。聚酰亚胺(polyimide)层280布置于氮化硅层260以及铟锡氧化物层260的暴露部分(若有的话)之上(请参照图6的方框680)。堆叠结构的顶层是液晶层290(请参照图6的方框690)。

[0029] 栅极介面层及层间电介质230可分别包括如图2的特写所示的两层。栅极介面层可包括无机层。例如,栅极介面层可包括氧化硅层232及氮化硅层234。类似地,层间电介质可包括氧化硅层236及氮化硅层238。如图7A所示,氮化硅的折射率(n)的范围为约1.8至2.0,例如是1.9,如图7B所示,氧化硅的折射率的范围为1.4至1.48,例如是1.46。氧化硅层与氮化硅层之间的折射率的差异足够显著以在氧化硅层232及氮化硅层234的介面造成一些反射。由于这些层延伸于像素电极层之上,反射将干扰光的透射比。类似地,如图8A及图8B所示,在一波长范围内,氮化硅的消光系数(extinction coefficient)(k)与氧化硅的消光系数不同。消光系数的差异导致光穿过介质时的衰减。衰减造成光透射比的干扰。因此,对于栅极介面而言,额外的一层或一组层可布置于氧化硅层232及氮化硅层234之间。此额外的一层或一组层是过渡层233。类似地,对于层间电介质而言,额外的一层或一组层可布置于氧化硅层236及氮化硅层238之间。此额外的一层或一组层是过渡层237。过渡层233、237的

组成是氧化硅、氮化硅及氮氧化硅 (SiON) 的逐渐变化的一层或一组层, 提供在氧化硅的折射率以及氮化硅的折射率之间的折射率。过渡层233、237可包括具有变化的氧及氮的含量的至少两子层, 以使得氧化硅层232与氮化硅层234之间、以及氧化硅层236与氮化硅层238之间的折射率差异逐渐变化。通过降低或逐渐改变折射率差异, 反射也减少且光透射比增强。

[0030] 例如, 图3A展示了减少反射的过渡层的一个实施方式。在图3A中, 层间电介质的氧化硅子层236被过渡层237从层间电介质的氮化硅子层238分开 (如图2所示)。在图3A中, 过渡层237可包括至少两个子层237A及237B。层间电介质过渡子层237A、237B可包括氧化硅及氮化硅两者。然而, 布置于层间电介质氧化硅层236上的层间电介质过渡子层237A可具有较高浓度的氧化硅及较低浓度的氮化硅。类似地, 布置于层间电介质过渡子层237A之上以及层间电介质氮化硅子层238之下的层间电介质过渡子层237B, 可具有较低的氧化硅浓度以及较高的氮化硅浓度。过渡子层中的氧化硅及氮化硅浓度可通过在沉积层期间控制氧化硅及氮化硅进入处理腔室100的流速而加以控制。虽然图3A的实施方式中仅展示两个层间电介质过渡子层, 也可具有更多的层间电介质过渡层, 其中氧化硅及氮化硅的含量 (level) 受到调整, 使得每个过渡层的氧化硅的浓度逐渐减小且在连续的层中每个过渡层的氮化硅的浓度逐渐增加。通过逐渐改变氧化硅及氮化硅的浓度, 折射率的差异最小化, 造成改善的光透射比。

[0031] 图3B展示栅极界面层的薄膜晶体管的细节的类似实施方式。在图3B中, 栅极界面的氧化硅子层232被过渡层233从栅极界面的氮化硅子层234分开 (如图2所示)。在图3B中, 过渡层233可包括至少两个子层233A及233B。栅极界面过渡子层233A、233B可包括氧化硅及氮化硅两者。然而, 布置于层间电介质氧化硅层232之上的栅极界面过渡子层233A可具有较高浓度的氧化硅及较低浓度的氮化硅。类似地, 布置于层间电介质过渡子层233A之上以及层间电介质氮化硅子层234之下的层间电介质过渡子层233B, 可具有较低的氧化硅浓度以及较高的氮化硅浓度。过渡子层中的氧化硅及氮化硅浓度可通过在沉积层期间控制氧化硅及氮化硅进入处理腔室100的流速而加以控制。虽然图3B中的实施方式仅展示了两个栅极界面过渡子层, 也可具有更多的栅极界面过渡层, 其中氧化硅及氮化硅的含量受到调整, 使得每个过渡层的氧化硅的浓度逐渐降低且在连续的层中每个过渡层的氮化硅的浓度逐渐增加。通过逐渐改变氧化硅及氮化硅的浓度, 折射率的差异最小化, 造成改善的光透射比。

[0032] 图4展示图2所示的低温多晶硅薄膜晶体管的另一实施方式。在图4中, 缓冲层220可包括两个子层222及224。缓冲子层222及224可包括无机层。例如, 缓冲子层222可包括氮化硅, 且缓冲子层224可包括氧化硅。当在栅极界面及层间电介质中, 氧化硅及氮化硅之间的折射率的差异可能造成反射干扰。为了减少反射, 一个或多个过渡层223可布置于氧化硅层222及氮化硅层224之间。

[0033] 图5图示一个实施方式, 其中缓冲过渡层223包括至少两个过渡子层。缓冲过渡子层223A (包括氮化硅) 布置于缓冲子层222之上。缓冲过渡子层223A可包括氧化硅及氮化硅两者, 但氮化硅的浓度比氧化硅的浓度高。缓冲过渡子层223B布置于缓冲过渡子层223A之上, 且在缓冲子层224之下。缓冲过渡子层223B可包括氧化硅及氮化硅两者, 但氧化硅的浓度比氮化硅的浓度高。又, 子层中的氧化硅及氮化硅的浓度是通过在沉积期间控制氧化硅及氮化硅进入处理腔室中的流速而控制的。过渡子层的使用减小各个子层之间的折射率差

异,减小反射干扰并改善光透射比。

[0034] 如同上文所论述,化学气相沉积法沉积的氮化硅及氧化硅之间的折射率差异可限制像素电极之上的层间的光透射比,导致性能降低。为了减少此种影响,过渡层布置于氧化硅及氮化硅层之间。这些过渡层导致层间折射率的改变有所减少,进而在增加有限的成本之下造成减少的反射干扰及改善的光透射比。

[0035] 虽然本公开内容以实施方式叙述如上,在不脱离本发明的基本范围的情况下,可设计出其他和更进一步的实施方式,本发明的保护范围由随后的权利要求书确定。

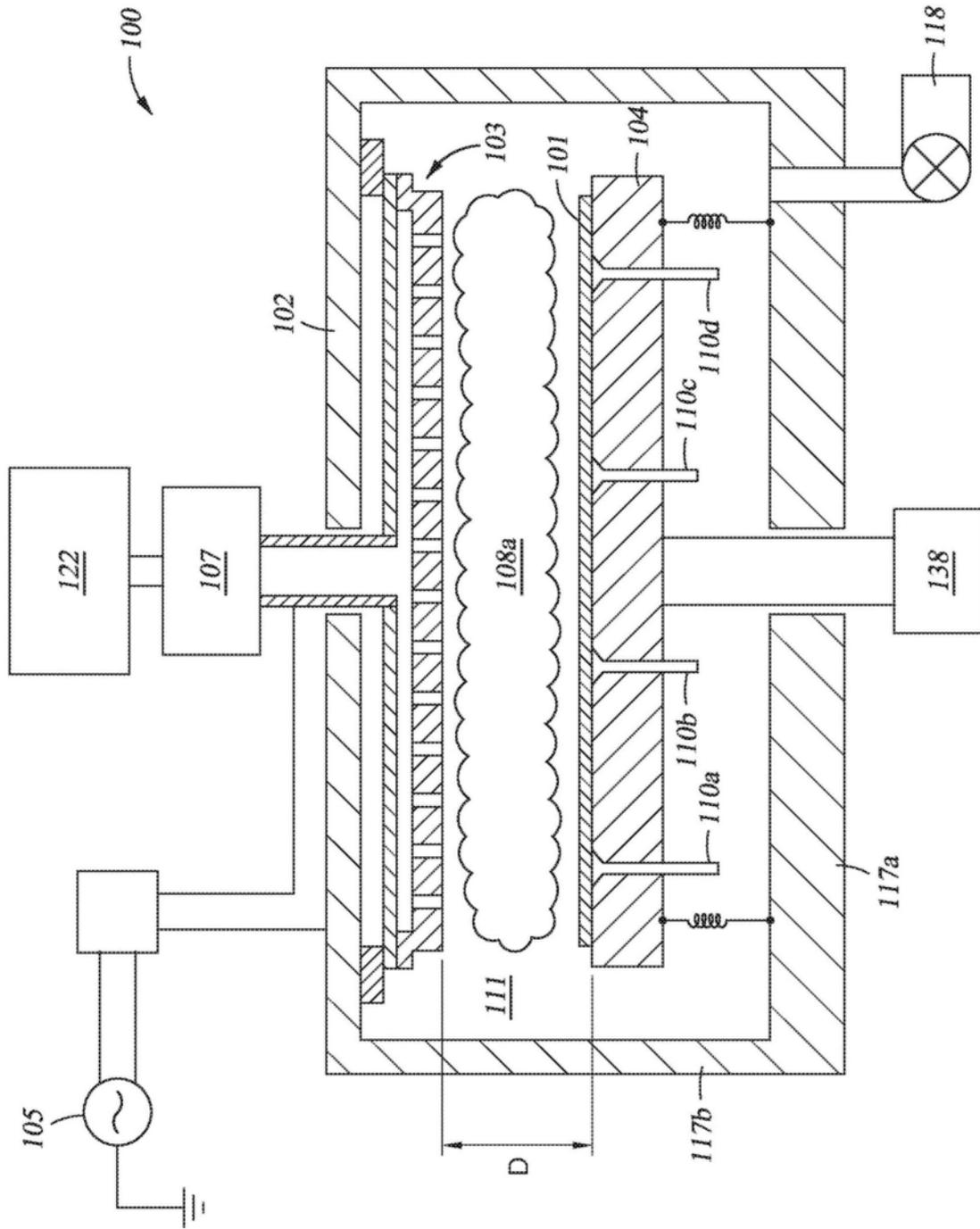


图1

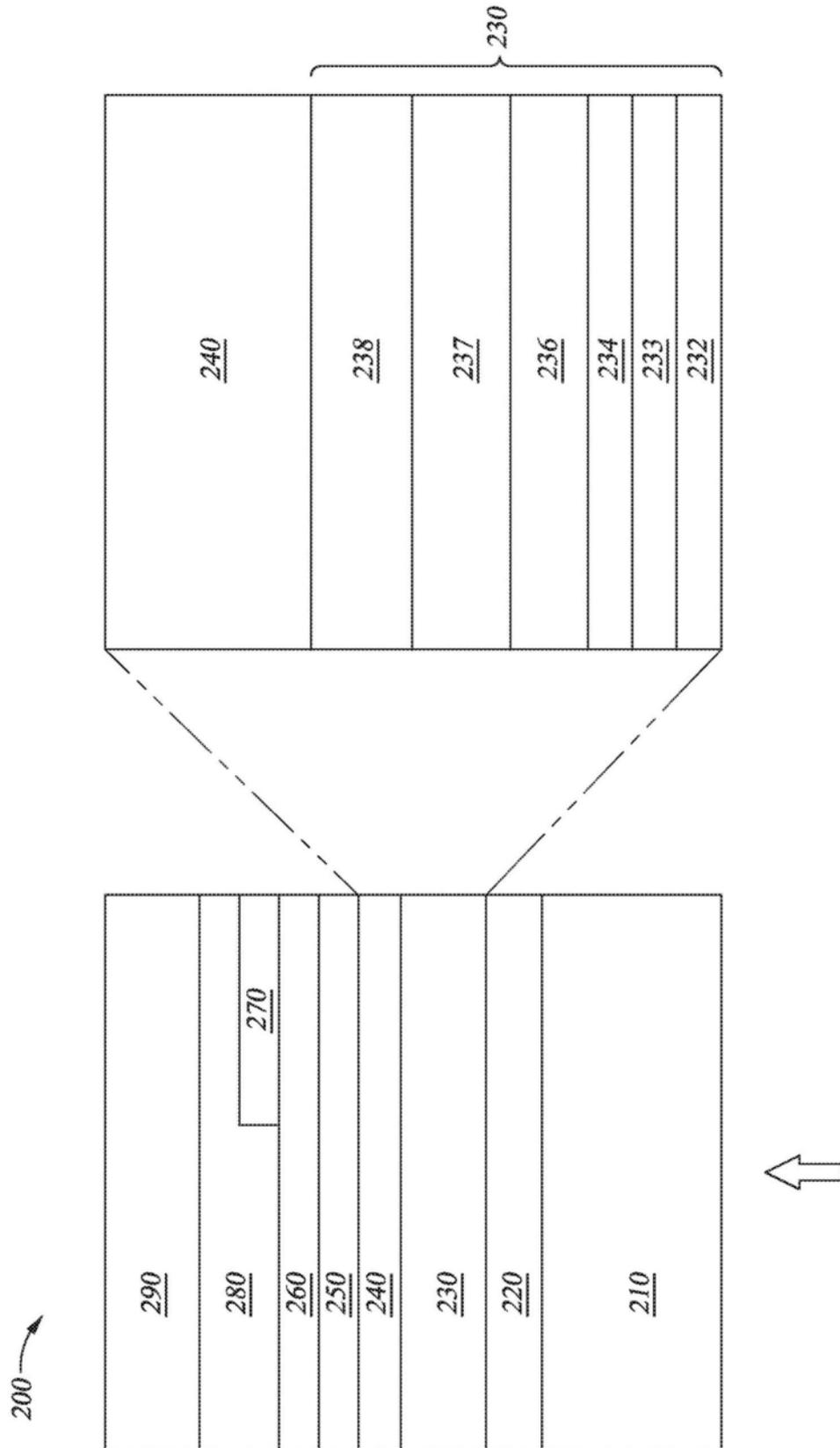


图2

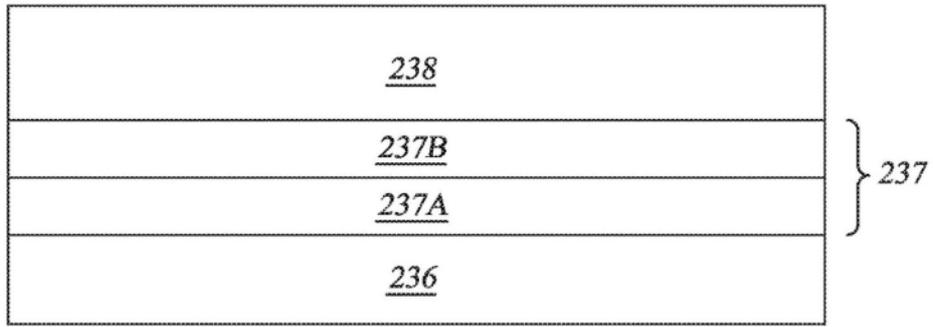


图3A

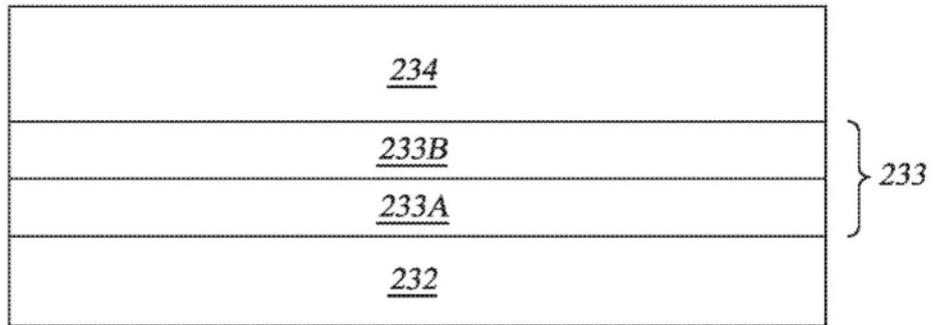


图3B

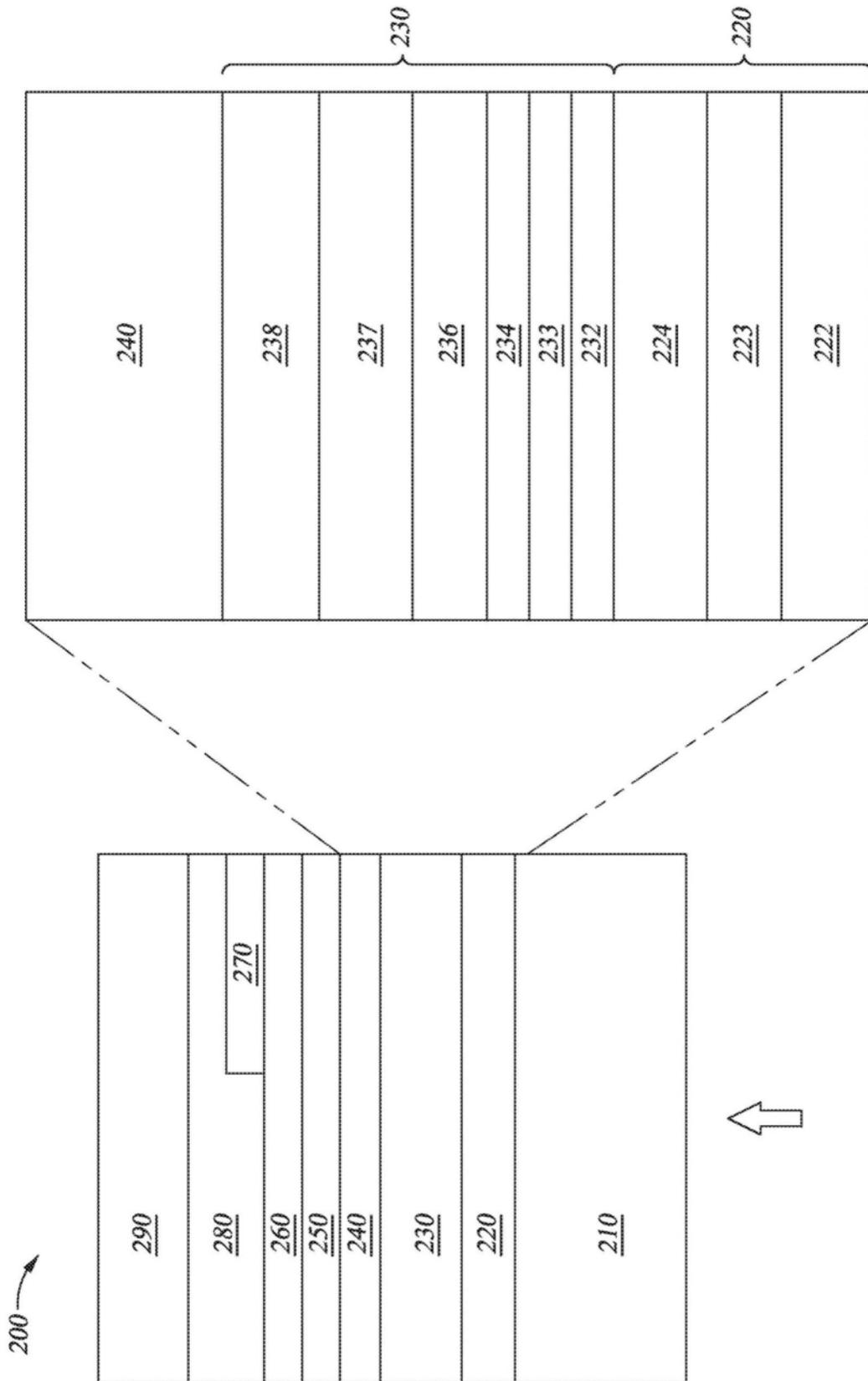


图4

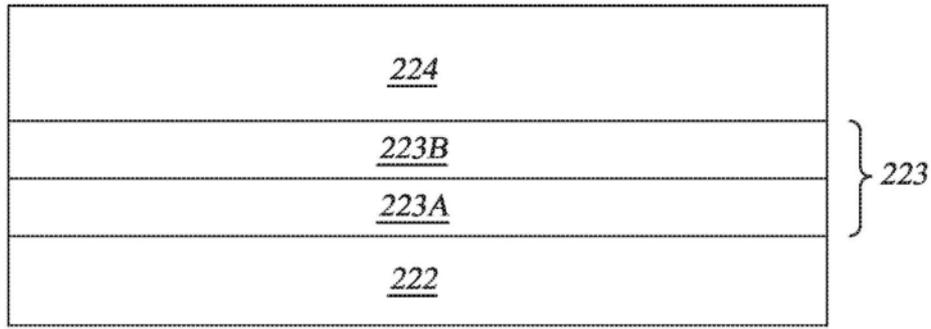


图5

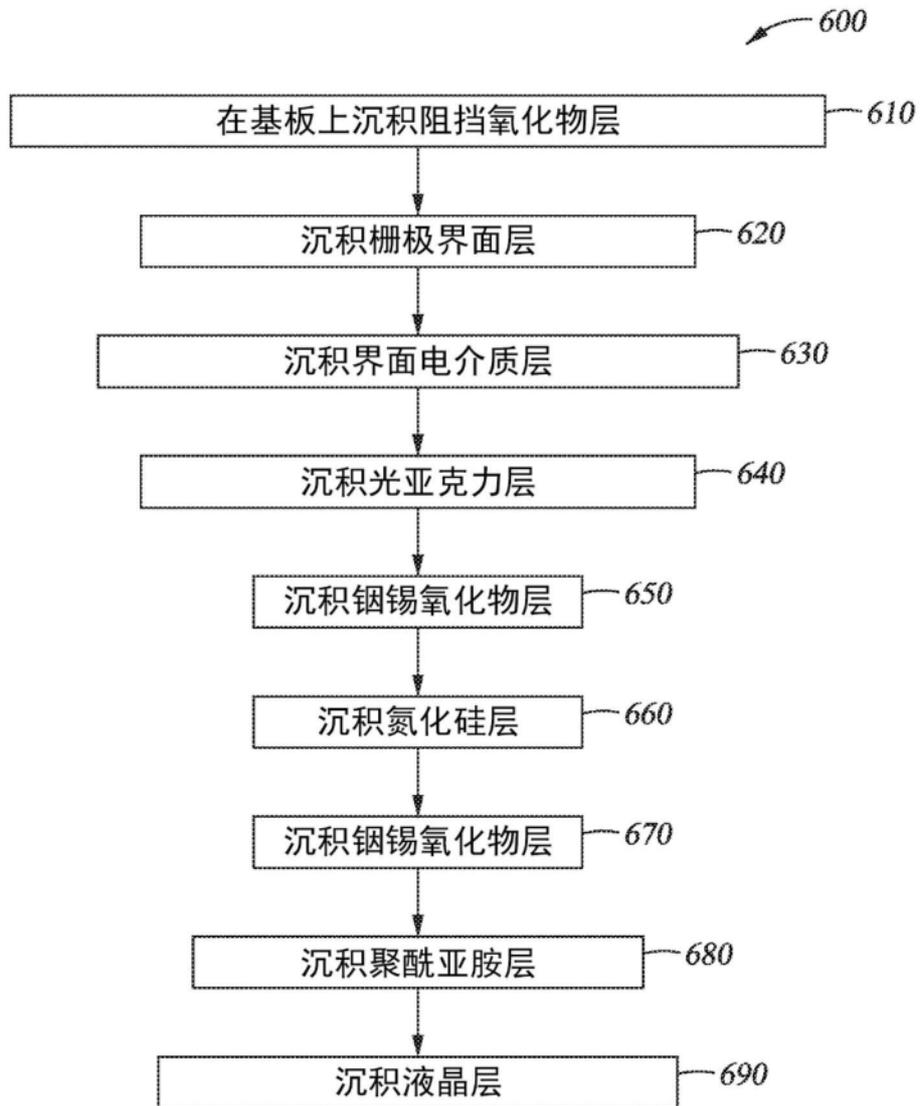


图6

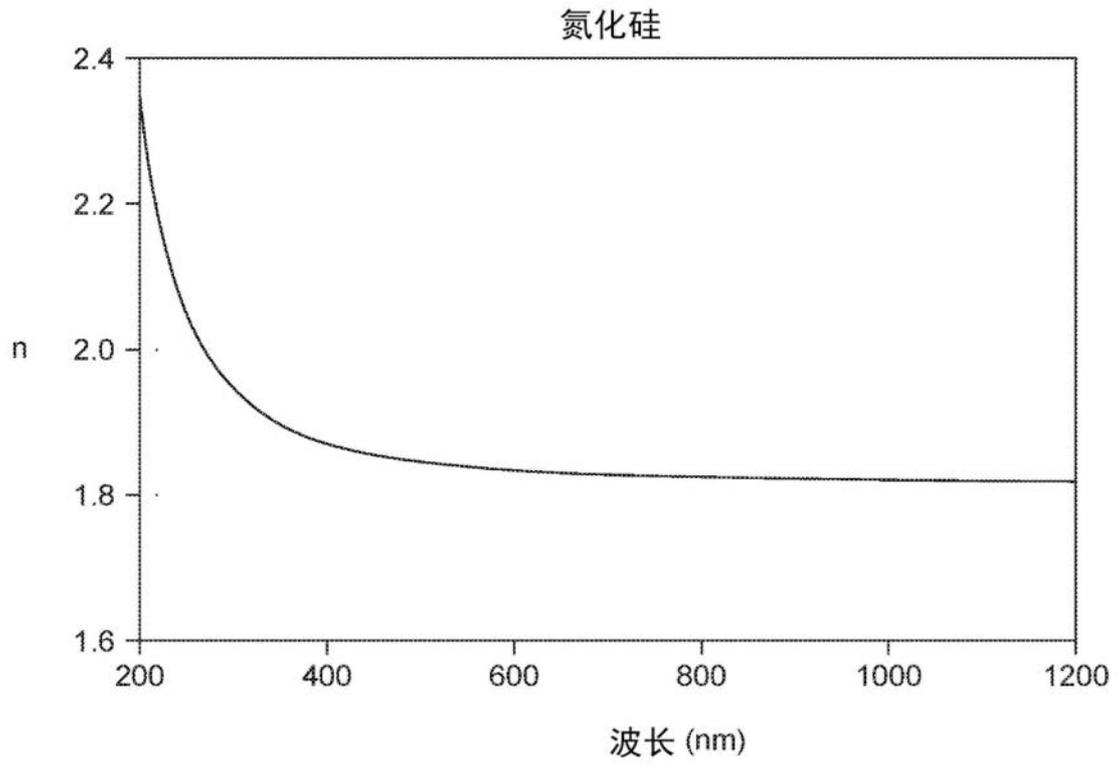


图7A

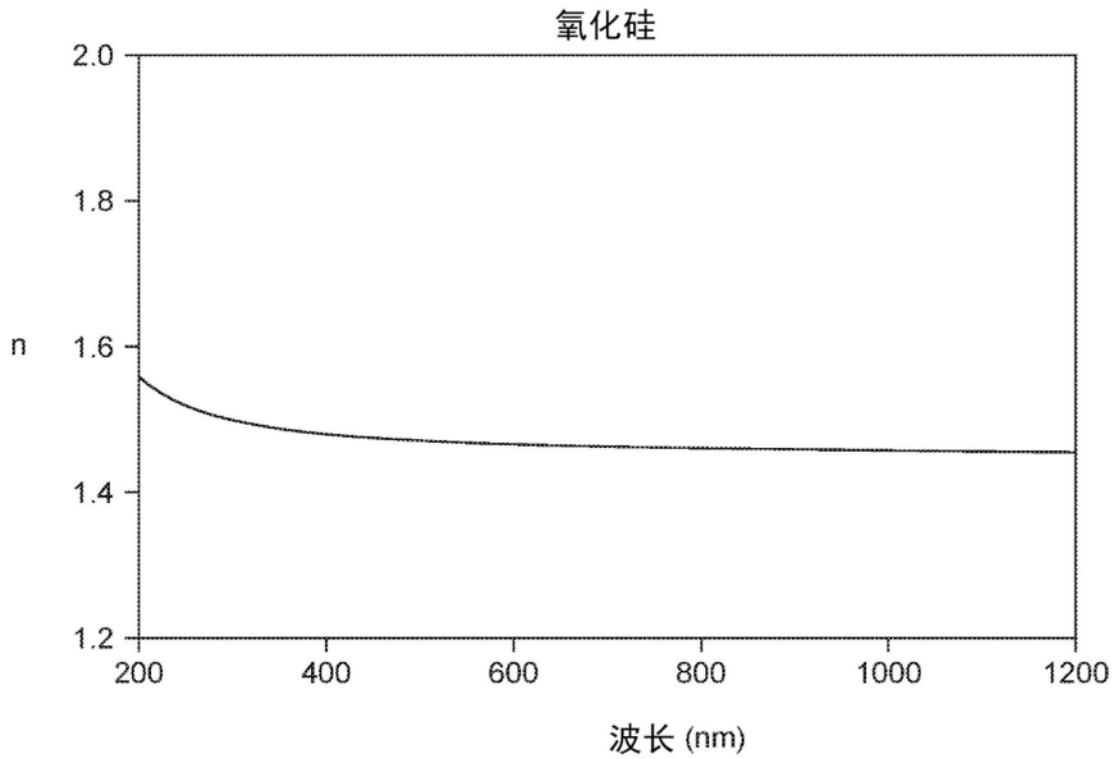


图7B

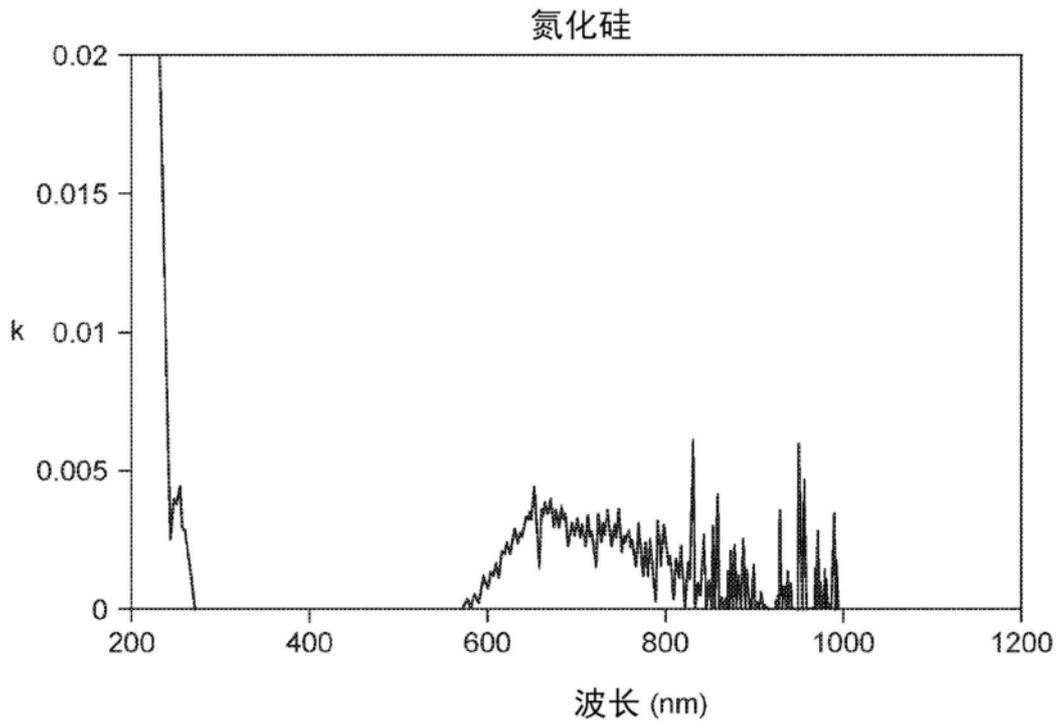


图8A

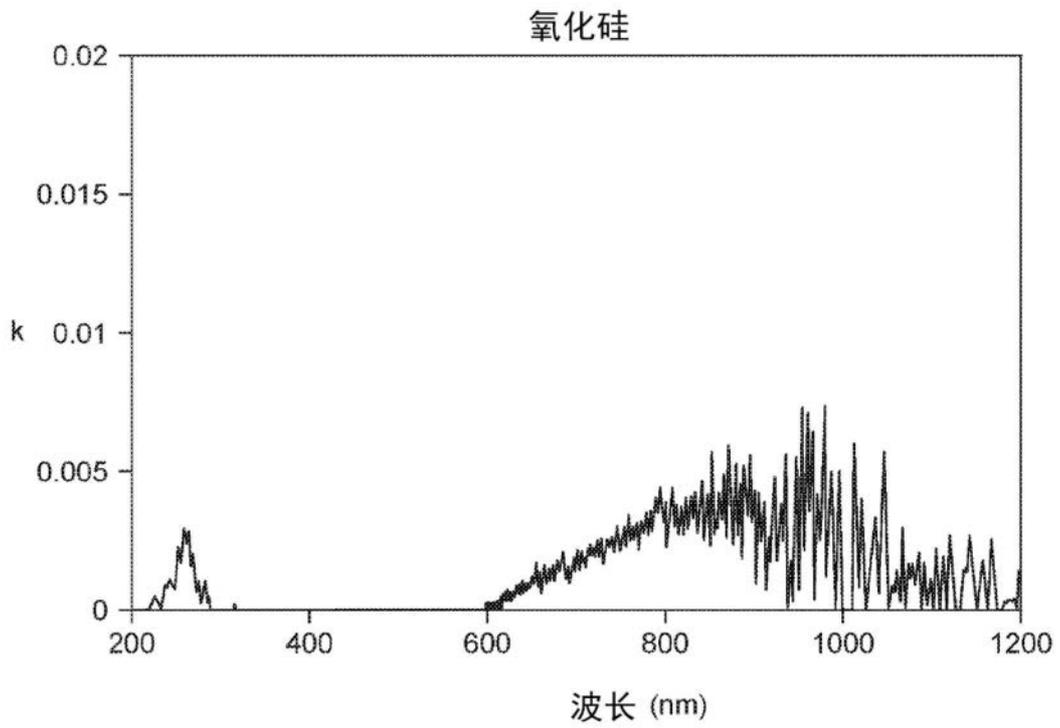


图8B