



(12) 发明专利

(10) 授权公告号 CN 101510536 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 200810186572. 8

(22) 申请日 2008. 12. 25

(30) 优先权数据

2008-033012 2008. 02. 14 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 小出优树 南正隆

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 刘国伟

(51) Int. Cl.

H01L 23/482(2006. 01)

H01L 21/60(2006. 01)

(56) 对比文件

CN 1929124 A, 2007. 03. 14,

US 2004155351 A1, 2004. 08. 12,

审查员 吕媛

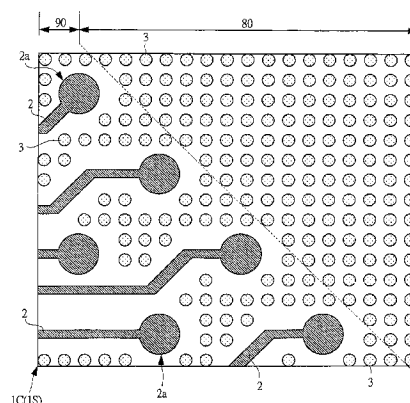
权利要求书 3 页 说明书 13 页 附图 21 页

(54) 发明名称

半导体装置及半导体装置的制造方法

(57) 摘要

本发明可使具有 WPP 技术的再配线的半导体装置的可靠性提高。再配线在半导体基板 1S 的面内具有彼此电性分离的自体图案 2 及虚设图案 3。将与多层配线电性连接的自体图案 2 及浮动的虚设图案 3 设置成混合存在于半导体基板 1S 的面内。半导体基板 1S 的面内的自体图案 2 及虚设图案 3 合在一起的占有率, 即再配线的占有率为 35% 以上且 60% 以下。



1. 一种半导体装置,其特征在于:
 - 包括设置在半导体基板上的多层配线、
 - 以覆盖所述多层配线的方式设置在所述半导体基板上的无机类绝缘膜、
 - 设置在所述无机类绝缘膜上的第 1 有机类绝缘膜、
 - 设置在所述第 1 有机类绝缘膜上的再配线、及以覆盖所述再配线的方式设置在所述第 1 有机类绝缘膜上的第 2 有机类绝缘膜;
 - 所述再配线在所述半导体基板的面内具有彼此电性分离的第 1 图案及第 2 图案;
 - 在所述多层配线的最上层配线的一部分上且在所述无机类绝缘膜及所述第 1 有机类绝缘膜上所设置的第 1 开口部中,所述第 1 图案与所述多层配线电性连接;
 - 所述第 2 图案与所述多层配线电性分离;
 - 在所述第 1 图案的一部分上且在所述第 2 有机类绝缘膜上所设置的第 2 开口部中,所述第 1 图案的一部分露出;
 - 所述第 1 图案与所述第 2 图案设置成混合存在于所述半导体基板的面内。
2. 根据权利要求 1 所述的半导体装置,其特征在于:
 - 在所述第 1 图案的一部分上,设置有与所述第 1 图案电性连接的凸块电极。
3. 根据权利要求 1 所述的半导体装置,其特征在于:
 - 所述半导体基板构成在面内具有第 1 区域及所述第 1 区域周围的第 2 区域的半导体芯片;
 - 所述第 1 图案设置在所述第 2 区域上;
 - 所述第 2 图案设置在所述第 1 区域及所述第 2 区域上。
4. 根据权利要求 1 所述的半导体装置,其特征在于:
 - 所述第 2 图案的平面形状为圆形状或者所有的角为钝角的多角形状。
5. 根据权利要求 1 所述的半导体装置,其特征在于:
 - 所述第 2 图案的加工尺寸为所述第 1 图案的加工尺寸以下。
6. 根据权利要求 1 所述的半导体装置,其特征在于:
 - 所述再配线在所述半导体基板的面内的占有率为 35%以上。
7. 根据权利要求 1 所述的半导体装置,其特征在于:
 - 所述再配线在所述半导体基板的面内的占有率为 60%以下。
8. 一种半导体装置的制造方法,其特征在于:
 - 包括以下步骤:
 - (a) 在半导体基板上形成多层配线之后,以覆盖所述多层配线的方式在所述半导体基板上形成第 1 绝缘膜;
 - (b) 在所述第 1 绝缘膜上形成第 2 绝缘膜;
 - (c) 在所述多层配线的最上层配线的一部分上的所述第 1 绝缘膜及所述第 2 绝缘膜上,形成使所述最上层配线的一部分露出的第 1 开口部;
 - (d) 使用电解电镀法,以埋入到所述第 1 开口部的内部的方式在所述第 2 绝缘膜上形成构成第 1 图案部份的再配线,并且以与所述第 1 图案电性分离的方式在所述第 2 绝缘膜上形成构成第 2 图案部份的再配线;及
 - (e) 在以覆盖所述再配线的方式在所述半导体基板上形成第 3 绝缘膜之后,将在所述

第 1 图案的一部分上且使所述第 1 图案的一部分露出的第 2 开口部形成在所述第 3 绝缘膜上；

在所述步骤 (d) 中,以使所述第 1 图案及所述第 2 图案混合存在于所述半导体基板的面内的方式而形成所述再配线。

9. 根据权利要求 8 所述的半导体装置的制造方法,其特征在于:

进一步包括以下步骤:

(f) 在所述步骤 (d) 之前,利用使用有计算机的自动设计,将所述第 1 图案及所述第 2 图案在所述半导体基板的面内进行定位,

所述步骤 (f) 包括以下步骤:

(f1) 在所述半导体基板的面内形成配置有所述第 1 图案的第 1 处理图案;

(f2) 在所述半导体基板的整个面上形成配置有所述第 2 图案的第 2 处理图案;

(f3) 将所述第 1 处理图案及所述第 2 处理图案加以合成;及

(f4) 在所述步骤 (f3) 之后,计算与所述第 1 图案在固定间隔内的所述第 2 图案,并将其删除。

10. 一种半导体装置的制造方法,其特征在于:

包括以下步骤:

(a) 准备具有由第 1 芯片区域及第 2 芯片区域所构成的照射区域的半导体晶片;

(b) 在所述半导体晶片上形成多层配线之后,以覆盖所述多层配线的方式在所述半导体晶片上形成第 1 绝缘膜;

(c) 在所述第 1 绝缘膜上形成第 2 绝缘膜;

(d) 在所述第 1 芯片区域中,在所述多层配线的最上层配线的一部分上的所述第 1 绝缘膜及所述第 2 绝缘膜上,形成使所述最上层配线的一部分露出的第 1 开口部;

(e) 使用电镀法,在所述第 1 芯片区域中,以埋入到所述第 1 开口部的内部的方式在所述第 2 绝缘膜上形成构成第 1 图案部份的再配线,并且以与所述第 1 图案电性分离的方式在所述第 2 绝缘膜上形成构成第 2 图案部份的再配线;及

(f) 在以覆盖所述再配线的方式于所述半导体基板上形成第 3 绝缘膜之后,将在所述第 1 图案的一部分上而使所述第 1 图案的一部分露出的第 2 开口部形成在所述第 3 绝缘膜上;

在所述步骤 (e) 中,在所述第 1 芯片区域中,以使所述第 1 图案及所述第 2 图案混合存在于所述半导体基板的面内的方式而形成所述再配线,并且在所述第 2 芯片区域中,形成构成第 3 图案部份的再配线,所述第 3 图案与所述第 1 图案电性分离。

11. 一种半导体装置,其特征在于:

包括设置在半导体基板上的多层配线、

以覆盖所述多层配线的方式设置在所述半导体基板上的钝化膜、

设置在所述钝化膜上的再配线、及

以覆盖所述再配线的方式设置在所述钝化膜上的第 1 绝缘膜;

所述再配线在所述半导体基板的面内具有彼此电性分离的第 1 图案及第 2 图案;

在所述多层配线的最上层配线的一部分上且在所述钝化膜上所设置的第 1 开口部中,多个所述第 1 图案中的每一个与所述多层配线电性连接;

所述第 2 图案与所述多层配线电性分离；

在所述第 1 图案的一部分上且在所述第 1 绝缘膜上所设置的第 2 开口部中，多个所述第 1 图案中的每一个的一部分露出；

所述第 1 图案与所述第 2 图案混合存在于所述半导体基板的面内。

12. 根据权利要求 11 所述的半导体装置，其特征在于：

在所述第 2 图案的一部分上且在所述第 1 绝缘膜上所设置的第 3 开口部中，所述第 2 图案的一部分露出；

13. 根据权利要求 12 所述的半导体装置，其特征在于：

在所述第 2 图案的所述部分上，设置有与所述第 2 图案电性连接的凸块电极。

14. 根据权利要求 11 所述的半导体装置，其特征在于：

在所述第 1 图案的所述部分上，设置有与所述第 1 图案电性连接的凸块电极。

15. 根据权利要求 11 所述的半导体装置，其特征在于：

所述半导体基板构成在面内具有第 1 区域及所述第 1 区域周围的第 2 区域的半导体芯片；

所述第 1 图案设置在所述第 2 区域上；

所述第 2 图案设置在所述第 1 区域及所述第 2 区域上。

16. 根据权利要求 11 所述的半导体装置，其特征在于：

所述第 2 图案的平面形状为圆形状或者所有的角为钝角的多角形状。

17. 根据权利要求 11 所述的半导体装置，其特征在于：

所述第 2 图案的加工尺寸为所述第 1 图案的加工尺寸以下。

18. 根据权利要求 11 所述的半导体装置，其特征在于：

所述再配线在所述半导体基板的面内的占有率为 35%以上。

19. 根据权利要求 11 所述的半导体装置，其特征在于：

所述再配线在所述半导体基板的面内的占有率为 60%以下。

半导体装置及半导体装置的制造方法

技术领域

[0001] 本发明涉及一种半导体装置及半导体装置的制造技术,特别涉及在具有 WPP(Wafer Process Package,晶片制程封装)技术的再配线的半导体装置中应用而有效的技术。

背景技术

[0002] WPP 技术(或者也称为 WLP(Wafer Level Package,晶片级封装)技术)是一种使晶片制程(前工程)与封装制程(后工程)一体化,并在晶片状态下完成封装的技术,与针对从半导体晶片上切下的每一半导体芯片而处理封装制程的技术相比,具有可大幅削减步骤数的优点。在 WPP 技术的封装制程中,利用电镀法而形成与前述前工程中所形成的半导体元件电性连接的再配线,并且以表面保护膜来覆盖再配线。

[0003] 另外,在日本专利特开平 9-306914 号公报(专利文献 1)中,揭示有一种技术,将虚设电镀图案与作为实际的配线的本体图案一起设置在半导体晶片上来作为半导体元件的配线形成方法。此专利文献 1 是以稳定地形成均匀的电镀配线来作为半导体元件的配线为中心,但关于稳定地形成 WPP 技术的再配线的观点并无记载。

[0004] 专利文献 1:日本专利特开平 9-306914 号公报

发明内容

[0005] 例如,在高速 SRAM(Static Random Access Memory,静态随机存取内存)或 CMOS(Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)逻辑产品中,采用以降低封装成本及高速化等为目的的 WPP 技术,从而所述产品成为利用由焊锡所形成的凸块电极而在安装基板上进行倒装芯片(flip chip)连接的封装构造。

[0006] 例如,在 WPP 技术中,可经过如下所示的步骤而制造半导体装置。首先,在半导体晶片的主面上形成 MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属-绝缘层-半导体场效应晶体管)等的半导体元件,且在所述半导体元件的上部形成多层配线(多个配线层)。其次,在多层配线上,形成氮化硅膜及氧化硅膜,且进一步在氧化硅膜上形成聚酰亚胺树脂膜。另外,此前的步骤成为 WPP 技术的晶片制程,以下的步骤成为 WPP 技术的封装制程。

[0007] 接着,使氧化硅膜、氮化硅膜及聚酰亚胺树脂膜图案化,以此形成在底面上露出有多层配线的最上配线的开口部。然后,在开口部内含有的聚酰亚胺树脂膜上形成薄的电极层(障壁层/籽晶层),在所述电极层上使用电镀法而形成再配线。再配线例如是由铜膜及镍膜的积层膜所构成。其次,在再配线上形成聚酰亚胺树脂膜之后,进行图案化,由此使再配线的一端部露出。其后,在已露出的再配线的一端部上形成凸块电极。由此,可制造在半导体晶片的状态下被封装、且具有再配线及连接于再配线的凸块电极的半导体装置。

[0008] 本发明者等人发现,在所述的使用有 WPP 技术的半导体装置中,在使用电镀法而形成的再配线上,存在外观异常(例如颗粒径的粗大化、表面粗糙)或者半导体晶片的中心

部与周边部的膜厚产生差异的问题。特别是在半导体晶片的中心部,再配线的膜厚较薄,且外观异常显著。进而,在具有外观异常的再配线的一端部上所形成的凸块电极中,会因剥落等而使得半导体装置的可靠性下降。因此,将再配线的外观异常判断为不良的半导体装置的制造良率会下降。

[0009] 根据本发明者等人的研讨,再配线的外观异常对于再配线图案具有依存性,其集中在形成有与半导体元件电性连接的再配线的区域 A、及未形成有再配线的区域 B 的边界附近的再配线的端部。即,从电镀法的观点而言,认为在所述边界的再配线的端部,电场容易集中,电流密度会局部增大,从而使得再配线的结晶颗粒径粗大化。因此,作为再配线的外观异常的对策,考虑在未形成有再配线的区域 B 上也配置再配线。但是,单单仅在区域 B 上配置再配线,仍会具有因再配线的疏密差异而导致在再配线的端部产生外观异常的情况。因此,即便是在如所述区域 A 之类的局部 (Local) 区域上,也需防止再配线的疏密差异变大。

[0010] 而且,作为半导体晶片的中心部与周边部上的再配线的膜厚差异的原因,认为是由于再配线形成时的电镀电流值依存于半导体晶片面内的再配线的占有率,从而无法确保用以取得适当膜厚的电镀电流。因此,需要根据半导体晶片面内区域的再配线的占有率来减少电镀膜厚(再配线的膜厚)差异。

[0011] 本发明的目的在于提供一种使半导体装置的可靠性提高的技术。

[0012] 本发明的所述及除此之外的其它目的以及新颖的特征,可根据本说明书的记述及附图而明确了解。

[0013] 本申请案所揭示的发明中,对于代表性的发明的概要的简单说明如下所述。

[0014] 在本发明的一实施方式中,WPP 技术的再配线在半导体基板的面内具有彼此电性分离的自体图案(第 1 图案)及虚设图案(第 2 图案)。与多层配线电性连接的自体图案及浮动的虚设图案被设置成混合存在于半导体基板的面内。

[0015] [发明的效果]

[0016] 本申请案所揭示的发明中,对于由代表性的发明所取得的效果的简单说明如下所述。

[0017] 根据所述的一实施方式,可降低配置于半导体基板的面内的再配线的疏密差异,从而可提高半导体装置的可靠性。

附图说明

[0018] 图 1 是示意性表示本发明的一实施方式的半导体装置的平面的说明图。

[0019] 图 2 是放大表示图 1 的半导体装置的平面的说明图。

[0020] 图 3 是示意性表示图 1 的半导体装置的主要部分剖面的说明图。

[0021] 图 4 是放大表示与图 2 相对应的本发明者等人所研讨的半导体装置的平面的说明图。

[0022] 图 5 是本发明的一实施方式的半导体装置的制造步骤的流程图。

[0023] 图 6 是表示图 5 的设计步骤中的处理图案的说明图。

[0024] 图 7 是表示继图 6 之后的设计步骤中的处理图案的说明图。

[0025] 图 8 是表示继图 7 之后的设计步骤中的处理图案的说明图。

- [0026] 图 9 是表示继图 8 之后的设计步骤中的处理图案的说明图。
- [0027] 图 10 是表示继图 9 之后的设计步骤中的处理图案的说明图。
- [0028] 图 11 是表示图 5 的晶片步骤及封装步骤中的半导体装置的平面的说明图。
- [0029] 图 12 是表示继图 11 之后的半导体装置的剖面的说明图。
- [0030] 图 13 是表示继图 12 之后的半导体装置的剖面的说明图。
- [0031] 图 14 是表示继图 13 之后的半导体装置的剖面的说明图。
- [0032] 图 15 是表示继图 14 之后的半导体装置的剖面的说明图。
- [0033] 图 16 是表示继图 15 之后的半导体装置的剖面的说明图。
- [0034] 图 17 是表示继图 16 之后的半导体装置的剖面的说明图。
- [0035] 图 18 是表示继图 17 之后的半导体装置的剖面的说明图。
- [0036] 图 19 是表示电镀电流与再配线占有率之间的关系的说明图。
- [0037] 图 20 是表示半导体晶片的厚度与半导体晶片的翘曲量之间的关系的说明图。
- [0038] 图 21 是表示本发明其它实施方式的半导体装置的平面的说明图。
- [0039] 图 22 是示意性表示图 21 的半导体装置的主要部分剖面的说明图。
- [0040] [符号的说明]
- [0041] 1C、1C' 半导体芯片
- [0042] 1S 半导体基板
- [0043] 1W 半导体晶片
- [0044] 2 本体图案 (第 1 图案)
- [0045] 2a 焊盘电极
- [0046] 2g 颗粒
- [0047] 2p 本体处理图案 (第 1 处理图案)
- [0048] 3 虚设图案 (第 2 图案)
- [0049] 3a 虚设焊盘电极
- [0050] 3p 虚设处理图案 (第 2 处理图案)
- [0051] 4 虚设图案 (第 3 图案)
- [0052] 4a 虚设焊盘电极
- [0053] 21 元件分离区域
- [0054] 22 p 型井
- [0055] 23 n 型井
- [0056] 24 闸极绝缘膜
- [0057] 25a 闸极电极
- [0058] 25b 闸极电极
- [0059] 26 侧墙
- [0060] 27a 低浓度 n 型杂质扩散区域
- [0061] 27b 低浓度 p 型杂质扩散区域
- [0062] 28a 高浓度 n 型杂质扩散区域
- [0063] 28b 高浓度 p 型杂质扩散区域
- [0064] 29 氧化硅膜

[0065]	30	插塞
[0066]	31	氧化硅膜
[0067]	32	第 1 层配线
[0068]	33	氧化硅膜
[0069]	34	插塞
[0070]	35	氧化硅膜
[0071]	36	第 2 层配线
[0072]	37a	氮化硅膜
[0073]	37b	氧化硅膜
[0074]	38a	氮化硅膜
[0075]	38b	氧化硅膜
[0076]	39	第 3 层配线
[0077]	40	第 4 层配线
[0078]	41	顶盖绝缘膜
[0079]	42	氧化硅膜
[0080]	43	插塞
[0081]	44	第 5 层配线
[0082]	45	氧化硅膜
[0083]	46	氮化硅膜（无机类绝缘膜，第 1 绝缘膜）
[0084]	47	光阻膜
[0085]	48	开口部
[0086]	49	聚酰亚胺树脂膜（第 1 有机类绝缘膜，第 2 绝缘膜）
[0087]	50	开口部（第 1 开口部）
[0088]	51	障壁层
[0089]	52	籽晶层
[0090]	53	光阻膜
[0091]	54、54a、54b	开口部
[0092]	55	铜膜
[0093]	56	镍膜
[0094]	57	再配线
[0095]	58	聚酰亚胺树脂膜（第 2 有机类绝缘膜，第 3 绝缘膜）
[0096]	59	开口部（第 2 开口部）
[0097]	60	凸块电极
[0098]	80	中心区域（第 1 区域）
[0099]	90	周边区域（第 2 区域）
[0100]	Q1	n 通道型 MISFET
[0101]	Q2	p 通道型 MISFET
[0102]	ST	照射区域

具体实施方式

[0103] 以下,根据附图来详细地说明本发明的实施方式。另外,在用以说明实施方式的所有附图中,对于具有相同功能的构件标注相同的符号,省略其重复的说明。又,在对以下的实施方式进行说明的附图中,为容易理解构成,即便是平面图,也会标上影线。

[0104] (实施方式 1)

[0105] 本实施方式的半导体装置是 CSP (Chip Size Package, 芯片尺寸封装) 构造的半导体装置,且使用了 WPP 技术以便进行制造。CSP 是和半导体芯片的尺寸相等或者稍大的封装的总称,可实现小型化、轻量化,而且可缩短内部的配线长,因而可降低信号延迟及杂讯等。首先,参照图 1 ~ 图 3,对本实施方式的半导体装置的特征性的构造进行说明。

[0106] 图 1 中示意性显示本实施方式的半导体芯片 1C 的平面,且将其一部分(由虚线所包围的区域 A) 放大显示,另外,图 2 中进一步放大显示图 1 所示的半导体芯片 1C 的平面。图 2 中显示的本体图案 2 及虚设图案 3 是 WPP 技术的再配线,但图 1 中,为了使说明容易而省略显示虚设图案 3。本体图案 2 是与由半导体芯片 1C 的半导体元件等所构成的内部电路电性连接,而虚设图案 3 是电性分离、即浮动存在着。又,图 3 中示意性显示半导体芯片 1C 的主要部分剖面。

[0107] 如图 1 所示,矩形状的半导体芯片 1C 具有其面内的中心区域 80 (由单点虚线所包围的区域)、及中心区域 80 周围的周边区域 90。半导体芯片 1C 的表面例如被由聚酰亚胺树脂膜组成的表面保护膜所覆盖,在设置于其表面保护膜上的开口部上,设有进行外部与半导体芯片 1C 内部的信号交接的凸块电极(未图示)。所述凸块电极设置在图 1 中放大的区域 A 上的半导体芯片 1C 所示的本体图案 2 的焊盘电极 2a 上。在与 CSP 构造的半导体装置之类的小型化相对应的半导体芯片 1C 中,也可通过将本体图案 2 (再配线) 从半导体芯片 1C 的外周向中心区域 80 侧引绕来确保形成有凸块电极的区域(焊盘电极 2a 的面积)。另外,所述本体图案 2 设置在周边区域 90 上。

[0108] 如图 2 所示,在半导体芯片 1C 的面内,混合存在地设置有本体图案 2 及虚设图案 3。所述本体图案 2 及虚设图案 3 作为 WPP 技术中的再配线是同时形成,且是彼此电性分离(参照图 3)。如上所述,本体图案 2 设置在周边区域 90 上,虚设图案 3 设置在中心区域 80 及位于本体图案 2 间的周边区域 90 上。如此将虚设图案 3 设置在中心区域 80 及周边区域 90 上,从而再配线可大致均匀地分布在半导体芯片 1C 的面内,与不存在虚设图案 3 的情况相比,可减少再配线的疏密差异。

[0109] 位于本体图案 2 的一端的圆形状的焊盘电极 2a 的径长例如为 $108\ \mu\text{m}$, 间距例如为 $180\ \mu\text{m}$ 。另外,圆形状的虚设图案 3 的径长例如为 $34\ \mu\text{m}$, 间距例如为 $50\ \mu\text{m}$ 。而且,虚设图案 3 的平面形状是所有的角均为钝角的多角形状,以便角部的应力缓和。

[0110] 又,虚设图案 3 的加工尺寸设为本体图案 2 的加工尺寸以下。由此,在周边区域 90 上的本体图案 2 间也可设置虚设图案 3,从而再配线大致均匀地分布在半导体芯片 1C 的面内。另外,将虚设图案 3 的大小设为再配线的最小线宽以上、及再配线形成后的障壁层及籽晶层的去除步骤中不会消失的大小。

[0111] 如图 3 所示,在构成半导体芯片 1C 的半导体基板 1S 上,设有包含第 3 层配线 39、第 4 层配线 40 及第 5 层配线 44 的多层配线。此多层配线具有将设置在多层配线下部的多个半导体元件电性连接以形成电路的功能。以覆盖所述多层配线的方式,在半导体基板 1S

上设有例如薄的氧化硅膜 45 及氮化硅膜 46 来作为钝化膜。所述氧化硅膜 45 及氮化硅膜 46 是无机类绝缘膜,可使用例如等离子 CVD 法而形成。

[0112] 又,在氮化硅膜 46 上,例如设有作为有机类绝缘膜的聚酰亚胺树脂膜 49 来作为绝缘膜。在所述聚酰亚胺树脂膜 49 上,设置有将以电镀法而形成的铜膜 55 及镍膜 56 积层所成的再配线 57。所述再配线 57 如图 1 及图 2 所示构成本体图案 2 及虚设图案 3。另外,以覆盖再配线 57 的方式,在聚酰亚胺树脂膜 49 上设置有例如作为有机类绝缘膜的聚酰亚胺树脂膜 58 来作为表面保护膜(绝缘膜)。

[0113] 将聚酰亚胺树脂等的有机类绝缘膜作为表面保护膜的原因在于,如果使最上方的绝缘膜为无机类绝缘膜,则在半导体芯片的处理(搬送等)时绝缘膜上容易产生龟裂而导致所述处理变得困难,因此将相对比较柔软的有机类绝缘膜作为最上层时,容易进行半导体芯片的处理。

[0114] 在本体图案 2 的再配线 57 的一部分上且聚酰亚胺树脂膜 58 上,设有开口部 59,本体图案 2 的再配线 57 的一部分露出而构成焊盘电极 2a。此焊盘电极 2a 发挥作为半导体芯片 1C 的外部电极的功能。进而,为了进行与外部的信号交接或者因安装而与外部的连接,在焊盘电极 2a 上,以与其电性连接的方式设置有凸块电极 60。另外,也可不设置凸块电极 60,而是将线结合连接于焊盘电极 2a 上,从而进行与外部的信号交接。

[0115] 再配线 57 是为了在半导体晶片的级别下完成封装而设置,其具有将多层配线的最上配线即第 5 配线 44 与凸块电极 60 加以连接的功能。即,再配线 57 具有将第 5 层配线 44 与凸块电极 60 加以连接的引出配线的功能。换言之,再配线 57 也可谓具有将第 5 层配线 44 的间隔向凸块电极 60 的间隔转换的插入式基板的功能。

[0116] 本体图案 2 的再配线 57 在多层配线的最上配线即第 5 层配线 44 的一部分上且氧化硅膜 45、氮化硅膜 46 及聚酰亚胺树脂膜 49 上所设的开口部 50 中,与包含第 5 层配线 44 的多层配线电性连接,且发挥与外部进行信号交接的功能。

[0117] 另一方面,虚设图案 3 的再配线 57 由作为有机类绝缘膜的聚酰亚胺树脂膜 49 及聚酰亚胺树脂膜 58 所覆盖,与多层配线及本体图案 2 电性分离而成为浮动状态。因此,虚设图案 3 不进行与外部的信号交接。但是,因设置虚设图案 3 而可减少以电镀法所形成的再配线的疏密差异,防止产生本体图案 2 的外观异常。进一步,可防止设置在无外观异常的本体图案 2 上的凸块电极 60 剥落等的交易不良,因而可提高半导体装置的可靠性。

[0118] 此处,参照图 4,对未设有虚设图案 3 的情况进行说明。图 4 是放大表示与图 2 相对应的本发明者等人所研讨的半导体芯片 1C' 的平面的说明图。另外,其它构成与图 1 ~ 图 3 所示的半导体芯片 1C 的构成相同。

[0119] 如图 4 所示,当在设有本体图案 2 的周边区域 90 或者未设有本体图案 2 的中心区域 80 上不设置虚设图案时,则在中心区域 80 与周边区域 90 的边界附近的本体图案 2 的端部(焊盘电极 2a)上,以电镀法所形成的铜(铜膜 55)或者镍(镍膜 56)的颗粒 2g 会粗大化,引起表面粗糙从而产生外观异常。进一步可知,在外周区域 90 的内侧且本体图案 2 间,本体图案 2 上也会产生外观异常。另外,外观异常可由显微镜而确认。

[0120] 但是,在本实施方式中,使虚设图案 3 与本体图案 2 混合存在,由此,如图 2 所示可防止产生本体图案 2 的外观异常。具体而言,在形成有再配线 57 的本体图案 2 的周边区域 90 以外的中心区域 80 上设置再配线 57 来作为虚设图案 3,以此可防止产生本体图案 2 的

外观异常。进一步,在形成有再配线 57 的自体图案 2 的周边区域 90 的自体图案 2 间设置虚设图案 3 的再配线 57,以此可防止产生自体图案 2 的外观异常。此原因认为是,例如在自体图案 2 间的局部区域上,以由电镀法而形成的自体图案 2 及虚设图案 3 所构成的再配线 57 的疏密差异得以降低。

[0121] 而且,在本实施方式中,将 WPP 技术的封装制程中的再配线 57 设置在作为有机类绝缘膜的聚酰亚胺树脂膜 49 上,并以覆盖所述再配线 57 的方式设置作为有机类绝缘膜的聚酰亚胺树脂膜 58 来作为表面保护膜。由此使虚设图案 3 成为浮动状态(电性分离的状态),但由于使用同质的有机类绝缘膜,因而聚酰亚胺树脂膜 49 与聚酰亚胺树脂膜 58 的密着性可得到确保。

[0122] 另外,经过反复进行低温与高温的温度循环的可靠性试验,会致使再配线 57 及再配线 57 周围所存在的聚酰亚胺树脂膜 49、58 产生膨胀、收缩,但通过将虚设图案 3 加工成本体图案 2 的加工尺寸以下而可缓和所产生的应力。

[0123] 其次,参照图 5~图 20,对本实施方式的半导体装置的制造方法进行说明。图 5 表示本实施方式的半导体装置的制造步骤的流程图,图 6~图 10 中显示设计步骤中的处理图案,图 11~图 18 中显示晶片步骤及封装步骤中的半导体装置的平面或者剖面。

[0124] 如图 5 所示,本实施方式的半导体装置的制造步骤的概略情况为:首先,根据设计步骤(S100),进行半导体元件的布局、电路配线等的设计。其次,在晶片步骤(S200)中,进行半导体装置的制造中的所谓前工程,形成半导体元件等。接着,在封装步骤(S300)中,进行半导体装置的制造中的所谓后工程,形成作为引出配线的再配线并且进行封装。另外,WPP 技术是在半导体晶片状态下而进行所述晶片步骤与封装步骤。

[0125] 首先,在设计步骤(S100)中,特别是对再配线 57 的图案设计进行说明。另外,关于其它构成的设计,考虑 DFM(design for manufacturing,可制造性设计),例如能够以使用有计算机的众所周知的方法等而进行。

[0126] 如图 6 所示,使用计算机,在半导体晶片(半导体芯片)等的假设了特定区域的区域 P 上,以特定的径长 x_1 及特定的间距 x_2 而形成虚设处理图案 3p(S110)。对于虚设处理图案 3p 而言,例如平面形状设为 64 角形,径长 x_1 设为 $34\mu\text{m}$,间距 x_2 设为 $50\mu\text{m}$,并均匀地配置在区域 P 内。另外,在设计的最最终阶段之前去除无需的虚设处理图案 3p。根据未去除而残存的虚设处理图案 3p,将所述的再配线 57 的虚设图案 3 设计成大于再配线 57 的最小线宽及最小间隔、且小于再配线 57 的自体图案 2 的焊盘电极 2a。

[0127] 其次,如图 7 所示,使用计算机,在区域 P 上形成本体处理图案 2p(S120)。此本体处理图案 2p 是用作如上所述的引出配线的再配线 57(自体图案 2)的处理图案。另外,作为焊盘电极 2a 的本体处理图案 3p 的前端部被配置成例如平面形状为圆形状、径长 y_1 为 $108\mu\text{m}$ 、间距 y_2 为 $180\mu\text{m}$ 。

[0128] 接着,如图 8 所示,使用计算机,将本体处理图案 2p 及虚设处理图案 3p 加以合成(S130)。其次,如图 9 所示,使用计算机,根据本体处理图案 2p 来计算存在于规定空间内的虚设处理图案 3p(图中,以虚线表示),并如图 10 所示,删除存在于所述规定空间区域内的虚设处理图案 3p(S140)。由此,可将构成如图 2 所示的自体图案 2 及虚设图案 3 的再配线 57 的疏密差异降低而配置。

[0129] 其次,对晶片步骤(S200)进行说明。如图 11 所示,例如准备在照射区域(shot

area)ST 上具有多个芯片区域 (A ~ L) 的大致圆形状的半导体晶片 1W(S210)。另外,图 11 的半导体晶片 1W 中的参考面未图示。

[0130] 在本实施方式中,从半导体晶片 1W 的多个芯片区域 (A ~ L) 取出所述的半导体芯片 1C。即,多个芯片区域 (A ~ L) 的所有的半导体芯片 1C 是 WPP 技术的由本体图案 2 及虚设图案 3 而构成的再配线 57 所形成。

[0131] 接着,如图 12 所示,在半导体晶片 1W(以下,作为半导体基板 1S 来说明)的主面上形成 n 通道型 MISFETQ1、p 通道型 MISFETQ2 等的半导体元件 (S220)。所述的 MISFET 例如构成高速 SRAM 或逻辑电路。

[0132] 例如在由单晶硅构成的半导体基板 1S 的主面上,形成有例如作为 STI(Shallow Trench Isolation,浅槽隔离)构造的元件分离区域 21,在元件分离区域 21 上分离出活性区域。在活性区域中的形成有 n 通道型 MISFETQ1 的区域上,形成有 p 型井 22,在形成有 p 通道型 MISFETQ2 的区域上,形成有 n 型井 23。p 型井 22 例如成为导入有硼 (B) 等的 p 型杂质的半导体区域,n 型井 23 例如成为导入有磷 (P) 或砷 (As) 等的 n 型杂质的半导体区域。

[0133] 在 p 型井 22 上形成有 n 通道型 MISFETQ1。此 n 通道型 MISFETQ1 的构成如下。即,在 p 型井 22 上形成有闸极绝缘膜 24,在此闸极绝缘膜 24 上形成有闸极电极 25a。闸极绝缘膜 24 例如是由氧化硅膜而形成,但也可以是由比氧化硅膜的介电常数高的高电介质膜而形成。闸极电极 25a 例如是由多晶硅膜而形成,但在此多晶硅膜上例如导入有 n 型杂质。此原因是为了降低 n 通道型 MISFETQ1 的门限值电压而进行。

[0134] 在闸极电极 25a 的两侧的侧壁上,形成有侧墙 26,在此侧墙 26 下的 p 型井 22 内,形成有低浓度 n 型杂质扩散区域 27a。并且,在此低浓度 n 型杂质扩散区域 27a 的外侧,形成有高浓度 n 型杂质扩散区域 28a。低浓度 n 型杂质扩散区域 27a 及高浓度 n 型杂质扩散区域 28a 成为导入有 n 型杂质的半导体区域,相比低浓度 n 型杂质扩散区域 27a 而言,高浓度 n 型杂质扩散区域 28a 中导入有更高浓度的 n 型杂质。利用该低浓度 n 型杂质扩散区域 27a 及高浓度 n 型杂质扩散区域 28a 而形成有 n 通道 MISFETQ1 的源极区域或漏极区域。以低浓度 n 型杂质扩散区域 27a 及高浓度 n 型杂质扩散区域 28a 而构成源极区域或漏极区域,由此形成所谓的 LDD(Lightly Doped Drain,轻掺杂漏极)构造。因此,可缓和闸极电极 25a 下的电场集中。

[0135] 另一方面,在 n 型井 23 上形成有 p 通道型 MISFETQ2。此 p 通道型 MISFETQ2 的构成是成为大致与 n 通道型 MISFETQ1 相同的构成。即,在 n 型井 23 上形成有闸极绝缘膜 24,在此闸极绝缘膜 24 上形成有闸极电极 25b。闸极电极 25b 例如是由多晶硅膜而形成,且导入有 p 型杂质。如此在 p 通道型 MISFETQ2 中,向闸极电极 25b 中导入 p 型杂质从而可降低门限值电压。本实施方式 1 中,向 n 通道型 MISFETQ1 的闸极电极 25a 中导入 n 型杂质,另一方面向 p 通道型 MISFETQ2 的闸极电极 25b 中导入 p 型杂质。因此,n 通道型 MISFETQ1 与 p 通道型 MISFETQ2 该两者均可使门限值电压降低。

[0136] 在闸极电极 25b 的两侧的侧壁上,形成有侧墙 26,在此侧墙 26 下的 n 型井 23 内,形成有低浓度 p 型杂质扩散区域 27b。并且,在此低浓度 p 型杂质扩散区域 27b 的外侧,形成有高浓度 p 型杂质扩散区域 28b。低浓度 p 型杂质扩散区域 27b 及高浓度 p 型杂质扩散区域 28b 成为导入有 p 型杂质的半导体区域,相比低浓度 p 型杂质扩散区域 27b 而言,高浓

度 p 型杂质扩散区域 28b 中导入有更高浓度的 p 型杂质。由该低浓度 p 型杂质扩散区域 27b 及高浓度 p 型杂质扩散区域 28b 而形成有 p 通道 MISFETQ2 的源极区域或漏极区域。

[0137] 以此,在本实施方式的半导体装置中,在半导体基板 1S 上形成有 n 通道型 MISFETQ1 及 p 通道型 MISFETQ2 等的半导体元件。

[0138] 接着,在半导体基板 1S 上形成多层配线 (S230)。如图 12 所示,在形成于半导体基板 1S 上的 n 通道型 MISFETQ1 及 p 通道型 MISFETQ2 上,形成有作为层间绝缘膜的氧化硅膜 29。并且,在氧化硅膜 29 上,形成有到达 n 通道型 MISFETQ1 或者 p 通道型 MISFETQ2 的源极区域、漏极区域的插塞 30。此插塞 30 例如是由作为障壁金属膜的氮化钛膜及钨膜的积层膜所形成。

[0139] 在形成有插塞 30 的氧化硅膜 29 上,形成有作为层间绝缘膜的氧化硅膜 31,并且以埋入到此氧化硅膜 31 中的方式而形成第 1 层配线 32。此第 1 层配线 32 例如是由钨膜而形成,且与形成在下层的插塞 30 电性连接。

[0140] 在第 1 层配线 32 上,形成有氧化硅膜 33,并且以埋入到此氧化硅膜 33 中的方式而形成插塞 34。此插塞 34 也和插塞 30 同样地是由障壁金属膜及钨膜的积层膜所构成。插塞 34 与形成在下层的第 1 层配线 32 电性连接。

[0141] 在形成有插塞 34 的氧化硅膜 33 上,形成有作为层间绝缘膜的氧化硅膜 35,并且以埋入到此氧化硅膜 35 中的方式而形成第 2 层配线 36。此第 2 层配线 36 是由用以防止铜扩散的障壁金属膜及铜(铜或者其合金)膜的积层膜所构成。

[0142] 在第 2 层配线 36 上,形成有用以防止铜扩散的氮化硅膜 37a,在此氮化硅膜 37a 上形成有氧化硅膜 37b。在此氧化硅膜 37b 上,积层形成有氮化硅膜 38a 及氧化硅膜 38b,并且以埋入到氮化硅膜 38a 及氧化硅膜 38b 中的方式而形成第 3 层配线 39。此第 3 层配线 39 是由用以防止铜扩散的障壁金属膜及铜膜的积层膜所构成,并且与形成在下层的第 2 层配线 36 电性连接。

[0143] 和所述第 3 层配线 39 同样地,在第 3 层配线 39 的上层,形成有由用以防止铜扩散的障壁金属膜及铜膜的积层膜所构成的第 4 层配线 40。此第 4 层配线 40 是与形成在下层的第 3 层配线 39 电性连接。另外,以下未图示,也可在和第 4 层配线 40 的相同层上,以每固定的间隔而形成多个存储器救助用保险丝。该保险丝电性连接于冗长救济电路,通过切断特定的保险丝而可将选择缺陷存储单元的地址信号转变为与冗长救济用的存储单元相对应的地址信号。

[0144] 为防止第 4 层配线 40 的铜向上层扩散,以覆盖第 4 层配线 40 的方式在半导体基板 1S 上形成顶盖绝缘膜 41,并在此顶盖绝缘膜 41 上,例如以等离子 CVD 法而形成氧化硅膜 42(参照图 13)。顶盖绝缘膜 41 是由氮化硅膜所构成,使用 SiCN 膜来作为氮化硅膜,由此,例如和使用有 SiN 膜的情况相比,可提高顶盖绝缘膜 41 的经时绝缘破坏(TDDB, Time Dependent Dielectric Breakdown, 经时介电质击穿)耐性及第 4 层配线 40 的电迁移耐性。

[0145] 在氧化硅膜 42 及顶盖绝缘膜 41 上,形成有与第 4 层配线 40 电性连接的插塞 43。此插塞 43 可由以下方式而形成:使用掩膜(光阻膜)来对氧化硅膜 42 及顶盖绝缘膜 41 进行干式蚀刻,形成到达第 4 层配线 40 的连接孔,并将钛(Ti)膜、氮化钛(TiN)膜或者所述膜的积层膜作为障壁导电膜而堆积到连接孔内所含的氧化硅膜 42 上,接着以钨膜埋入到连接孔内之后,利用 CMP 法等去除连接孔外的钨膜及障壁导电膜。

[0146] 在插塞 43 上且第 4 层配线 40 的上层,形成有与插塞 43 电性连接的第 5 层配线 44。此第 5 层配线 44 例如是将铝 (Al) 作为主导电层,并且是形成为将作为主导电层的 Al 膜的上下以由 Ti 膜及 TiN 膜的积层膜所构成的障壁导电膜来夹持的构造。所述配线在将下方的障壁导电膜、Al 膜及上方的障壁导电膜依次堆积之后,可利用干式蚀刻,将经光微影技术而使所述积层膜图案化的光阻膜作为掩膜来形成。

[0147] 如此在本实施方式中,由第 1 层配线 32、第 2 层配线 36、第 3 层配线 39、第 4 层配线 40 及第 5 层配线 44 而形成多层配线。多层配线具有将多个半导体元件电性连接而形成电路的功能。

[0148] 接着,以覆盖所述多层配线的方式,在半导体基板 1S、即氧化硅膜 42 上,例如依次形成薄的氧化硅膜 45 及氮化硅膜 46 来作为钝化膜 (S240)。所述氧化硅膜 45 及氮化硅膜 46 是无机类绝缘膜,例如可由等离子 CVD 法而形成。

[0149] 接着,将经光微影技术而图案化的光阻膜 47 作为掩膜,来对氮化硅膜 46 及氧化硅膜 45 进行干式蚀刻,形成使第 5 层配线的一部分露出的开口部 48。然后,利用灰化处理(碳化处理)而去除光阻膜 47。

[0150] 接着,如图 14 所示,在氮化硅膜 46 上,例如形成作为有机类绝缘膜的聚酰亚胺树脂膜 49 来作为绝缘膜 (S250)。所述聚酰亚胺树脂膜 49 是构成对半导体基板 1S 的半导体元件及多层配线加以保护的表面保护膜(绝缘膜)。

[0151] 其次,对封装步骤 (S300) 进行说明。如图 14 所示,使用感光处理及灰化处理来使聚酰亚胺树脂膜 49 图案化,并去除开口部 48 上的聚酰亚胺树脂膜 49。由此,在第 5 层配线 44 的一部分上的氧化硅膜 45、氮化硅膜 46 及聚酰亚胺树脂膜 49 上,形成有使第 5 层配线 44 的一部分露出的开口部 50 (S310)。

[0152] 接着,如图 15 所示,对半导体基板 1S 的表面实施溅射蚀刻处理之后,以溅射法在开口部 50 及聚酰亚胺树脂膜 49 上依次堆积 TiN 膜及 Ti 膜,形成障壁层 51。其次,在此障壁层 51 上,以溅射法堆积铜 (Cu) 膜,形成籽晶层 52。此籽晶层 52 是以下步骤中使用电镀法所形成的再配线的籽晶层。

[0153] 接着,如图 16 所示,在半导体基板 1S 上涂布光阻膜 53,并利用光微影技术而使所述光阻膜 53 图案化。由此,在籽晶层 52 的一部分上的光阻膜 53 上,形成有使籽晶层 52 的一部分露出的再配线形成用的开口部 54。开口部 54 中的开口部 54a 是以使聚酰亚胺树脂膜 49 的一部分被去除而成的开口部 50 露出的方式所形成,开口部 54b 是形成在聚酰亚胺树脂膜 49 上。开口部 54 是为了形成如图 1、图 2 所示的再配线的图案而使用,开口部 54a 成为作为本体图案 2 的图案,开口部 54b 成为作为虚设图案 3 的图案。

[0154] 接着,使用将被图案化的光阻膜 53 作为掩膜的电解电镀法,依次堆积铜膜 56 及镍膜 57,形成由铜膜 56 及镍膜 57 所组成的再配线 58 之后,以灰化处理去除光阻膜 53,从而成为图 17 所示 (S320)。如图 1、图 2 所示,所述再配线 57 形成为让本体图案 2 及虚设图案混合存在于半导体基板 1S 的面内。

[0155] 接着,如图 18 所示,将再配线 57 作为掩膜来对籽晶层 52 及障壁层 51 实施湿式蚀刻(洗净)处理,由此使再配线 57 下方的籽晶层 52 及障壁层 51 残留,并去除除此外的籽晶层 52 及障壁层 51。

[0156] 随后,如图 3 所示,以覆盖再配线 57 的方式,在半导体基板 1S 上,例如形成作为有

机类绝缘膜的聚酰亚胺树脂膜 58 来作为表面保护膜（绝缘膜）(S330) 之后，在由再配线 57 所组成的本体图案 2 的一部分（成为焊盘电极 2a）上，将使所述一部分露出的开口部 59 形成在聚酰亚胺树脂膜 58 (S340)。开口部 59 是通过使聚酰亚胺树脂膜 58 经感光处理及灰化处理处理而图案化、并去除本体图案 2 的焊盘电极 2a 上的聚酰亚胺树脂膜 58 而形成。

[0157] 其次，使用无电解电镀法，在开口部 59 下的焊盘电极 2a 上形成未图示的金 (Au) 膜。然后，利用焊锡印刷技术在半导体基板 1S 上印刷焊锡膏之后，以回流焊处理而使焊锡膏熔融及再结晶化，并在所述金膜上形成凸块电极 60 (S350)。作为所述焊锡膏，可使用例如由 Sn (锡)、Ag (银) 及 Cu 所形成的无 Pb (铅) 焊料。而且，可取代使用焊锡膏，将预先成形为球状的焊球供给至开口部 59 上之后，对半导体基板 1S 实施回流焊处理，由此也可形成凸块电极 60。另外，经焊锡膏的回流焊处理，所述金膜便会向凸块电极 60 扩散而消失。

[0158] 其后，将晶片状态的半导体基板 1S 沿着被划分的芯片区域间的划线（切割）区域而切断，分割成如图 1 所示的各个半导体芯片 1C，从而完成本实施方式的半导体装置。本实施方式的半导体芯片 1C 可经由凸块电极 60 而安装在安装基板上，且在将半导体芯片 1C 配置在安装基板上之后，对凸块电极 60 进行回流焊，然后在半导体芯片 1C 与安装基板之间填充底部填充树脂，以构成各种半导体装置。

[0159] 此处，对构成本体图案 2 及虚设图案 3 的再配线 57 在半导体晶片 1W 中的局部区域内的占有率，例如半导体芯片 1C 内的占有率、照射区域 ST 内的占有率进行说明。

[0160] 如果再配线 57 在半导体芯片 1C (照射区域 ST) 内的占有率变低，则无法确保电镀施工的稳定性，即无法确保稳定电流值，从而会在半导体晶片 1W 的面内产生构成再配线 57 的电镀膜（铜膜 55/镍膜 56）的膜厚的情况，或者在半导体晶片 1W 的中心部产生表面粗糙的情况。又，如参照图 4 所作的说明，当再配线 57 的占有率具有局部偏向时，则会在形成有本体图案 2 的周边区域 90 (再配线 57 成为密集的区域) 及未形成有本体图案 2 的中心区域 80 (再配线 57 成为稀疏的区域) 的边界附近的再配线 57 (本体图案 2) 的端部产生表面粗糙。

[0161] 另一方面，如果再配线 57 在半导体晶片 1W 的面内的占有率变高，则因半导体晶片 1W 与背面研磨后的半导体晶片 1W 的厚度间的关系而会在半导体晶片 1W 上产生翘曲。因此，无法形成背面研磨后的凸块电极 60，或者无法进行半导体晶片 1W 的操作，从而产生碎屑，导致以后的步骤的良率降低。

[0162] 因此，本实施方式中，在 WPP 技术的再配线 57 中，除本体图案 2 之外还配置有虚设图案 3，并规定由本体图案 2 及虚设图案 3 所构成的再配线 57 的照射区域 ST (半导体芯片 1C) 全体的占有率 (局部区域的占有率) 的下限及上限，由此使得再配线 57 的形成步骤、背面研磨后的施工、操作变得稳定，从而降低半导体装置的制造良率。

[0163] 例如，为了稳定地形成电镀膜（构成再配线 57 的铜膜 55 及镍膜 56），本实施方式中所使用的电镀装置必须确保电镀电流值为 6A 以上。如图 19 所示的电镀电流与半导体晶片 1W 的面内的再配线 57 的占有率之间存在有相关关系。当电镀电流为 6A 时，为了成为铜 (Cu) 电镀稳定的电镀膜，可知铜膜 55 的占有率为 28.5%。又，当电镀电流为 6A 时，为了成为镍 (Ni) 电镀稳定的电镀膜，可知镍膜 56 的占有率为 33.4%。

[0164] 因此，本实施方式中，包含边缘的照射区域 ST (半导体芯片 1C) 内的再配线 57 的占有率的下限设为 35% 以上。由此，可稳定地形成再配线 57，从而可降低制造良率。另外，

已稳定形成的再配线 57 可通过防止表面粗糙而抑制产品不良,从而提高半导体装置的可靠性。

[0165] 又,当考虑半导体装置的量产时,在形成有凸块电极 60 的导体晶片 1W 上,其翘曲量较理想的是 50mm 以下。例如,如图 20 中显示 300mm 径长的半导体晶片 1W 的厚度与半导体晶片 1W 的翘曲量之间的关系,当再配线 57 的占有率为 74.3% 时,可知随着半导体晶片 1W 的厚度变薄,半导体晶片 1W 的翘曲量会增加。此时,半导体晶片 1W 的翘曲量为 50mm 以下的半导体晶片 1W 的厚度为 120 μm 。

[0166] 当考虑半导体装置的小型化时,较理想的是半导体晶片 1W(半导体芯片 1C) 的厚度更薄,在目前的产品中,半导体晶片 1W 的厚度的下限为 100 μm 。因此,本实施方式中,根据以半导体晶片 1W 的翘曲量为 50mm 以下、半导体晶片 1W 的厚度为 100 μm 以下所进行的研讨结果,照射区域 ST(半导体芯片 1C) 内的再配线 57 的占有率的上限为 60% 以下。由此,可稳定地形成背面研磨后的凸块电极 60。另外,通过抑制半导体晶片 1W 的翘曲量而可容易进行操作。而且,可防止半导体晶片 1W 的碎屑、裂痕,因此可降低半导体装置的制造良率。

[0167] (实施方式 2)

[0168] 在所述实施方式 1 中,已对在照射区域的多个芯片区域的全体上形成有由作为内部电路的引绕配线的本体图案及浮动的虚设图案所构成的再配线的情况进行了说明。本实施方式中,将对在照射区域的多个芯片区域的一部分上形成有由本体图案及虚设图案所构成的再配线的情况进行说明。另外,省略与所述实施方式重复的说明。

[0169] 例如,对于在图 11 所示的照射区域 ST 的多个芯片区域 (A ~ L) 上配置有各种测试芯片的情况进行说明。在照射区域 ST 上的某芯片区域 (E、F、H) 上形成有需要 WPP 技术的测试芯片,但在其它的芯片区域 (A、B、C、G、I、J、K、L) 上形成有无需 WPP 技术的测试芯片。即,在照射区域 ST 上,混合存在有需要 WPP 技术的半导体芯片及无需 WPP 技术的半导体芯片。

[0170] WPP 技术是在晶片级别下得以施工,因此在本实施方式中,为了满足所述实施方式 1 中说明的照射区域内的再配线的占有率的必要条件,对于需要 WPP 技术的测试芯片毫无疑问,且在无需 WPP 技术的测试芯片上也配置虚设图案。

[0171] 图 21 中显示有本实施方式的照射区域 ST 的芯片区域 E 及芯片区域 A 各自的主要部分。图 21 的芯片区域 E 是与图 2 所示的区域相对应。即,所述实施方式 1 中所示的半导体芯片 1C 例如是在图 21 的芯片区域 E 上作为测试芯片而形成。因此,作为芯片区域 E 的半导体芯片 1C 的剖面,可参照图 3。

[0172] 另一方面,图 22 中显示有芯片区域 A 的半导体芯片的剖面。本来,因为无需 WPP 技术,所以当在芯片区域 A 的半导体芯片上以与图 5 所示的晶片步骤 (S200) 同样的方式而形成时,只要形成包含半导体元件 (S220)、第 3 层配线 39、第 4 层配线 40 及第 5 层配线的多层配线 (S230)、作为无机类绝缘膜的氧化硅膜 45 及氮化硅膜 46 (S240)、作为有机类绝缘膜的聚酰亚胺树脂膜 49 (S250) 即可。但是,本实施方式中,为满足所述实施方式 1 中说明的照射区域 ST 内的再配线的占有率的必要条件,在芯片区域 A 上配置由再配线 57 所构成的虚设图案 4。此虚设图案 4 可与所述实施方式的虚设图案 3 以同样的方式形成。

[0173] 而且,作为虚设图案 4,与本体图案 2 的焊盘电极 2a 相对应而配置虚设焊盘电极

4a。在本实施方式中,如图 22 所示,在此虚设焊盘电极 4a 上也形成凸块电极 60。在凸块电极形成步骤 (S350) 中,为了提高施工稳定性(焊锡濡湿性),较理想的是在虚设图案 4 上也与需要 WPP 技术的测试芯片相同程度地形成凸块电极 60。

[0174] 如此,在无需 WPP 技术的芯片区域上也设有虚设图案 4,由此可减少以电镀法所形成的再配线 57 的疏密差异,防止产生需要 WPP 技术的芯片区域的本体图案 2 的外观异常。

[0175] 以上,根据实施方式,对于本发明者所研制的发明进行了具体的说明,但本发明并不限于所述实施方式,当然在不脱离其要旨的范围内可进行种种变更。

[0176] 例如,在所述实施方式中,对应用于具有 WPP 技术的再配线的半导体装置的情况进行了说明,但也可应用于将电镀配线用作半导体元件的配线的半导体装置。

[0177] 本发明对于半导体装置、特别对于具有 WPP 技术的再配线的半导体装置是有效,尤其被广泛利用于 CSP 构造的半导体装置的制造业中。

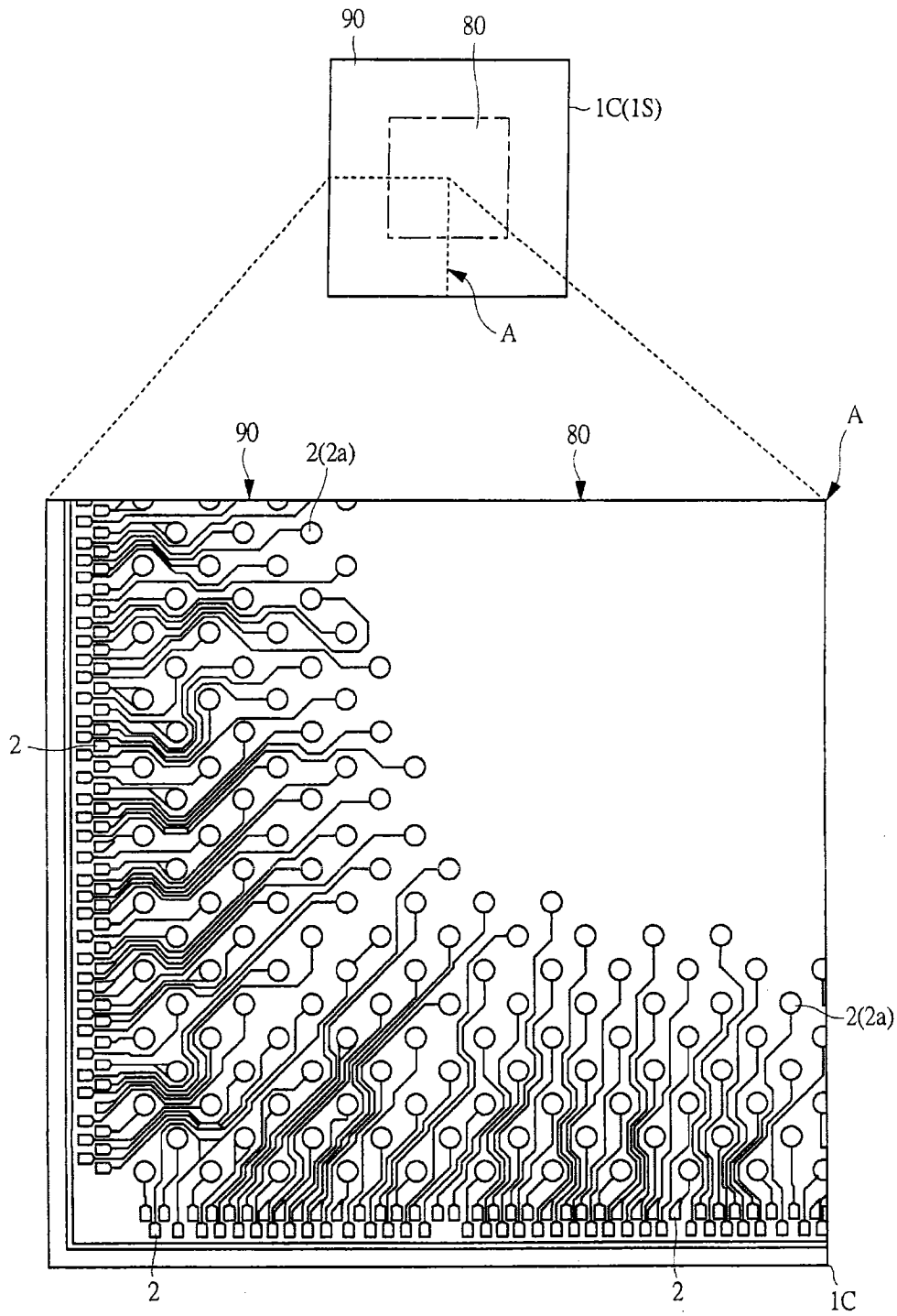


图 1

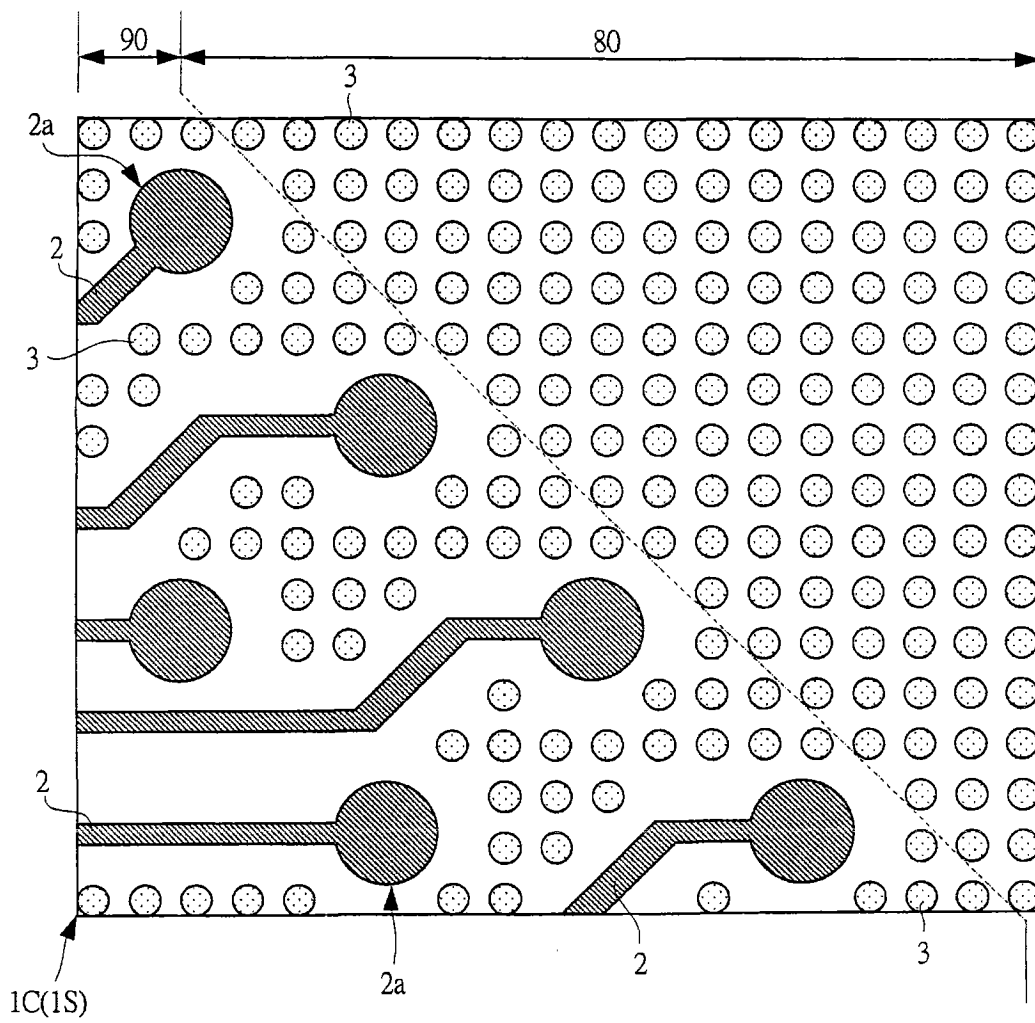


图 2

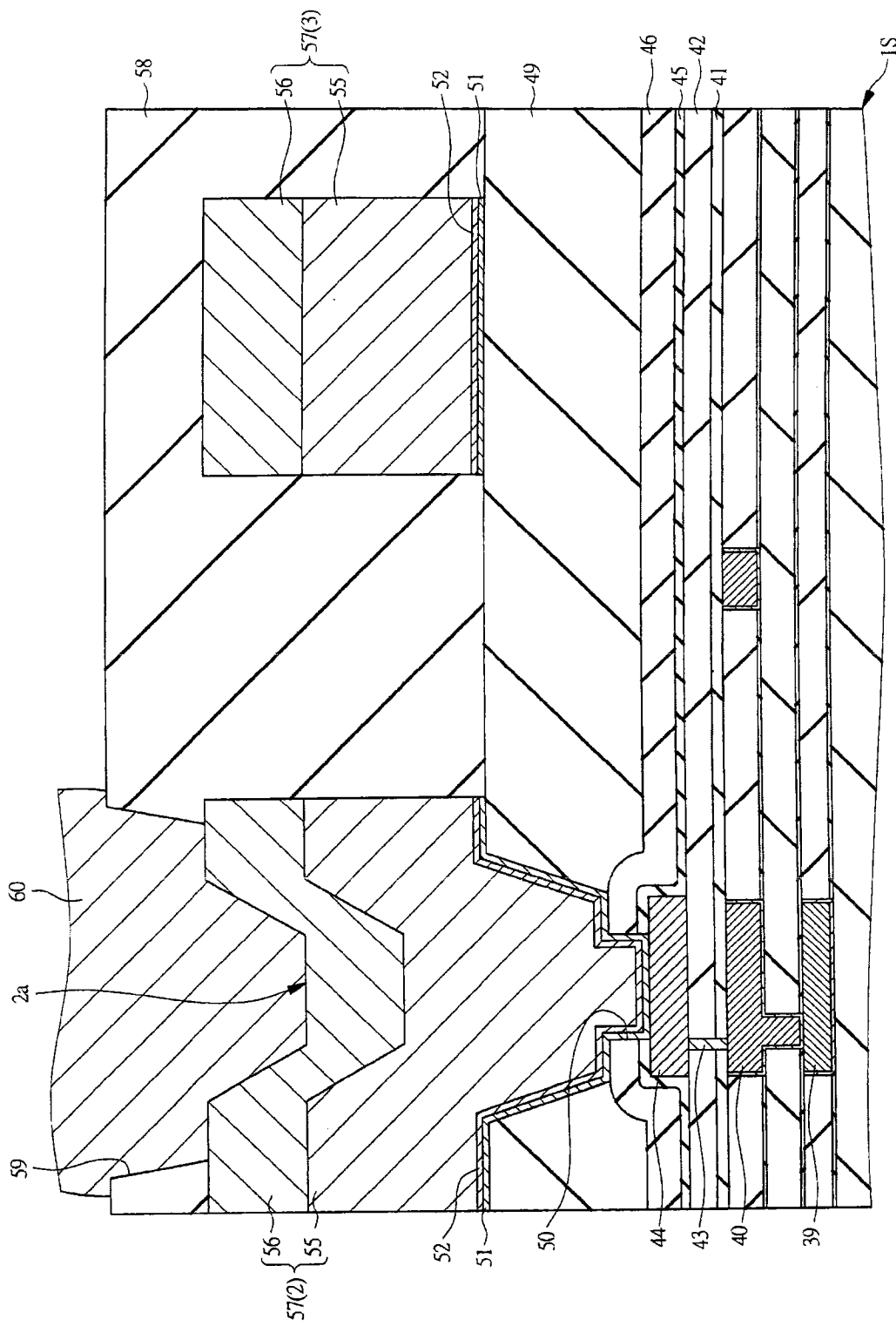


图3

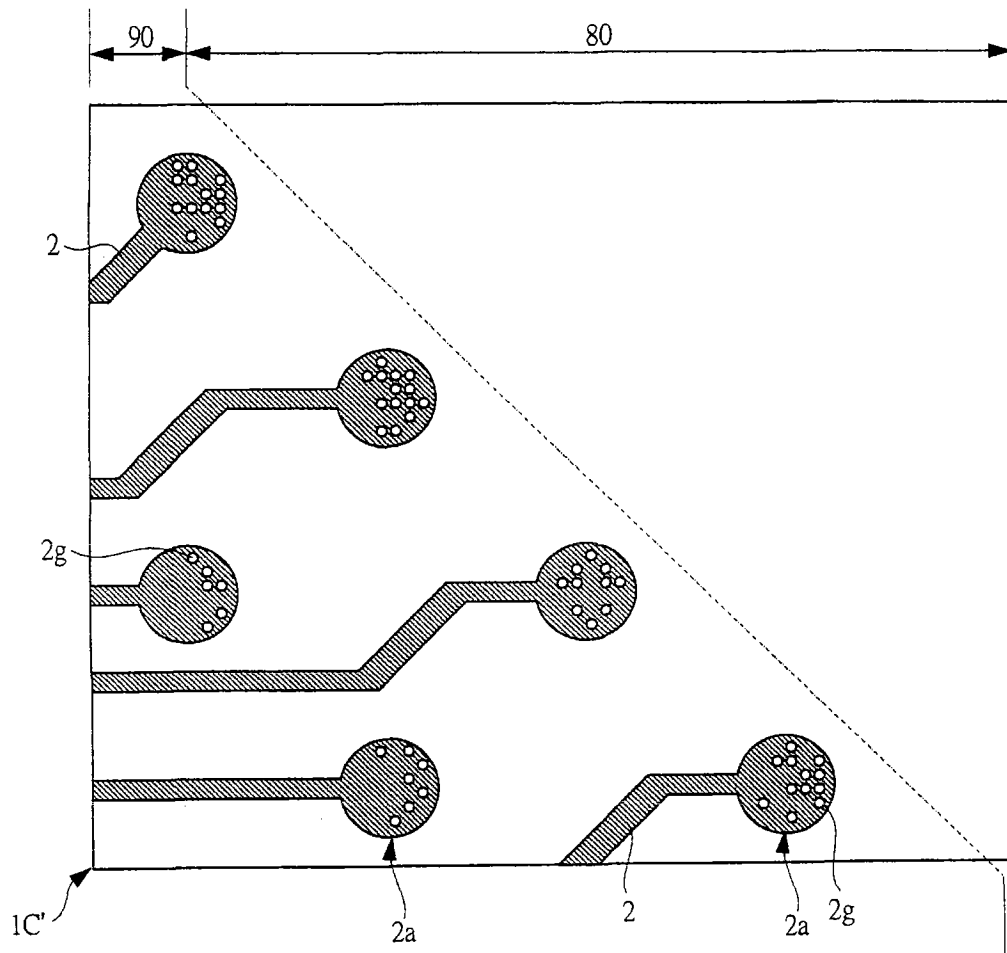


图 4

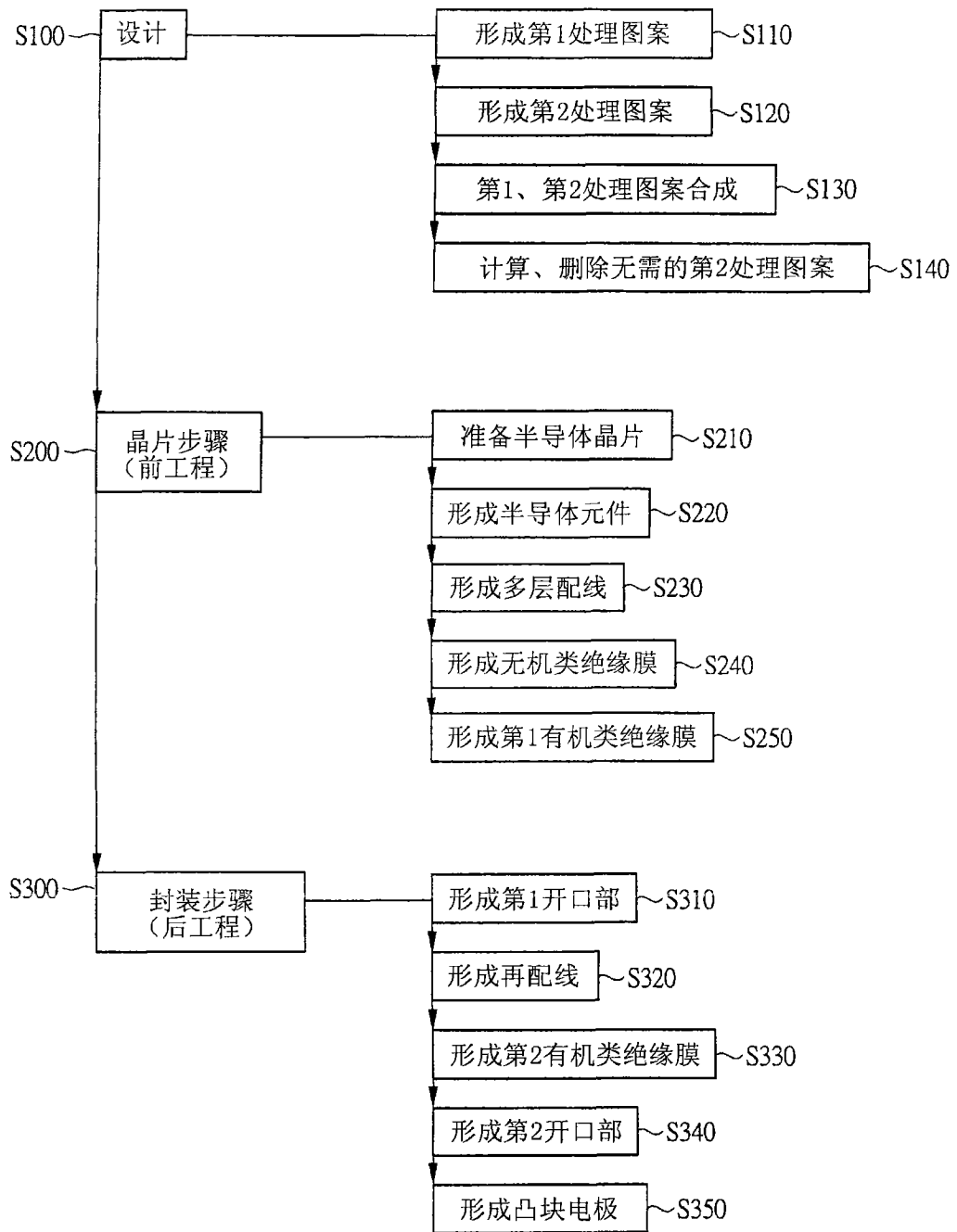


图 5

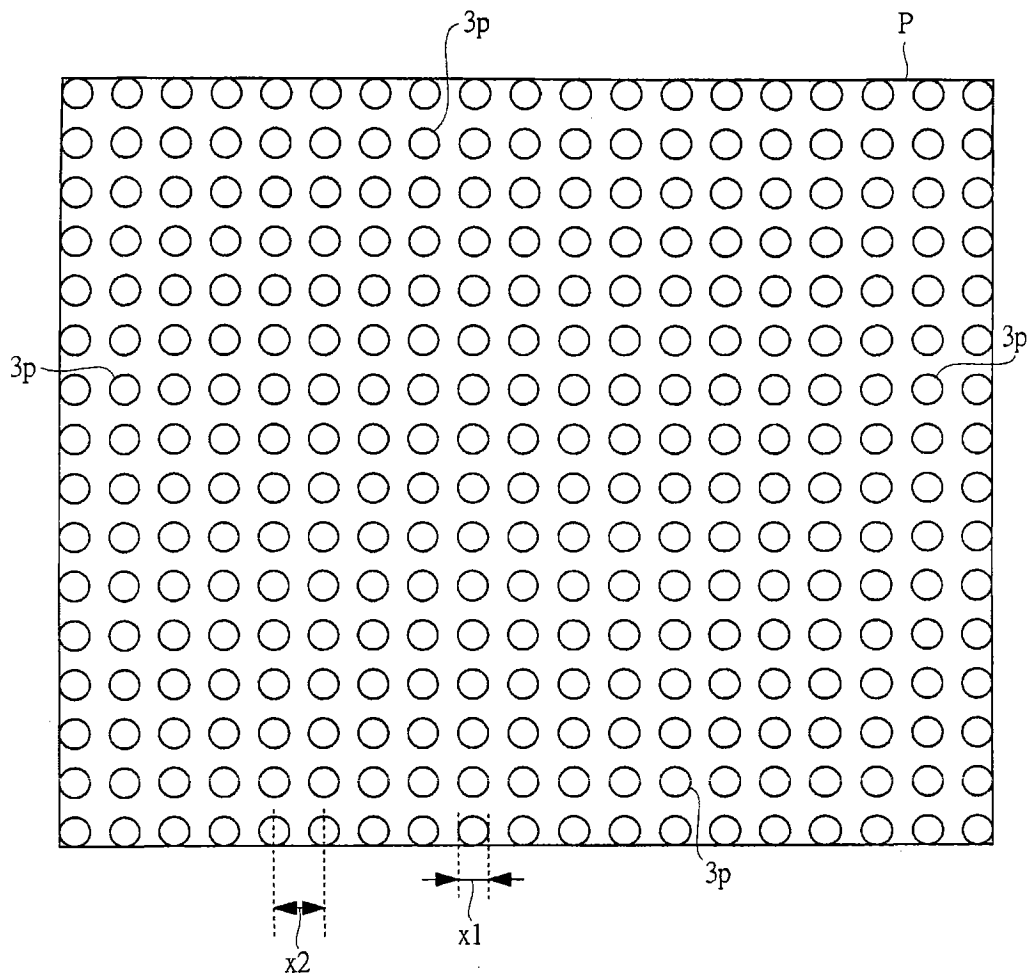


图 6

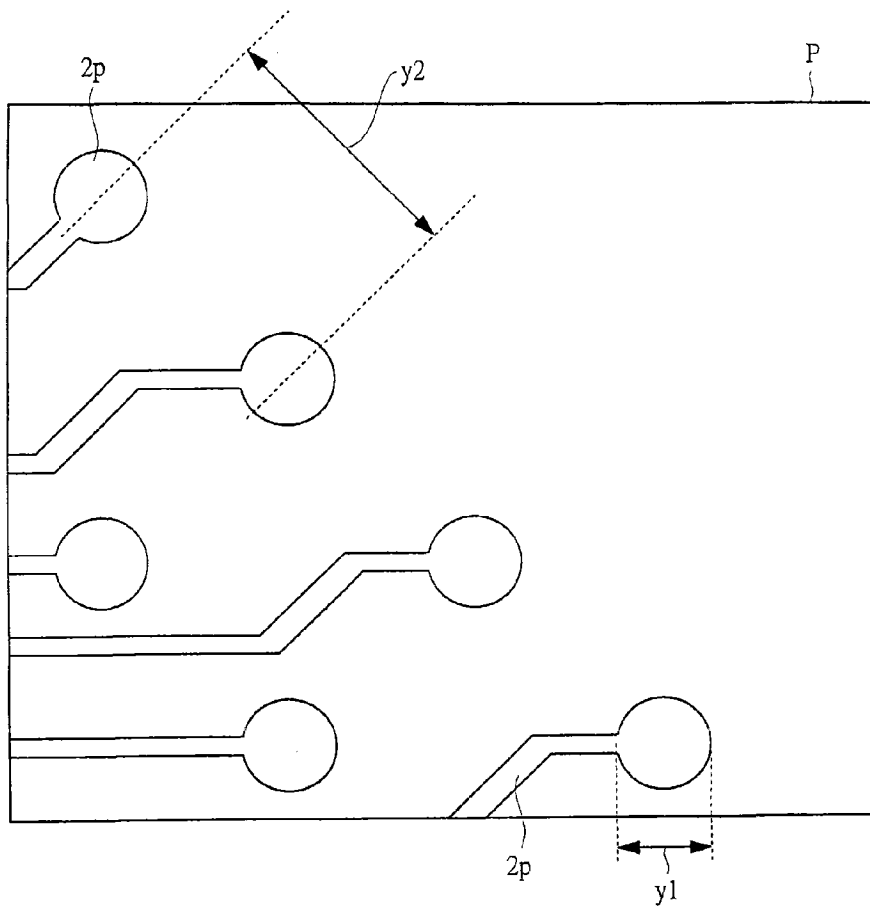


图 7

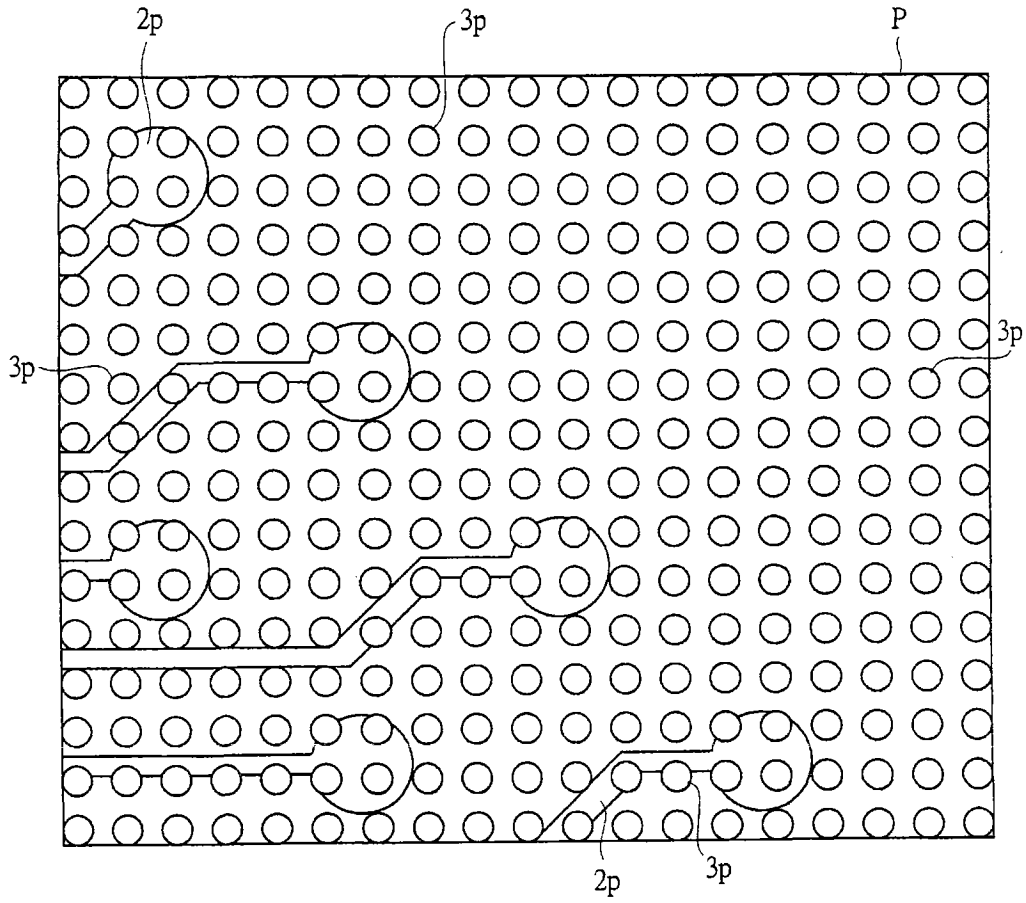


图 8

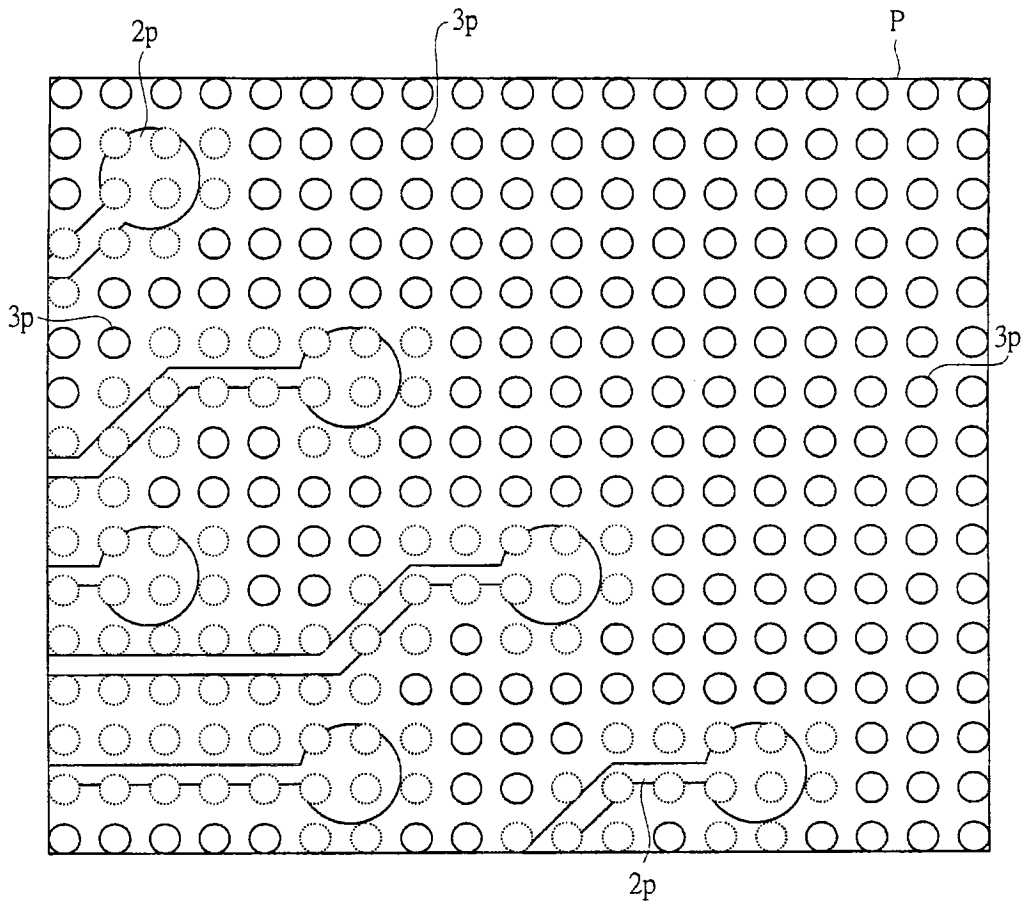


图 9

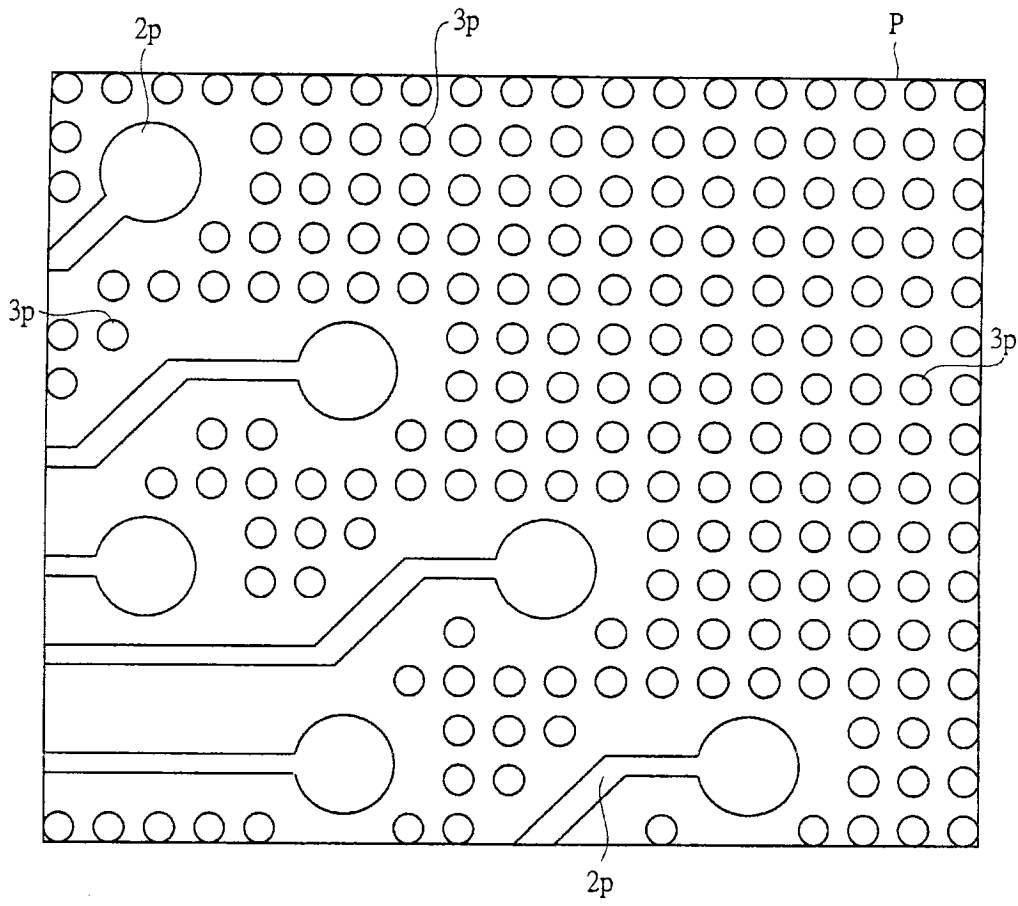


图 10

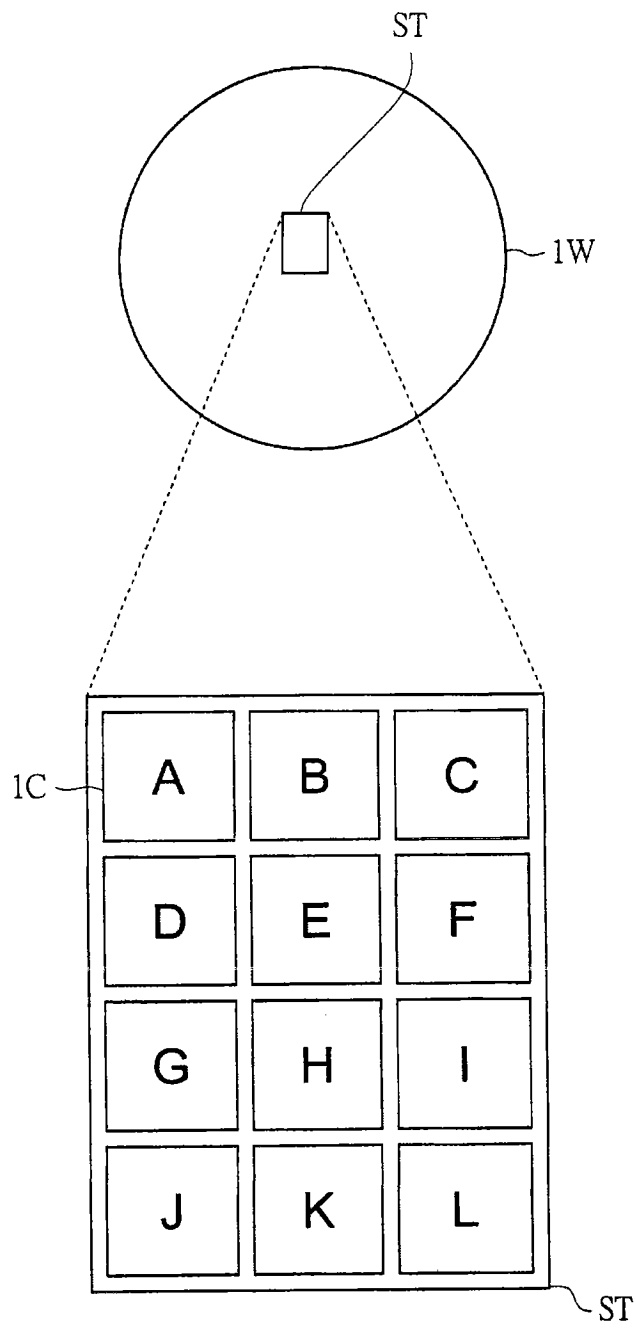


图 11

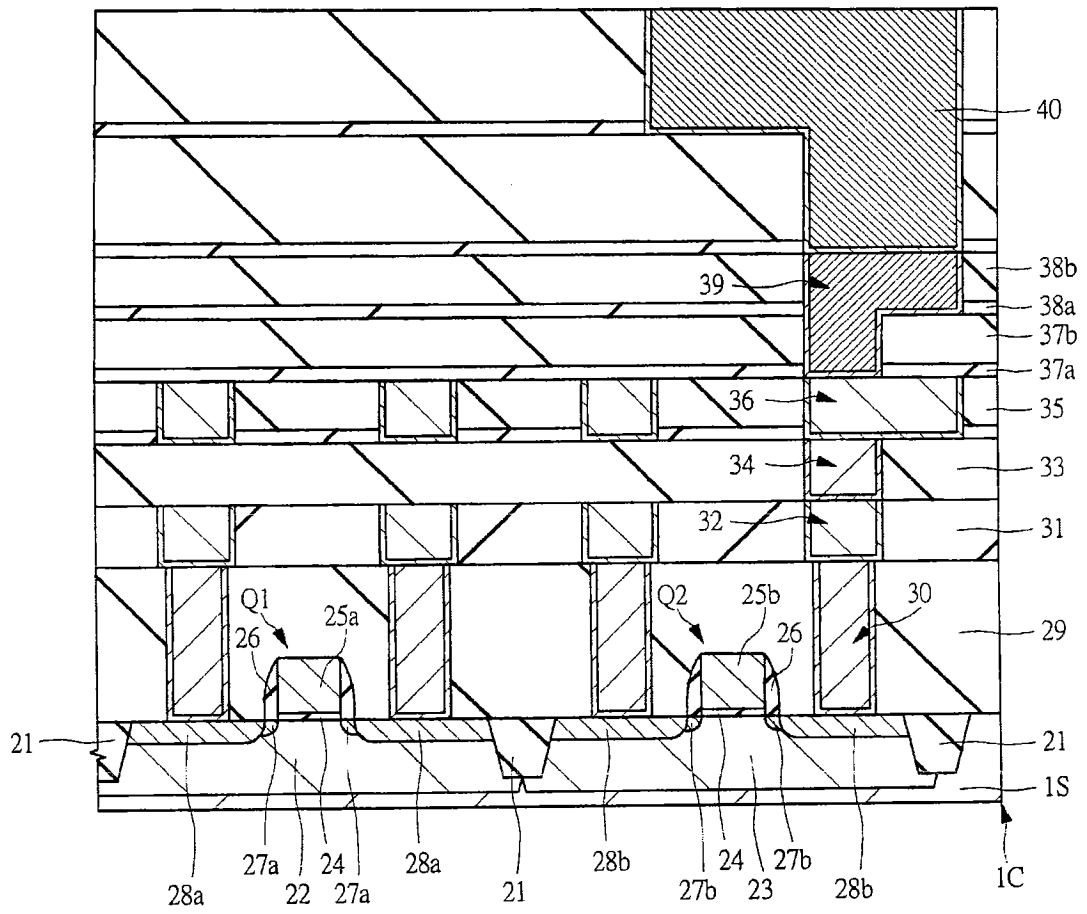


图 12

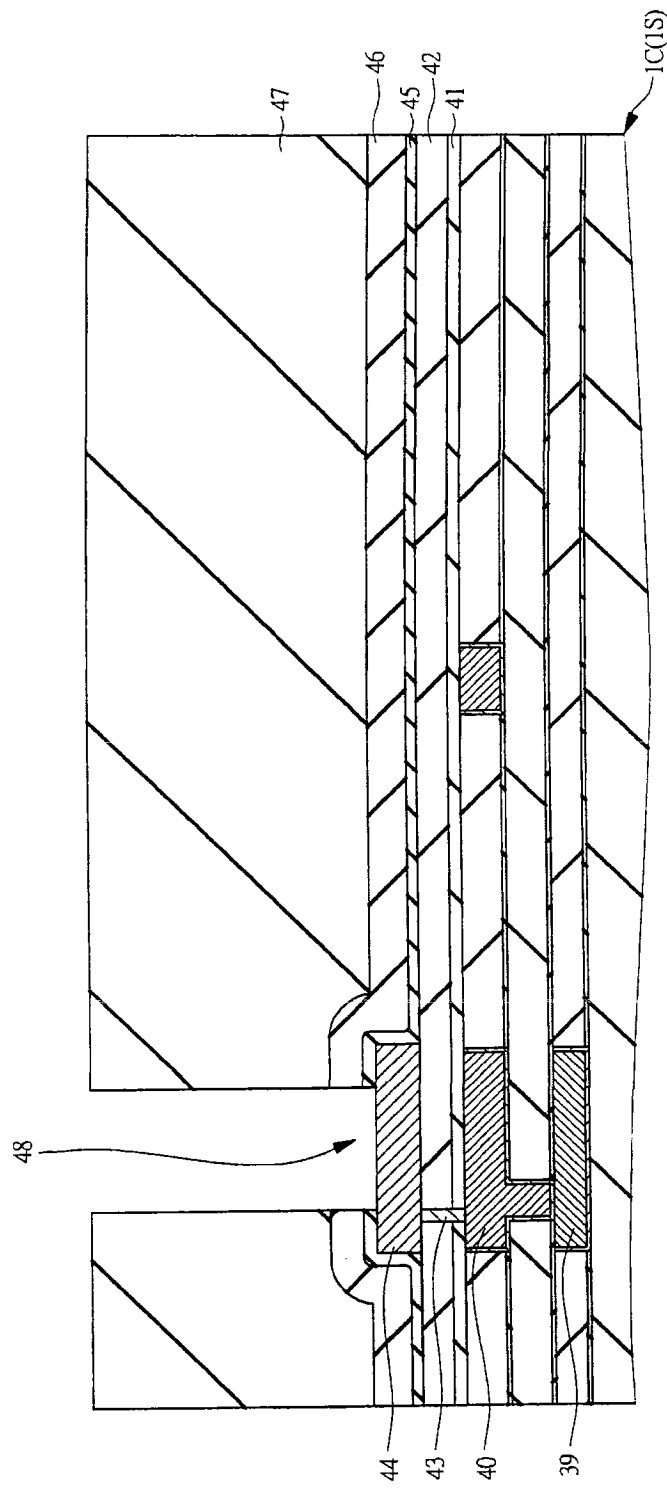


图13

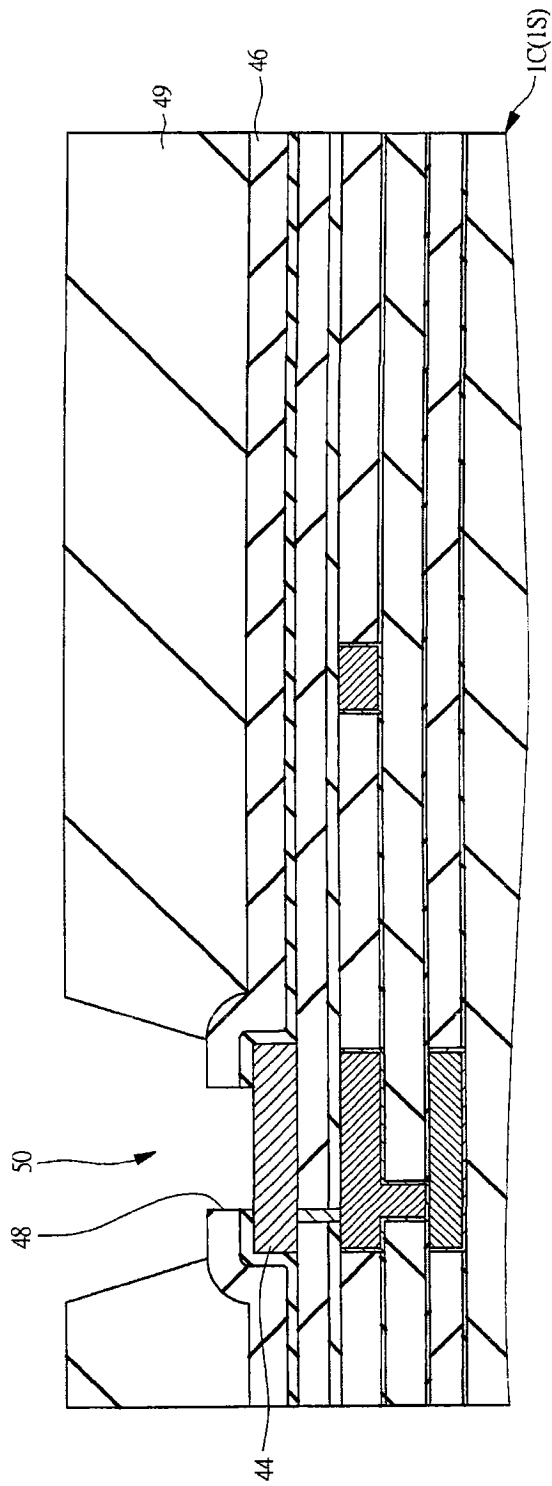


图14

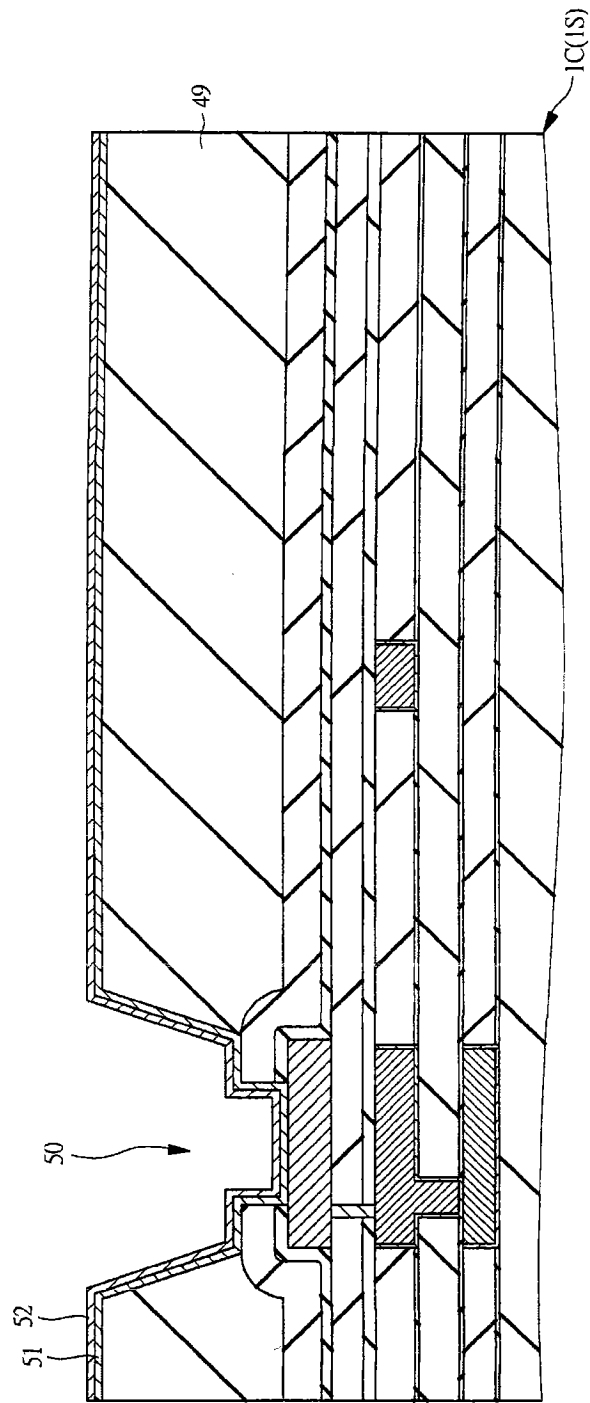


图15

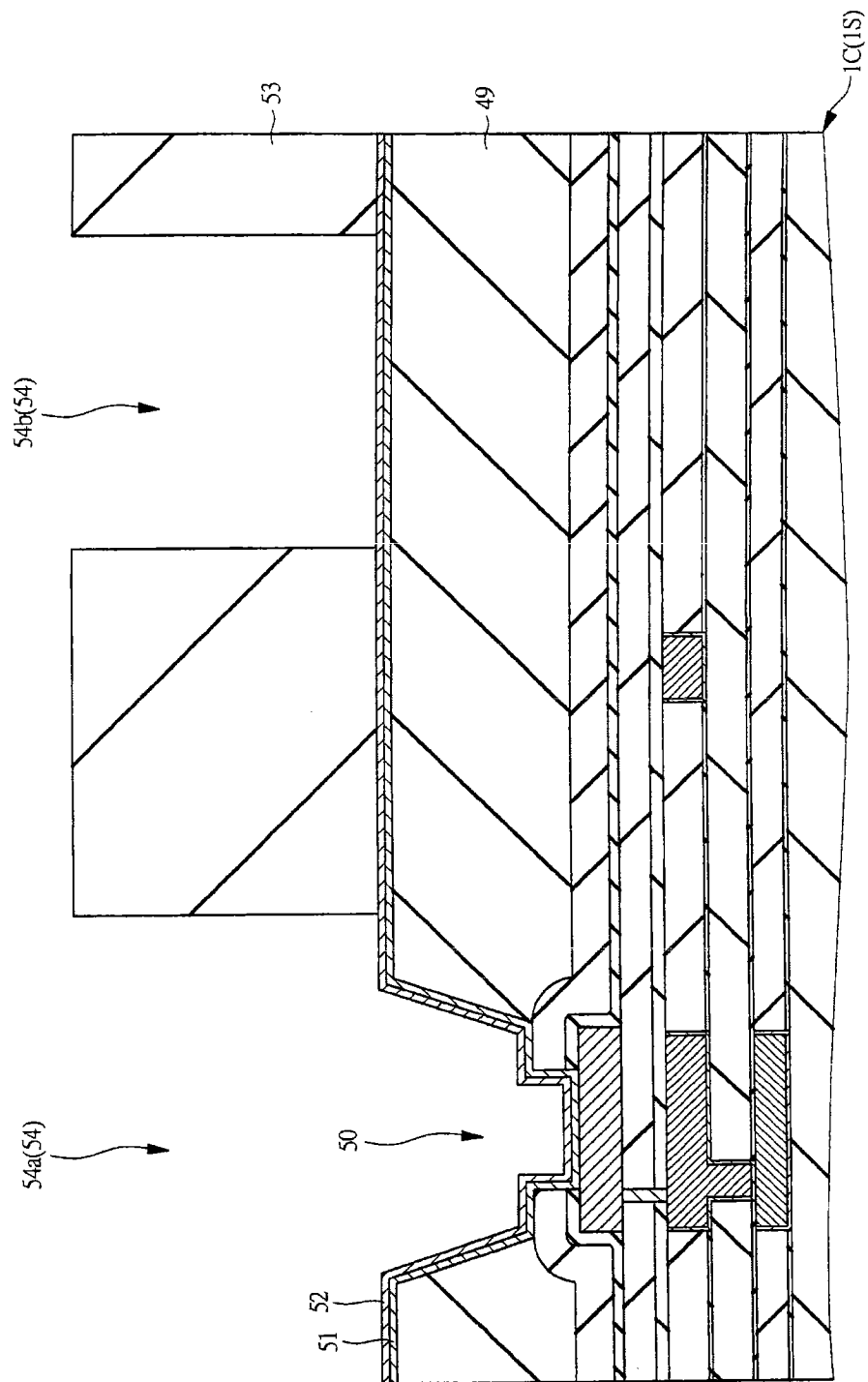


图16

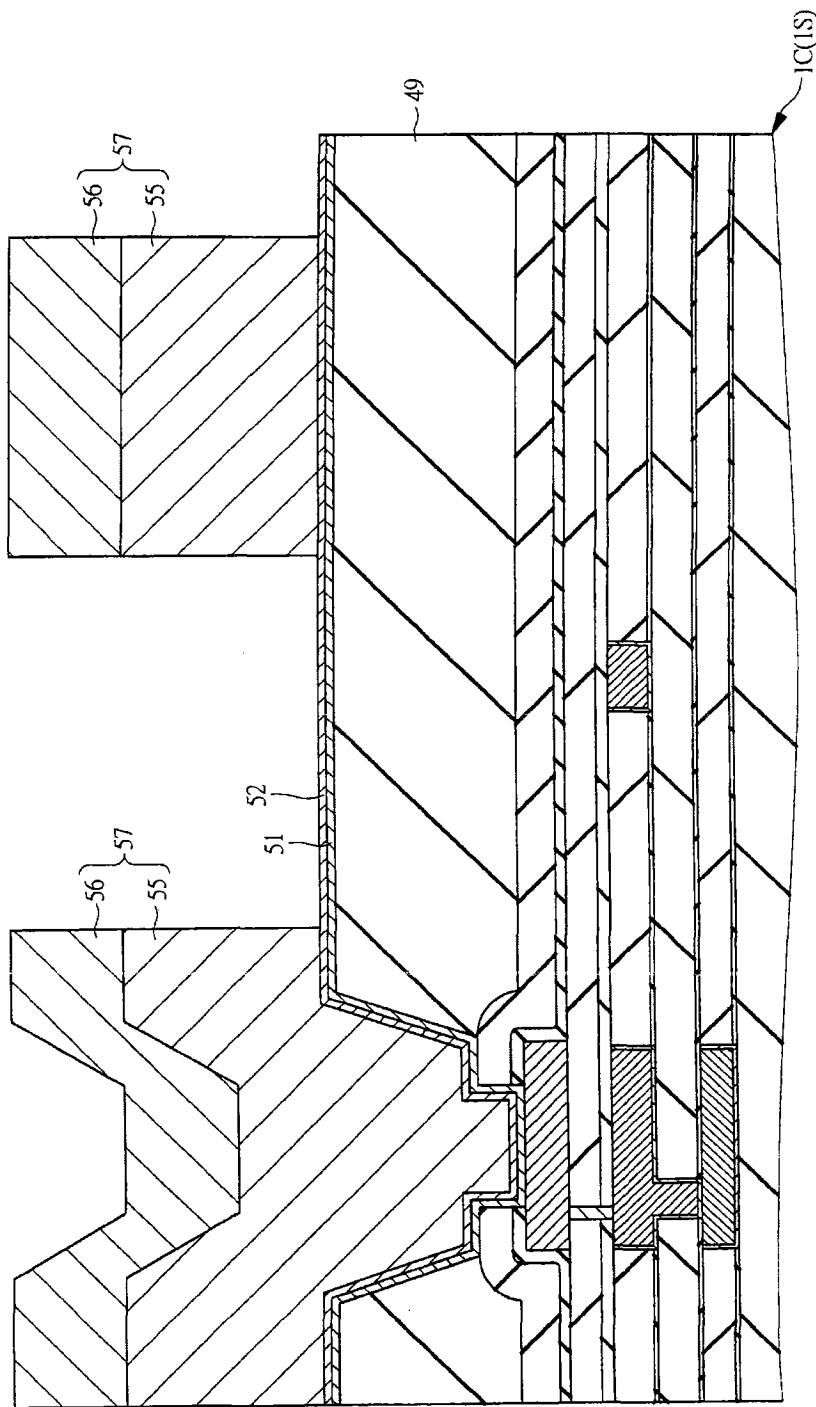


图17

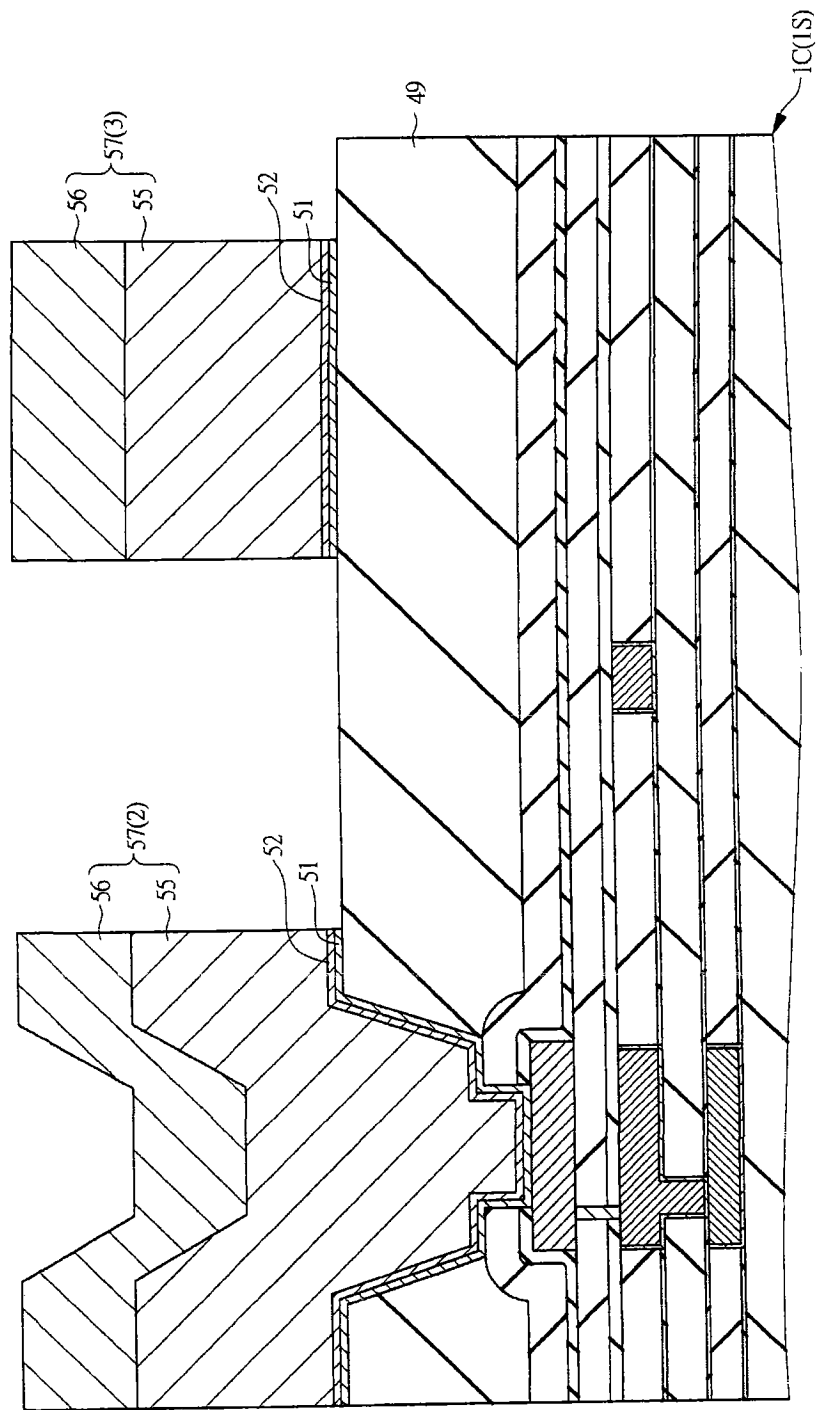


图18

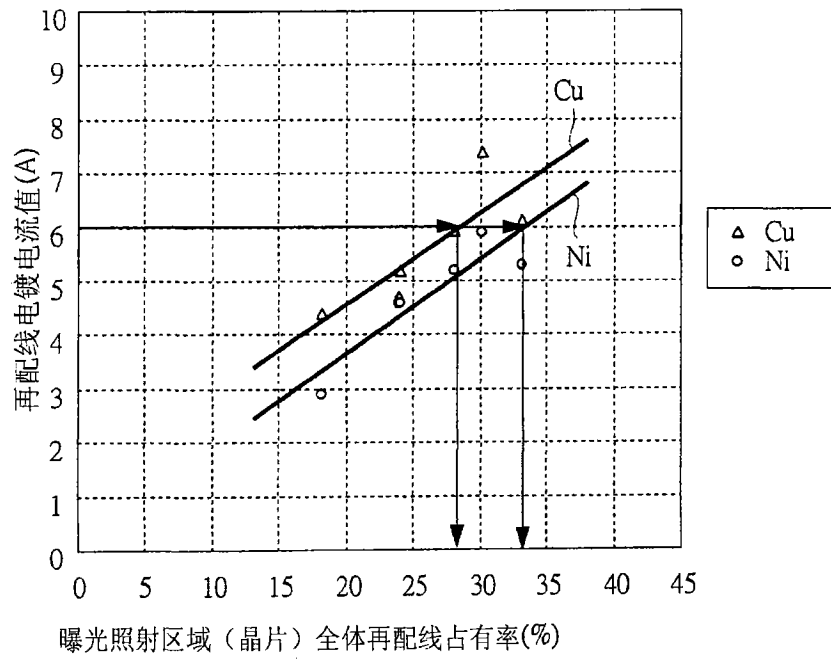


图 19

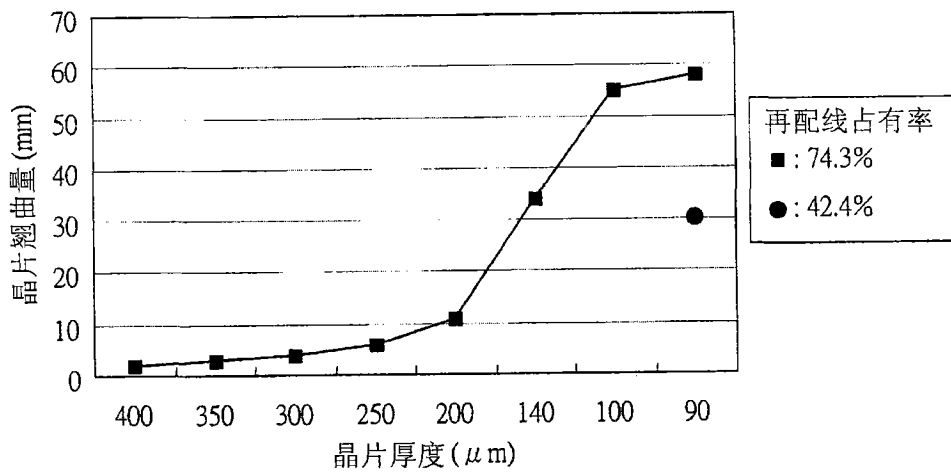


图 20

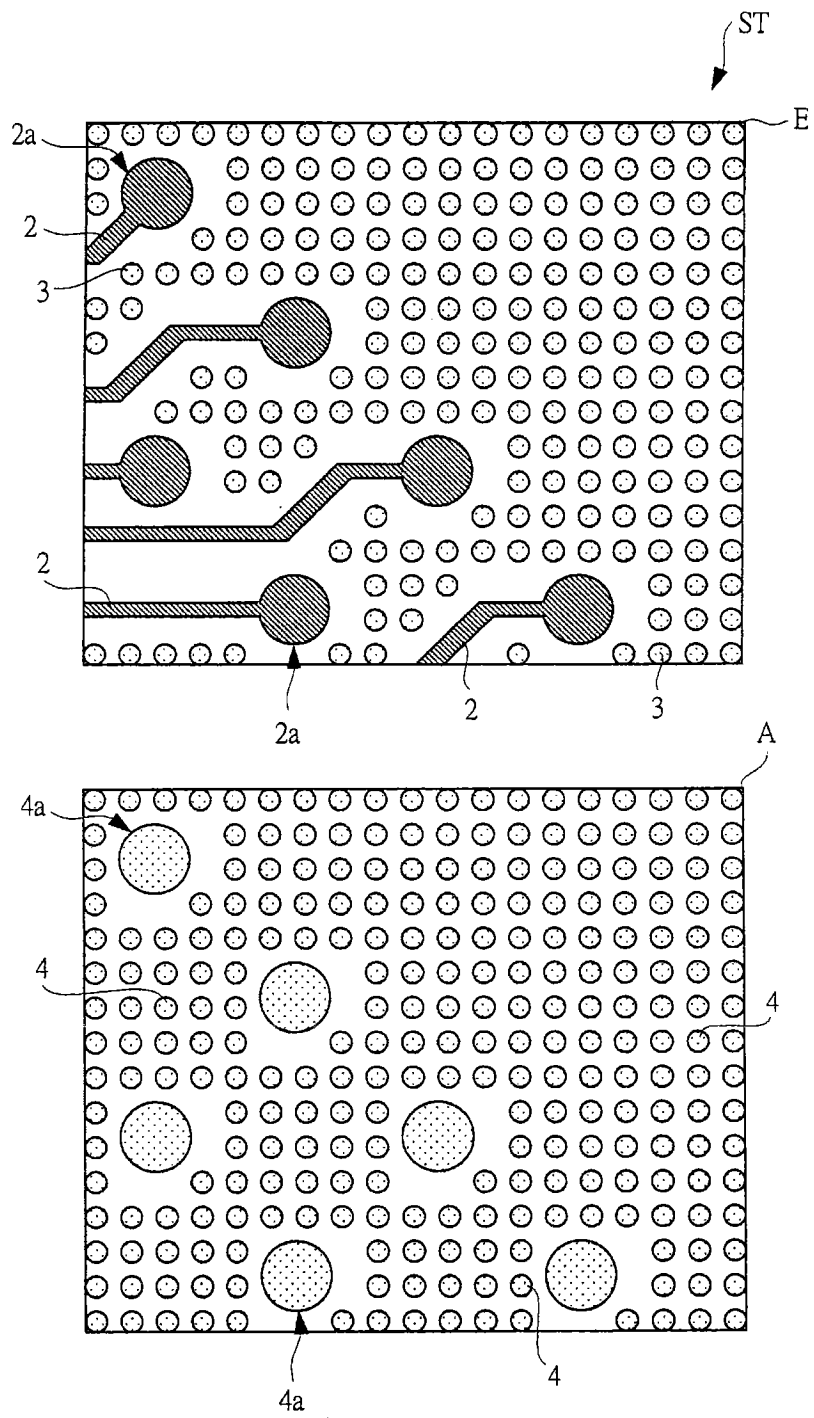


图 21

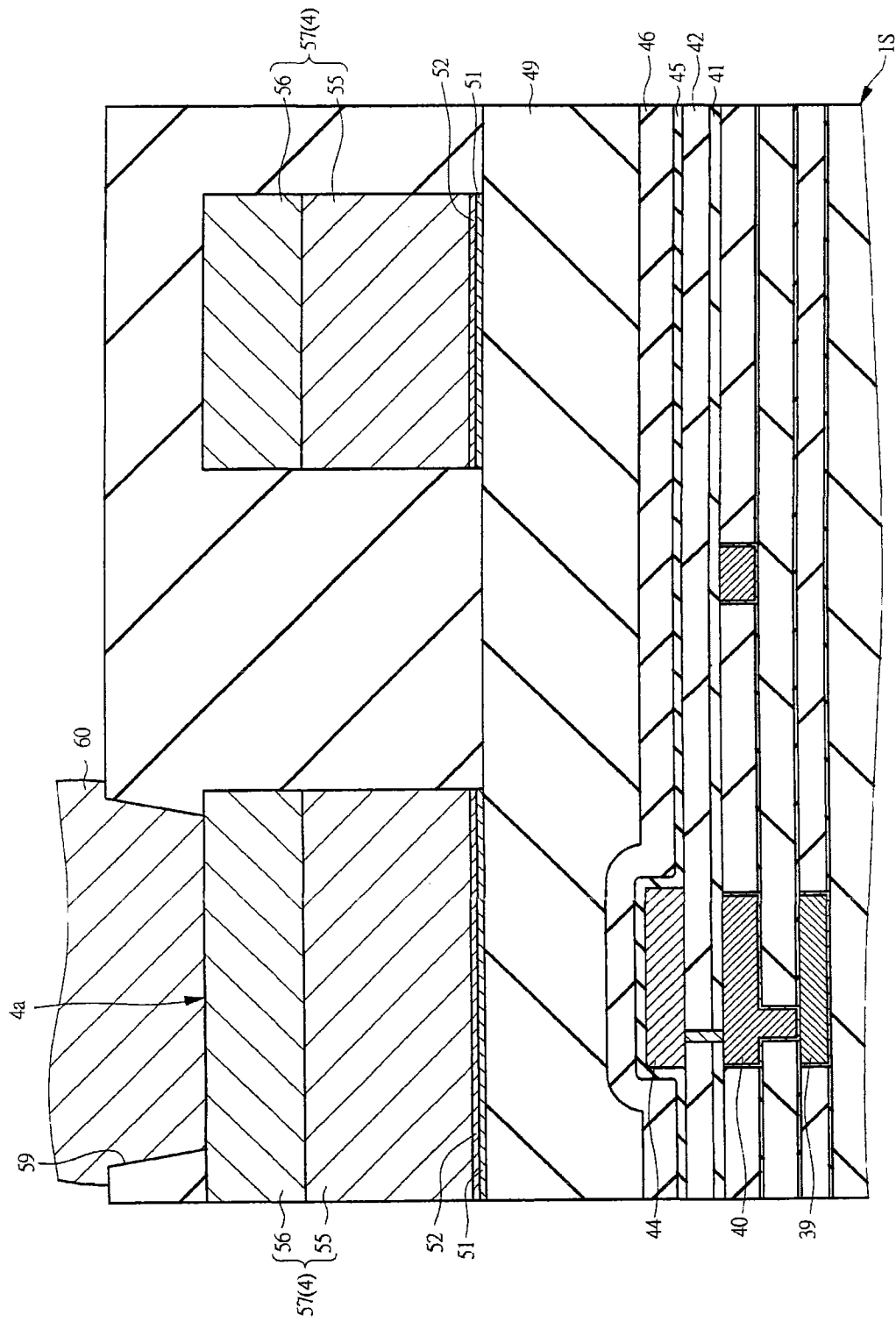


图22