



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월14일
(11) 등록번호 10-2133978
(24) 등록일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 5/00 (2006.01)
(21) 출원번호 10-2013-0137529
(22) 출원일자 2013년11월13일
심사청구일자 2018년11월01일
(65) 공개번호 10-2015-0055324
(43) 공개일자 2015년05월21일
(56) 선행기술조사문헌
US20130021352 A1*
US20130057763 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이재철
경기 성남시 분당구 이매로123번길 12, 101동 10
1호 (이매동, 이매포스파크)
김중선
경기 성남시 분당구 분당로263번길 24, 121동
1604호 (분당동, 건영아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 17 항

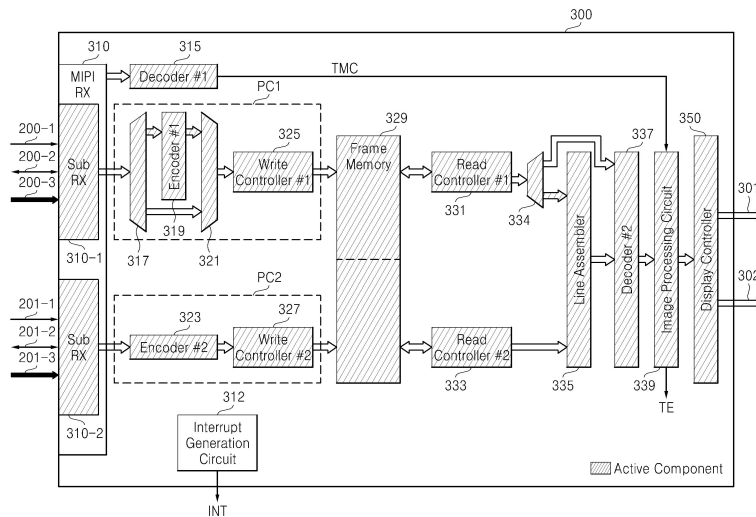
심사관 : 신영교

(54) 발명의 명칭 압축 데이터를 이용하여 패널 셀프 리프레쉬를 수행할 수 있는 타이밍 컨트롤러, 이의 동작 방법, 및 상기 타이밍 컨트롤러를 포함하는 데이터 처리 시스템

(57) 요약

MIPI 인터페이스를 통해 호스트와 통신하고 디스플레이 인터페이스를 통해 디스플레이 패널 모듈과 통신할 수 있는 타이밍 컨트롤러의 동작 방법은 상기 호스트와 상기 타이밍 컨트롤러 중 어느 하나에 의해 압축된 이미지 데이터를 프레임 메모리에 저장하는 단계와, 상기 프레임 메모리에 저장된 상기 이미지 데이터를 압축-해제하는 단계와, 압축-해제된 이미지 데이터를 이용하여 상기 디스플레이 패널 모듈에 대한 패널 셀프 리프레쉬를 수행하는 단계를 포함한다.

대표도 - 도5



(72) 발명자

와이더스틴

경기 성남시 분당구 성남대로 393, B동 801호 (정
자동, 두산위브파빌리온)

류근호

경기 화성시 동탄반석로 277, 125동 2703호 (석우
동, 예당마을우미린제일풍경채)

이중성

서울 송파구 백제고분로39길 14-3, 201호 (석촌동,
에벤에셀)

명세서

청구범위

청구항 1

MIPI 인터페이스를 통해 호스트와 통신하고 디스플레이 인터페이스를 통해 디스플레이 패널 모듈과 통신할 수 있는 타이밍 컨트롤러의 동작 방법에 있어서,

상기 호스트와 상기 타이밍 컨트롤러 중에서 어느 하나에 의해 압축된 이미지 데이터를 프레임 메모리에 저장하는 단계;

상기 프레임 메모리에 저장된 상기 이미지 데이터를 압축-해제하는 단계; 및

압축-해제된 이미지 데이터를 이용하여 상기 디스플레이 패널 모듈에 대한 패널 셀프 리프레쉬(panel self refresh)를 수행하는 단계를 포함하되,

상기 압축된 이미지 데이터를 프레임 메모리에 저장하는 단계는,

상기 이미지 데이터가 상기 호스트에 의해 압축되는 제1 모드 동작 동안, 상기 호스트에 의해 압축된 제1 이미지 데이터를 상기 프레임 메모리로 바이패스하는 단계;

상기 이미지 데이터가 상기 타이밍 컨트롤러에 의해 압축되는 제2 모드 동작 동안, 제1비압축 이미지 데이터를 압축하여 제2 이미지 데이터의 제1 부분을 생성하는 단계;

상기 제1 부분을 상기 프레임 메모리에 저장하는 단계;

상기 제2 모드 동작 동안, 제2비압축 이미지 데이터를 압축하여 제2 이미지 데이터의 제2 부분을 생성하는 단계; 및

상기 제2부분을 상기 제1부분과 다른 타이밍에 상기 프레임 메모리에 저장하는 단계를 포함하는 타이밍 컨트롤러의 동작 방법.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 압축-해제하는 단계는,

상기 프레임 메모리로부터 각각 출력된 상기 제1부분과 상기 제2부분을 집합 (assemble)시켜 동기화 (synchronize)하는 단계; 및

서로 동기화된 상기 제1부분과 상기 제2부분을 압축-해제하는 단계를 포함하는 타이밍 컨트롤러의 동작 방법.

청구항 4

제1항에 있어서,

상기 제1비압축(uncompressed) 이미지 데이터와 상기 제2비압축 이미지 데이터 각각은 상기 타이밍 컨트롤러에 구현된 서로 다른 압축 회로들 각각에 의해 서로 다른 타이밍에 압축되는 타이밍 컨트롤러의 동작 방법.

청구항 5

제4항에 있어서,

상기 제1비압축 이미지 데이터는 상기 MIPI 인터페이스의 제1서브 인터페이스를 통해 상기 호스트로부터 수신되고,

상기 제2비압축 이미지 데이터는 상기 MIPI 인터페이스의 제2서브 인터페이스를 통해 상기 호스트로부터 수신되

는 타이밍 컨트롤러의 동작 방법.

청구항 6

제1항에 있어서,

상기 제1이미지 데이터와, 상기 제2이미지 데이터의 상기 제1부분은 동일한 처리 회로를 통하여 상기 프레임 메모리로 출력되는 타이밍 컨트롤러의 동작 방법.

청구항 7

제1항에 있어서,

상기 MIPI 인터페이스를 통해 상기 호스트로부터 출력된 명령을 수신하고 해석하는 단계; 및

해석 결과에 기초하여, TE(tearing effect) 신호의 주기를 조절하는 단계를 더 포함하는 타이밍 컨트롤러의 동작 방법.

청구항 8

제7항에 있어서,

상기 명령은 수직 블랭크 영역(vertical blank area)의 크기에 대한 정보를 포함하는 타이밍 컨트롤러의 동작 방법.

청구항 9

MIPI 인터페이스를 통해 호스트와 접속되고 디스플레이 인터페이스를 통해 디스플레이 패널 모듈과 접속되는 타이밍 컨트롤러에 있어서,

이미지 데이터가 상기 호스트에 의해 압축되는 제1 모드 동작 동안 상기 호스트에 의해 압축된 제1이미지 데이터를 바이패스하고, 이미지 데이터가 상기 타이밍 컨트롤러에 의해 압축되는 제2 모드 동작 동안 제1비압축 이미지 데이터를 압축하여 제2이미지 데이터의 제1부분을 생성하는 제1처리 회로;

상기 제2 모드 동작 동안, 제2비압축 이미지 데이터를 압축하여 상기 제2이미지 데이터의 제2부분을 생성하는 제2처리 회로;

상기 제1 모드 동작 동안 상기 제1이미지 데이터를 저장하고, 상기 제2 모드 동작 동안 상기 제2이미지 데이터를 저장하는 프레임 메모리;

상기 프레임 메모리에 저장된 상기 제1이미지 데이터 또는 상기 제2이미지 데이터를 압축-해제하는 디코더; 및 압축-해제된 상기 제1이미지 데이터 또는 상기 제2이미지 데이터를 이용하여 상기 디스플레이 패널 모듈에 대한 패널 셀프 리프레쉬를 수행하는 이미지 처리 회로를 포함하는 타이밍 컨트롤러.

청구항 10

제9항에 있어서, 상기 제1부분과 상기 제2부분이 서로 다른 타이밍에 상기 프레임 메모리에 저장되는 타이밍 컨트롤러.

청구항 11

제9항에 있어서, 상기 타이밍 컨트롤러는,

상기 프레임 메모리로부터 각각 출력된 상기 제1부분과 상기 제2부분을 집합(assemble)시켜 동기화(synchronize)하고 동기화된 이미지 데이터를 상기 디코더로 출력하는 라인 어셈블러를 더 포함하고,

상기 디코더는 상기 동기화된 이미지 데이터를 압축-해제하는 타이밍 컨트롤러.

청구항 12

삭제

청구항 13

제9항에 있어서, 상기 타이밍 컨트롤러는,

상기 MIPI 인터페이스를 통해 상기 호스트로부터 출력된 명령을 해석하고 해석의 결과에 따라 타이밍 제어 신호를 출력하는 제2디코더를 더 포함하고,

상기 이미지 처리 회로는 상기 타이밍 제어 신호에 기초하여 TE 신호의 주기를 조절하고, 주기 조절된 TE 신호를 상기 호스트로 전송하는 타이밍 컨트롤러.

청구항 14

제13항에 있어서,

상기 명령은 수직 블랭크 영역의 크기에 대한 정보를 포함하는 타이밍 컨트롤러.

청구항 15

MIPI 인터페이스를 통해 호스트에 접속된 타이밍 컨트롤러; 및

디스플레이 인터페이스를 통해 상기 타이밍 컨트롤러에 접속된 디스플레이 패널 모듈을 포함하고,

상기 타이밍 컨트롤러는,

이미지 데이터가 상기 호스트에 의해 압축되는 제1 모드 동작 동안 상기 호스트에 의해 압축된 제1이미지 데이터를 바이패스하고, 이미지 데이터가 상기 타이밍 컨트롤러에 의해 압축되는 제2 모드 동작 동안 제1비압축 이미지 데이터를 압축하여 제2이미지 데이터의 제1부분을 생성하는 제1처리 회로;

상기 제2 모드 동작 동안, 제2비압축 이미지 데이터를 압축하여 상기 제2이미지 데이터의 제2부분을 생성하는 제2처리 회로;

상기 제1 모드 동작 동안 상기 제1이미지 데이터를 저장하고, 상기 제2 모드 동작 동안 상기 제2이미지 데이터를 저장하는 프레임 메모리;

상기 프레임 메모리에 저장된 상기 제1이미지 데이터 또는 상기 제2이미지 데이터를 압축-해제하는 디코더; 및 압축-해제된 상기 제1이미지 데이터 또는 상기 제2이미지 데이터를 이용하여 상기 디스플레이 패널 모듈에 대한 패널 셀프 리프레쉬를 수행하는 이미지 처리 회로를 포함하는 데이터 처리 시스템.

청구항 16

제15항에 있어서, 상기 제1부분과 상기 제2부분이 서로 다른 타이밍에 상기 프레임 메모리에 저장되는 데이터 처리 시스템.

청구항 17

제15항에 있어서, 상기 타이밍 컨트롤러는,

상기 프레임 메모리로부터 각각 출력된 상기 제1부분과 상기 제2부분을 집합(assemble)시켜 동기화(synchronize)하고 동기화된 이미지 데이터를 상기 디코더로 출력하는 라인 어셈블러를 더 포함하고,

상기 디코더는 상기 동기화된 이미지 데이터를 압축-해제하는 데이터 처리 시스템.

청구항 18

삭제

청구항 19

제15항에 있어서, 상기 타이밍 컨트롤러는,

상기 MIPI 인터페이스를 통해 상기 호스트로부터 출력된 명령을 해석하고 해석의 결과에 따라 타이밍 제어 신호를 출력하는 제2디코더를 더 포함하고,

상기 이미지 처리 회로는 상기 타이밍 제어 신호에 기초하여 TE 신호의 주기를 조절하고, 주기 조절된 TE 신호를 상기 호스트로 전송하고,

상기 호스트는 상기 주기 조절된 TE 신호에 기초하여 제2이미지 데이터를 상기 타이밍 컨트롤러로 전송하고,

상기 제2이미지 데이터는 상기 호스트에 의해 압축된 이미지 데이터 또는 상기 타이밍 컨트롤러에 의해 압축된 이미지 데이터인 데이터 처리 시스템.

청구항 20

제15항에 있어서,

상기 데이터 처리 시스템은 I²C 프로토콜을 지원하는 장치를 더 포함하고,

상기 타이밍 컨트롤러는,

상기 MIPI 인터페이스를 통해 수신된 MIPI 명령을 I²C 명령으로 변환하는 명령 변환기(533)를 더 포함하고,

상기 호스트는 상기 MIPI 명령을 이용하여 상기 장치를 제어하는 데이터 처리 시스템.

발명의 설명

기술 분야

[0001] 본 발명의 개념에 따른 실시 예는 타이밍 컨트롤러에 관한 것으로, 특히 압축 데이터를 이용하여 패널 셀프 리프레시를 수행할 수 있는 타이밍 컨트롤러, 이의 동작 방법, 및 상기 타이밍 컨트롤러를 포함하는 데이터 처리 시스템에 관한 것이다.

배경 기술

[0002] MIPI DSI(Mobile Industry Processor Interface, Display Serial Interface)는 휴대용 전자 장치를 위한 최근의 디스플레이 표준이다.

[0003] MIPI[®]는 두 개의 디스플레이 표준들, 즉 비디오 모드(video mode)와 명령 모드(command mode)를 지원한다.

[0004] 비디오 모드에서, 프레임 데이터는 실시간으로 호스트로부터 디스플레이 드라이버 IC로 전송된다. 상기 비디오 모드에서, 디스플레이 드라이버 IC로 전송될 영상 데이터가 정지 영상 데이터인 경우에도, 호스트는 동일한 상기 정지 영상 데이터를 계속 상기 디스플레이 드라이버 IC로 전송해야 한다. 따라서, 상기 호스트의 전력 소모는 증가한다.

[0005] 명령 모드에서 프레임 데이터의 전송 시작은 TE(tearing effect) 신호에 의해 제어된다. 디스플레이에서 정지 영상(still image) 데이터를 디스플레이하고자 할 때, 디스플레이 드라이버 IC는 상기 디스플레이 드라이버 IC에 내장된 프레임 버퍼에 저장된 상기 정지 영상 데이터를 주기적으로 리드하고, 리드된 정지 영상 데이터를 상기 디스플레이로 전송한다. 이와 같은 동작을 패널 셀프 리프레시(panel self refresh(PSR))라고 한다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적인 과제는 압축 데이터를 이용하여 디스플레이에 대한 패널 셀프 리프레시를 수행할 수 있는 타이밍 컨트롤러, 이의 동작 방법, 및 상기 타이밍 컨트롤러를 포함하는 데이터 처리 시스템을 제공하는 것이다.

[0007] 본 발명이 이루고자 하는 다른 기술적인 과제는 프레임 정보(즉, 수직 블랭크 영역의 크기에 대한 정보)를 이용하여 이미지 데이터의 전송 타이밍을 조절할 수 있는 타이밍 컨트롤러, 이의 동작 방법, 및 상기 타이밍 컨트롤러를 포함하는 데이터 처리 시스템을 제공하는 것이다.

[0008] 본 발명이 이루고자 하는 또 다른 기술적인 과제는 MIPI 명령을 이용하여 I²C 프로토콜을 지원할 수 있는 외부 장치를 제어할 수 있는 타이밍 컨트롤러, 이의 동작 방법, 및 상기 타이밍 컨트롤러를 포함하는 데이터 처리 시

시스템을 제공하는 것이다.

과제의 해결 수단

- [0009] 본 발명의 실시 예에 따른, MIPI 인터페이스를 통해 호스트와 통신하고 디스플레이 인터페이스를 통해 디스플레이 패널 모듈과 통신할 수 있는 타이밍 컨트롤러의 동작 방법은 상기 호스트와 상기 타이밍 컨트롤러 중 어느 하나에 의해 압축된 이미지 데이터를 프레임 메모리에 저장하는 단계와, 상기 프레임 메모리에 저장된 상기 이미지 데이터를 압축-해제하는 단계와, 압축-해제된 이미지 데이터를 이용하여 상기 디스플레이 패널 모듈에 대한 패널 셀프 리프레쉬를 수행하는 단계를 포함한다.
- [0010] 상기 이미지 데이터가 상기 호스트에 의해 압축된 제1이미지 데이터일 때 상기 제1이미지 데이터는 상기 프레임 메모리로 바이패스되고, 상기 이미지 데이터가 상기 타이밍 컨트롤러에 의해 압축된 제2이미지 데이터일 때 상기 제2이미지 데이터의 제1부분과 상기 제2이미지 데이터의 제2부분은 서로 다른 타이밍에 상기 프레임 메모리에 저장된다.
- [0011] 상기 압축-해제하는 단계는 상기 프레임 메모리로부터 각각 출력된 상기 제1부분과 상기 제2부분을 집합시켜 동기화하는 단계와, 서로 동기화된 상기 제1부분과 상기 제2부분을 압축-해제하는 단계를 포함한다.
- [0012] 상기 제1부분에 상응하는 제1비압축(uncompressed) 이미지 데이터와 상기 제2부분에 상응하는 제2비압축 이미지 데이터 각각은 상기 타이밍 컨트롤러에 구현된 서로 다른 압축 회로들 각각에 의해 서로 다른 타이밍에 압축된다.
- [0013] 상기 제1비압축 이미지 데이터는 상기 MIPI 인터페이스의 제1서브 인터페이스를 통해 상기 호스트로부터 수신되고, 상기 제2비압축 이미지 데이터는 상기 MIPI 인터페이스의 제2서브 인터페이스를 통해 상기 호스트로부터 수신된다.
- [0014] 상기 제1이미지 데이터와, 상기 제2이미지 데이터의 상기 제1부분은 동일한 처리 회로를 통하여 상기 프레임 메모리로 출력된다.
- [0015] 상기 방법은 상기 MIPI 인터페이스를 통해 상기 호스트로부터 출력된 명령을 수신하고 해석하는 단계와, 해석 결과에 기초하여, TE(tearing effect) 신호의 주기를 조절하는 단계를 더 포함한다. 상기 명령은 수직 블랭크 영역(vertical blank area)의 크기에 대한 정보를 포함한다.
- [0016] 본 발명의 실시 예에 따른, MIPI 인터페이스를 통해 호스트와 접속되고 디스플레이 인터페이스를 통해 디스플레이 패널 모듈과 접속되는 타이밍 컨트롤러는 상기 호스트와 상기 타이밍 컨트롤러 중에서 어느 하나에 의해 압축된 이미지 데이터를 저장하는 프레임 메모리와, 상기 프레임 메모리에 저장된 상기 이미지 데이터를 압축-해제하는 디코더와, 압축-해제된 이미지 데이터를 이용하여 상기 디스플레이 패널 모듈에 대한 패널 셀프 리프레쉬를 수행하는 이미지 처리 회로를 포함한다.
- [0017] 본 발명의 실시 예에 따른 데이터 처리 시스템은 MIPI 인터페이스를 통해 호스트에 접속된 타이밍 컨트롤러와, 디스플레이 인터페이스를 통해 상기 타이밍 컨트롤러에 접속된 디스플레이 패널 모듈을 포함하고, 상기 타이밍 컨트롤러는 상기 호스트와 상기 타이밍 컨트롤러 중에서 어느 하나에 의해 압축된 이미지 데이터를 저장하는 프레임 메모리와, 상기 프레임 메모리에 저장된 상기 이미지 데이터를 압축-해제하는 디코더와, 압축-해제된 이미지 데이터를 이용하여 상기 디스플레이 패널 모듈에 대한 패널 셀프 리프레쉬를 수행하는 이미지 처리 회로를 포함한다.
- [0018] 상기 데이터 처리 시스템은 I²C 프로토콜을 지원하는 장치를 더 포함하고, 상기 타이밍 컨트롤러는 상기 MIPI 인터페이스를 통해 수신된 MIPI 명령을 I²C 명령으로 변환하는 명령 변환기를 더 포함하고, 상기 호스트는 상기 MIPI 명령을 이용하여 상기 장치를 제어한다.

발명의 효과

- [0019] 본 발명의 실시 예에 따른 타이밍 컨트롤러는 압축 데이터를 이용하여 디스플레이에 대한 패널 셀프 리프레쉬를 수행할 수 있는 효과가 있다.
- [0020] 본 발명의 실시 예에 따른 호스트는 프레임 정보(즉, 수직 블랭크 영역의 크기에 대한 정보)를 이용하여 상기 호스트로부터 상기 타이밍 컨트롤러로 전송될 이미지 데이터의 전송 타이밍을 조절할 수 있는 효과가 있다.

[0021] 본 발명의 실시 예에 따른 호스트는 MIPI 명령을 이용하여 I²C 프로토콜을 지원할 수 있는 외부 장치를 제어할 수 있는 효과가 있다.

도면의 간단한 설명

[0022] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
 도 1은 본 발명의 일 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다.
 도 2는 도 1에 도시된 호스트의 블록도를 나타낸다.
 도 3은 싱글 모드(single mode) 동작을 수행하는 도 1에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 블록도를 나타낸다.
 도 4는 도 3에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 플로우차트이다.
 도 5는 듀얼 모드 동작을 수행하는 도 1에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 블록도를 나타낸다.
 도 6은 도 5에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 플로우차트이다.
 도 7은 호스트로부터 타이밍 컨트롤러로 전송되는 이미지 데이터의 전송 타이밍을 제어하는 방법을 설명하기 위한 타이밍 도들이다.
 도 8은 호스트로부터 타이밍 컨트롤러로 전송되는 이미지 데이터의 전송 타이밍을 제어하는 방법을 설명하기 위한 플로우차트이다.
 도 9는 본 발명의 다른 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0024] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0025] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1구성 요소는 제2구성 요소로 명명될 수 있고 유사하게 제2구성 요소는 제1구성 요소로도 명명될 수 있다.

[0026] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0027] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 나타낸다. 일반

적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0029] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0030] 도 1은 본 발명의 일 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다. 도 1을 참조하면, 데이터 처리 시스템(100)은 호스트(200), 외부 메모리 (200A), 카메라(200B), 타이밍 컨트롤러(300), 및 디스플레이 패널 모듈(400)을 포함한다.
- [0031] 데이터 처리 시스템(100)은 이미지 데이터를 처리하고, 처리된 이미지 데이터를 디스플레이 패널 모듈(400)을 통해 디스플레이할 수 있는 시스템을 의미한다.
- [0032] 상기 이미지 데이터는 정지 영상 데이터 또는 동영상 데이터를 포함하고, 상기 동영상 데이터는 비디오 스트림(video stream)으로 불릴 수 있다. 상기 이미지 데이터는 2D 이미지 데이터 또는 3D 이미지 데이터를 포함할 수 있다. 또한, 상기 이미지 데이터는 프레임(frame) 데이터라고도 불릴 수 있다.
- [0033] 실시 예에 따라, 데이터 처리 시스템(100)은 MIPI(mobile industry processor interface)를 지원할 수 있는 모바일 장치(mobile device)로 구현될 수 있다.
- [0034] 다른 실시 예에 따라, 데이터 처리 시스템(100)은 스마트폰, 태블릿(tablet) PC, 디지털 카메라, 캠코더, PDA(personal digital assistant), PMP(portable multimedia player), 모바일 인터넷 장치(mobile internet device(MID)) 또는 웨어러블 컴퓨터(wearable computer)로 구현될 수 있다.
- [0035] 호스트(200)와 타이밍 컨트롤러(300)는 제1인터페이스, 예컨대 MIPI 인터페이스(MIF)를 통해 서로 접속되고, 타이밍 컨트롤러(300)와 디스플레이 패널 모듈 (400)은 제2인터페이스, 예컨대 디스플레이 인터페이스(301과 302)를 통해 서로 접속된다.
- [0036] 본 명세서에서는, 설명의 편의를 위해, MIPI 인터페이스 또는 MIPI 프로토콜을 일 실시 예로서 설명하나, 본 발명의 기술적 사상은 MIPI 인터페이스 이외의 다른 인터페이스와 타이밍 컨트롤러를 포함하는 디스플레이 시스템에 적용될 수 있다.
- [0037] MIPI 인터페이스(MIF)는 제1서브 인터페이스와 제2서브 인터페이스를 포함한다. 상기 제1서브 인터페이스는 하나의 클락 레인(clock lane; 200-1)과, 하나 또는 그 이상의 데이터 레인들(data lane; 200-2와 200-3)을 포함한다. 상기 제2서브 인터페이스는 하나의 클락 레인(201-1)과, 하나 또는 그 이상의 데이터 레인들 (201-2과 201-3)을 포함한다.
- [0038] 예컨대, 각 데이터 레인(200-2와 201-2)은 양-방향(bi-directional) 데이터 레인으로 구현될 수 있고, 복수의 데이터 레인들(200-3과 201-3) 각각은 단방향 데이터 레인으로 구현될 수 있다.
- [0039] 실시 예에 따라, 싱글 모드 동작에서 호스트(200)는 상기 제1서브 인터페이스만을 통해 타이밍 컨트롤러(300)를 제어할 수 있다. 이 경우, 데이터 처리 시스템(100)은 싱글 모드 동작을 지원하도록 하드웨어적으로 구현될 수 있다.
- [0040] 다른 실시 예에 따라, 듀얼 동작 모드에서 호스트(200)는 상기 제1서브 인터페이스와 상기 제2서브 인터페이스 모두를 통해 타이밍 컨트롤러(300)를 제어할 수 있다. 이 경우, 데이터 처리 시스템(100)은 듀얼 모드 동작을 지원하도록 하드웨어적으로 구현될 수 있다.
- [0041] 또 다른 실시 예에 따라, 호스트(200)는 싱글 모드 동작으로부터 듀얼 모드 동작으로 변경되거나 상기 듀얼 모드 동작으로부터 싱글 모드 동작으로 변경될 수 있다. 이 경우, 데이터 처리 시스템(100)은 싱글 모드 동작과 듀얼 모드 동작 모두를 지원하도록 하드웨어적으로 구현될 수 있다.
- [0042] 호스트(200)는 외부 메모리(200A), 카메라(200B), 및/또는 타이밍 컨트롤러 (300)를 제어할 수 있다. 호스트(200)는 집적 회로, 시스템 온 칩(system on chip(SoC)), 애플리케이션 프로세서 (application processor(AP)) 또는 모바일 (mobile) AP로 구현될 수 있다.
- [0043] 도 2는 도 1에 도시된 호스트의 블록도를 나타낸다.
- [0044] 도 1과 도 2를 참조하면, 호스트(200)는 버스(211), 메모리 컨트롤러(213), CPU(central processing unit; 215), 이미지 타입 검출기(217), 이미지 처리 회로 (219), 카메라 인터페이스(223), TE 신호 검출기(225), 및

MIPI 송신 인터페이스 (230)를 포함한다.

- [0045] CPU(215)는 버스(211)를 통해 각 구성 요소(213, 217, 219, 221, 223, 225, 및/또는 230)를 제어할 수 있다.
- [0046] 메모리 컨트롤러(213)는 호스트(200)와 외부 메모리(200A) 사이에서 주고받는 이미지 데이터를 인터페이스할 수 있다. 예컨대, 메모리 컨트롤러(213)의 제어에 따라, 호스트(200)로부터 출력된 이미지 데이터는 외부 메모리(200A)에 저장될 수 있고, 외부 메모리(200A)로부터 출력된 이미지 데이터는 버스(211)로 전송될 수 있다.
- [0047] 외부 메모리(200A)는 DRAM(dynamic random access memory), SSD(solid state drive), MMC(multimedia card), eMMC(embedded MMC), USB 플래시 드라이브, 또는 UFS(universal flash storage)일 수 있다.
- [0048] 도 1과 도 2에 도시된 외부 메모리(200A)는 서로 다른 종류의 메모리들의 집합을 의미할 수 있다. 따라서, 외부 메모리(200A)는 DRAM과 eMMC를 집합적으로 의미할 수 있다. 예컨대, 운영 체제(operating system(OS))는 상기 eMMC로부터 상기 DRAM으로 로드되어 실행될 수 있다. 외부 메모리(200A)가 서로 다른 종류의 메모리들의 집합을 의미할 때, 메모리 컨트롤러(213)도 서로 다른 종류의 메모리들을 제어할 수 있는 메모리 컨트롤러들의 집합을 의미할 수 있다.
- [0049] CPU(215)는, 호스트(200)가 이미지 데이터를 압축하고 압축된 이미지 데이터(compressed data)를 MIPI 송신 인터페이스(230)를 통해 타이밍 컨트롤러(300)로 전송할 수 있도록, 호스트(200)를 제어할 수 있다.
- [0050] 이미지 타입 검출기(217)는 타이밍 컨트롤러(300)로 전송될 이미지 데이터가 정지 영상 데이터인지 또는 동영상 데이터인지를 판단하고, 판단의 결과에 따라 상기 이미지 데이터의 전송을 제어할 수 있다. 즉, 이미지 타입 검출기(217)는 이미지 데이터를 이미지 처리 회로(219)로 전송할지를 결정할 수 있다.
- [0051] 실시 예에 따라, 이미지 데이터 소스(200A 또는 200B)로부터 출력된 이미지 데이터가 정지 영상 데이터일 때, 이미지 타입 검출기(217)는 상기 이미지 데이터를 1Hz로 이미지 처리 회로(219)로 전송할 수 있다.
- [0052] 다른 실시 예에 따라, 이미지 데이터 소스(200A 또는 200B)로부터 출력된 이미지 데이터가 동영상 데이터일 때, 이미지 타입 검출기(217)는 상기 이미지 데이터를 2Hz부터 60Hz 중에서 어느 하나로 이미지 처리 회로(219)로 전송할 수 있다.
- [0053] 따라서, 이미지 타입 검출기(217)는 타이밍 컨트롤러(300)로 전송될 필요가 있는 이미지 데이터 또는 디스플레이 패널 모듈(400)에서 업데이트가 필요한 이미지 데이터를 이미지 처리 회로(219)로 전송할 수 있으므로, 이미지 타입 검출기(217)는 불필요한 이미지 데이터의 전송을 방지할 수 있는 효과가 있다.
- [0054] 도 2에서는 이미지 타입 검출기(217)가 버스(211)와 이미지 처리 회로(219) 사이에 배치된 실시 예가 도시되어 있으나, 실시 예에 따라 이미지 처리 회로(219)는 버스(211)와 이미지 타입 검출기(217) 사이에 배치될 수도 있다.
- [0055] 이미지 처리 회로(219)는 이미지 타입 검출기(217)로부터 출력된 이미지 데이터를 MIPI 송신 인터페이스(230)가 처리할 수 있는 포맷(format)으로 변환할 수 있다.
- [0056] 이미지 처리 회로(219)는 압축기(compressor; 221)를 포함할 수 있다. 압축기(221)는 인코더를 의미할 수 있다.
- [0057] 압축기(221)가 인에이블될 때, 압축기(221)는 이미지 타입 검출기(217)로부터 출력된 이미지 데이터를 압축하고 압축된 이미지 데이터를 MIPI 송신 인터페이스(230)로 전송할 수 있다. 이때, 압축된 이미지 데이터는 오직 제1서브 인터페이스를 통해 타이밍 컨트롤러(300)로 전송될 수 있다. 즉, 싱글 모드 동작에서 압축기(221)는 인에이블된다.
- [0058] 실시 예에 따라, 압축기(221)의 데이터 압축률(data compression ratio)은 상기 제1서브 인터페이스의 전력 소모를 고려하여 결정될 수 있다. 예컨대, 데이터 압축률이 압축된 크기(compressed size) 분에 비압축 크기(uncompressed size)로 정의될 때, 상기 데이터 압축률은 2배로 결정될 수 있다. 물론, 상기 데이터 압축률은 실시 예들에 따라 다양하게 변경될 수 있다.
- [0059] 그러나, 압축기(221)가 디스에이블될 때, 이미지 처리 회로(219)는 이미지 타입 검출기(217)로부터 출력된 비압축(uncompressed) 이미지 데이터를 처리하고 처리된 이미지 데이터를 MIPI 송신 인터페이스(230)로 전송할 수 있다.
- [0060] 이때, MIPI 송신 인터페이스(230)는 처리된 이미지 데이터의 제1부분을 제1서브 인터페이스를 통해 타이밍 컨트롤러(300)로 전송하고, 상기 처리된 이미지 데이터의 제2부분을 제2서브 인터페이스를 통해 타이밍 컨트롤러

(300)로 전송할 수 있다. 즉, 듀얼 모드 동작에서 압축기(221)는 디스에이블된다.

- [0061] 예컨대, 압축기(221)는, CPU(215)의 제어에 따라, 인에이블 또는 디스에이블될 수 있다.
- [0062] 상기 제1부분과 상기 제2부분을 타이밍 컨트롤러(300)로 전송하는 타이밍은 데이터 처리 시스템(100)의 설계 사양에 따라 다양하게 결정될 수 있다.
- [0063] 예컨대, 상기 제1부분이 상기 제2부분보다 먼저 타이밍 컨트롤러(300)로 전송될 수도 있고, 상기 제1부분과 상기 제2부분이 병렬적으로 타이밍 컨트롤러(300)로 전송될 수도 있다. 실시 예에 따라, 상기 제1부분은 처리된 이미지 데이터(예컨대, 프레임 데이터)의 왼쪽 절반일 수 있고 상기 제2부분은 처리된 이미지 데이터의 오른쪽 절반일 수 있다.
- [0064] 카메라 인터페이스(223)는 카메라(200B)로부터 출력된 이미지 데이터를 버스(211)로 전송할 수 있다. 예컨대, 카메라(200B)는 CMOS 이미지 센서로 구현될 수 있다.
- [0065] TE 신호 검출기(225)는 타이밍 컨트롤러(300)로부터 출력된 TE 신호(TE)를 검출하고, 제1검출 신호를 생성할 수 있다. 상기 제1검출 신호는 TE 신호(TE)와 동일하거나 서로 다를 수 있으나, 상기 제1검출 신호는 TE 신호(TE)에 관련된 신호이므로, 본 명세서에서는 제1검출 신호와 TE 신호(TE)를 동일하게 "TE"로 표시하고 TE 신호로 통칭한다.
- [0066] 예컨대, MIPI 송신 인터페이스(230)는 이미지 처리 회로(219)에 의해 처리된 이미지 데이터를 수신하고, TE 신호(TE)에 기초하여 상기 처리된 이미지 데이터의 전송 타이밍을 조절할 수 있다. 이때, TE 신호(TE)는 티어링 효과(tearing effect(TE))를 방지할 수 있는 신호의 일 예이다.
- [0067] 실시 예에 따라, 호스트(200)는 인터럽트 검출기(227)를 더 포함할 수 있다. 인터럽트 검출기(227)는 MIPI 인터페이스(MIF)의 이상 여부 및/또는 타이밍 컨트롤러(300)의 이상 여부를 나타내는 인터럽트(INT)를 검출하고, 제2검출 신호를 CPU(215)로 출력할 수 있다. 상기 제2검출 신호는 인터럽트(INT)에 관련된 신호이므로, 본 명세서에서는 제2검출 신호와 인터럽트(INT)를 동일하게 "INT"로 표시하고 인터럽트로 통칭한다. 예컨대, CPU(215)는 인터럽트 검출기(227)를 제어할 수 있다.
- [0068] CPU(215)는 인터럽트(INT)를 해석하고, 해석의 결과에 기초하여 MIPI 인터페이스(MIF)의 이상 및/또는 타이밍 컨트롤러(300)의 이상을 제거할 수 있는 신호(또는 명령 또는 데이터)를 타이밍 컨트롤러(300)로 전송할 수 있다.
- [0069] TE 신호(TE)는 제1라인(202)을 통해 타이밍 컨트롤러(300)로부터 호스트(200)로 전송되고, 인터럽트(INT)는 제2라인(203)을 통해 타이밍 컨트롤러(300)로부터 호스트(200)로 전송된다.
- [0070] 호스트(200)는 다른 장치와 무선 통신할 수 있는 하나 또는 그 이상의 무선 인터페이스들(미도시)을 더 포함할 수 있다. 따라서, 호스트(200)는 상기 무선 인터페이스(들)를 통해 무선, 예컨대, Wi-Fi, 무선 인터넷, 또는 LTE(Long Term Evolution)를 통해 이미지 데이터를 수신할 수 있다.
- [0071] 또한, 데이터 처리 시스템(100)은 카메라 2.0을 지원할 수도 있다.
- [0072] 호스트(200)는, 타이밍 컨트롤러(300)로 동영상 데이터를 전송할 필요가 있을 때마다, 타이밍 컨트롤러(300)로부터 출력된 TE 신호(TE)에 따라 상기 동영상 데이터를 MIPI 인터페이스(MIF)를 통해 타이밍 컨트롤러(300)로 전송할 수 있다.
- [0073] 도 3은 싱글 모드(single mode) 동작을 수행하는 도 1에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 블록도를 나타낸다.
- [0074] 도 3을 참조하면, 타이밍 컨트롤러(300)는 MIPI 수신 인터페이스(310), 제1디코더(315), 제1처리 회로(PC1), 제2처리 회로(PC2), 프레임 메모리(329), 제1리드 컨트롤러(331), 제2리드 컨트롤러(333), 제3선택기(334), 라인 어셈블러(335), 제2디코더(337), 이미지 처리 회로(339), 및 디스플레이 컨트롤러(350)를 포함한다.
- [0075] 실시 예에 따라 타이밍 컨트롤러(300)는 인터럽트 생성 회로(312)를 더 포함할 수 있다. 인터럽트 생성 회로(312)는 MIPI 인터페이스(MIF)의 이상 여부 및/또는 타이밍 컨트롤러(300)의 이상 여부를 나타내는 인터럽트(INT)를 호스트(200)로 전송할 수 있다.
- [0076] 인터럽트(INT)의 생성에 관련된 하나 또는 그 이상의 신호들을 생성하는 하나 또는 그 이상의 회로들은 2013년 11월 13일자로 출원된 출원번호 10-2013-0137345(발명의 명칭: 타이밍 컨트롤러와 상기 타이밍 컨트롤러를 포함

하는 디스플레이 시스템)에 상세히 기재되어 있다. 따라서, 출원번호 10-2013-0137345에 기재된 내용은 본 명세서의 일부로서 포함된다.

- [0077] 타이밍 컨트롤러(300)는 집적 회로 또는 칩으로 구현될 수 있다.
- [0078] MIPI 수신 인터페이스(310)는 MIPI 인터페이스(MIF)를 통해 수신된 신호들을 타이밍 컨트롤러(300)에서 필요한 신호들로 변환하는 기능을 수행할 수 있다.
- [0079] MIPI 수신 인터페이스(310)는 제1서브 인터페이스에 접속된 제1서브 수신 인터페이스(310-1)와 제2서브 인터페이스에 접속된 제2서브 수신 인터페이스(310-2)를 포함한다.
- [0080] 싱글 모드 동작에서, 제1서브 수신 인터페이스(310-1)는 인에이블되고 제2서브 수신 인터페이스(310-2)는 디스에이블된다. 듀얼 모드 동작에서, 제1서브 수신 인터페이스(310-1)와 제2서브 수신 인터페이스(310-2)는 둘 다 인에이블된다.
- [0081] 제1디코더(315)는 MIPI 수신 인터페이스(310)로부터 출력된 신호 또는 명령d을 디코드하고, 디코드 결과에 따라 선택 신호, 인에이블 신호, 및 타이밍 제어 신호(TMC)를 생성할 수 있다.
- [0082] 상기 선택 신호는 복수의 선택기들(317, 321, 및 334) 각각의 동작을 제어할 수 있다. 상기 인에이블 신호는 대응되는 하나 또는 그 이상의 구성 요소들(310-2, 319, 323, 325, 327, 331, 333, 및/또는 335) 각각의 인에이블 또는 디스에이블을 제어할 수 있다. 타이밍 제어 신호(TMC)는 이미지 처리 회로(339)를 제어할 수 있다. 예컨대, 타이밍 제어 신호(TMC)는 TE 신호의 생성 주기를 제어할 수 있다.
- [0083] 제1처리 회로(PC1)는 제1선택기(317), 제1인코더(319), 제2선택기(321), 및 제1라이트 컨트롤러(325)를 포함한다.
- [0084] 싱글 모드 동작에서, 제1처리 회로(PC1)는 호스트(200)에 의해 압축된 이미지 데이터를 제1선택기(317)와 제2선택기(321)를 통해 제1라이트 컨트롤러(325)로 바이패스할 수 있다. 제1라이트 컨트롤러(325)는 압축된 이미지 데이터를 프레임 메모리(329)의 제1메모리 영역에 라이트한다. 싱글 모드 동작에서, 제1인코더(319)는 제1디코더(315)의 제어에 따라 디스에이블될 수 있다.
- [0085] 그러나, 듀얼 모드 동작에서, 제1처리 회로(PC1)는 호스트(200)로부터 전송된 비압축(uncompressed) 이미지 데이터의 제1부분을 제1선택기(317)를 통해 제1인코더(319)로 전송한다. 제1인코더(319)는 상기 제1부분을 압축하고, 압축된 제1부분을 제2선택기(321)를 통해 제1라이트 컨트롤러(325)로 전송한다. 제1라이트 컨트롤러(325)는 압축된 제1부분을 프레임 메모리(329)의 제1메모리 영역에 라이트한다.
- [0086] 제2처리 회로(PC2)는 제2인코더(323)와 제2라이트 컨트롤러(327)를 포함한다. 각 인코더(221, 319, 및 323)의 데이터 압축률은 서로 동일하게 구현될 수 있다. 싱글 모드 동작에서, 제2처리 회로(PC2)는 디스에이블된다.
- [0087] 그러나, 듀얼 모드 동작에서 제2처리 회로(PC2)는 인에이블된다. 상기 듀얼 모드 동작에서, 제2인코더(323)는 호스트(200)로부터 전송된 비압축 이미지 데이터의 제2부분을 압축하고, 압축된 제2부분을 제2라이트 컨트롤러(327)로 전송한다. 제2라이트 컨트롤러(327)는 압축된 제2부분을 프레임 메모리(329)의 제2메모리 영역에 라이트한다.
- [0088] 프레임 메모리(329)는 호스트(200)와 타이밍 컨트롤러(300) 중에서 어느 하나에 의해 압축된 이미지 데이터를 저장할 수 있다. 따라서, 프레임 메모리(329)가 압축된 이미지 데이터를 저장할 수 있으므로, 비압축 이미지 데이터를 저장할 수 있는 프레임 메모리의 크기보다 압축된 이미지 데이터를 저장할 수 있는 프레임 메모리(329)의 크기는 상대적으로 작게 구현될 수 있다.
- [0089] 실시 예에 따라, 프레임 메모리(329)는 내장 DRAM(embedded DRAM(eDRAM))으로 구현될 수 있다. 다른 실시 예에 따라, 프레임 메모리(329)는 듀얼-포트(dual-port) 메모리로 구현될 수 있다.
- [0090] 싱글 모드 동작 또는 듀얼 모드 동작에서 인에이블되는 제1처리 회로(PC1)로부터 출력된 압축된 이미지 데이터(예컨대, 싱글 모드 동작에서 호스트(200)에 의해 압축된 이미지 데이터 또는 듀얼 모드 동작에서 제1인코더(319)에 의해 압축된 제1부분)는 프레임 메모리(329)의 제1메모리 영역에 저장될 수 있다.
- [0091] 듀얼 모드 동작에서 인에이블되는 제2처리 회로(PC2)로부터 출력된 압축된 이미지 데이터(예컨대, 듀얼 모드 동작에서 제2인코더(323)에 의해 압축된 제2부분)는 프레임 메모리(329)의 제2메모리 영역에 저장될 수 있다.
- [0092] 프레임 메모리(329)에 저장될 이미지 데이터를 처리하는 구성 요소들은 제1클락 도메인(clock domain)에 구현될

수 있고, 프레임 메모리(329)로부터 리드된 이미지 데이터를 처리하는 구성 요소들은 제2클락 도메인에 구현될 수 있다. 제1클락 도메인의 제1클락의 주파수는 제2클락 도메인의 제2클락의 주파수보다 높을 수 있다.

- [0093] 싱글 모드 동작에서 인에이블되는 제1리드 컨트롤러(331)는 프레임 메모리 (329)의 제1메모리 영역에 저장된 압축된 이미지 데이터를 리드하고, 리드된 이미지 데이터를 제3선택기(334)로 전송할 수 있다.
- [0094] 듀얼 모드 동작에서 인에이블되는 제2리드 컨트롤러(333)는 프레임 메모리 (329)의 제2메모리 영역에 저장된 압축된 이미지 데이터를 리드하고, 리드된 이미지 데이터를 라인 어셈블러(335)로 전송할 수 있다.
- [0095] 제3선택기(334)는 제1리드 컨트롤러(331)로부터 출력된 이미지 데이터를 라인 어셈블러(335) 또는 제2디코더(337)로 전송할 수 있다.
- [0096] 예컨대, 싱글 모드 동작에서, 제1리드 컨트롤러(331)로부터 출력된 압축된 이미지 데이터는 제3선택기(334)를 통해 제2디코더(337)로 전송된다. 그러나, 듀얼 모드 동작에서, 제1리드 컨트롤러(331)로부터 출력된 압축된 이미지 데이터는 제3선택기(334)를 통해 라인 어셈블러(335)로 전송된다.
- [0097] 듀얼 모드 동작에서, 라인 어셈블러(335)는 제1리드 컨트롤러(331)로부터 출력된 압축된 이미지 데이터와 제2리드 컨트롤러(333)로부터 출력된 압축된 이미지 데이터를 집합(assemble)시키고, 동기화(synchronize)하고, 동기화된 이미지 데이터를 제2디코더(337)로 출력한다.
- [0098] 제2디코더(337)는 제3선택기(334)로부터 출력된 압축된 이미지 데이터 또는 라인 어셈블러(335)에 의해 동기화된 이미지 데이터를 압축-해제(de-compress)한다.
- [0099] 이미지 처리 회로(339)는 압축-해제된 이미지 데이터를 처리하고, 처리된 이미지 데이터를 디스플레이 컨트롤러(350)로 출력한다.
- [0100] 이미지 처리 회로(339)는 디스플레이 패널 모듈(400)에 대한 PSR을 제어할 수 있다. 실시 예에 따라, 이미지 처리 회로(339)는 PSR을 제어하기 위해 각 리드 컨트롤러(331과 333)를 제어할 수 있다. 이때, 이미지 처리 회로(339)는, 제1디코더(315)로부터 출력된 제어 신호에 기초하여, 각 리드 컨트롤러(331과 333)를 제어할 수 있다.
- [0101] 다른 실시 예에 따라, 각 리드 컨트롤러(331과 333)는, 제1디코더(315)로부터 출력된 제어 신호에 기초하여, 프레임 메모리(329)에 대한 초당 리드 회수를 제어할 수 있다.
- [0102] 또한, 이미지 처리 회로(339)는 타이밍 제어 신호(TMC)에 기초하여 TE 신호 (TE)를 생성할 수 있다.
- [0103] 도 4는 도 3에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 플로우차트이다.
- [0104] 싱글 모드 동작에서 타이밍 컨트롤러(300)의 동작은 도 1부터 도 4를 참조하여 상세히 설명된다.
- [0105] 싱글 모드 동작을 위해 호스트(200)의 압축기(221)가 인에이블될 때, 압축기 (221)로부터 출력된 압축된 이미지 데이터는, MIPI 송신 인터페이스(230)와 MIPI 인터페이스(MIF)의 제1서브 인터페이스를 통해, 제1서브 수신 인터페이스(310-1)로 전송된다(S110). 즉, 호스트(200)는 압축된 이미지 데이터를 타이밍 컨트롤러(300)로 전송한다(S110).
- [0106] 상기 압축된 이미지 데이터에 대한 정보는 제1디코더(315)로 전송될 수 있다. 제1디코더(315)는 상기 정보를 디코드하고, 디코드 결과에 상응하는 선택 신호, 제어 신호, 및/또는 타이밍 제어 신호(TMC)를 생성할 수 있다. 상기 정보는 호스트(200)에 의해 생성될 수 있다.
- [0107] 타이밍 컨트롤러(300)는 호스트(200)에 의해 압축된 이미지 데이터를 제1처리 회로(PC1)를 이용하여 프레임 메모리(329)로 바이패스한다(S120). 이때, 제1인코더(319)는 디스에이블된다.
- [0108] 호스트(200)에 의해 압축된 이미지 데이터는 선택기들(317과 321)을 통해 제1라이트 컨트롤러(325)로 전송되고, 제1라이트 컨트롤러(325)는 상기 압축된 이미지 데이터를 프레임 메모리(329)의 제1메모리 영역에 라이트한다(S120).
- [0109] 제1리드 컨트롤러(331)는 프레임 메모리(329)의 제1메모리 영역에 저장된 압축된 이미지 데이터를 리드한다. 리드된 이미지 데이터는 제3선택기(334)를 통해 제2디코더(337)로 전송된다.
- [0110] 제2디코더(337)는 프레임 메모리(329)로부터 전송된 압축된 이미지 데이터를 압축-해제한다(S130).
- [0111] 압축 해제된 이미지 데이터가 동영상 데이터일 때, 즉 PSR이 필요하지 않을 때(S140의 NO), 이미지 처리 회로(339)는 상기 압축 해제된 이미지 데이터를 처리하고(S160), 처리된 이미지 데이터를 디스플레이 컨트롤러(350)로 출력한다.

0)와 디스플레이 인터페이스(301과 302)를 통해 디스플레이 패널 모듈(400)로 전송한다(S170). 여기서, 301은 컬럼 드라이버 인터페이스를 의미하고, 302는 로우 드라이버 인터페이스를 의미한다.

- [0112] 그러나, 압축 해제된 이미지 데이터가 정지 영상 데이터일 때, 즉 PSR이 필요할 때(S140의 YES), 타이밍 컨트롤러(300)는 PSR을 수행한다. 예컨대, PSR은 60Hz로 수행될 수 있다.
- [0113] 실시 예에 따라, PSR을 수행하기 위해 제1리드 컨트롤러(331)는, 이미지 처리 회로(339)의 제어에 따라, 프레임 메모리(329)의 제1메모리 영역에 저장된 압축된 이미지 데이터를 주기적(예컨대, 60Hz)으로 리드하고, 리드된 이미지 데이터를 제3선택기(334)를 통해 제2디코더(337)로 출력할 수 있다. 이때, S160 단계와 S170 단계가 순차적으로 수행될 수 있다.
- [0114] 다른 실시 예에 따라, PSR을 수행하기 위해 제1리드 컨트롤러(331)는, 제1디코더(315)로부터 출력된 제어 신호에 따라, 프레임 메모리(329)의 제1메모리 영역에 저장된 압축된 이미지 데이터를 주기적(예컨대, 60Hz)으로 리드하고, 리드된 이미지 데이터를 제3선택기(334)를 통해 제2디코더(337)로 출력할 수 있다. 이때, S160 단계와 S170 단계가 순차적으로 수행될 수 있다.
- [0115] PSR을 수행하기 위해, 프레임 메모리(329)의 제1메모리 영역에 저장된 압축된 이미지 데이터를 리드하는 타이밍은 S160 단계 및/또는 S170 단계와 병렬적으로 수행될 수 있다.
- [0116] 또한, PSR을 수행하기 위해 제1리드 컨트롤러(331)를 제어할 수 있는 하나 또는 그 이상의 구성 요소들은 타이밍 컨트롤러(300)의 설계 사양에 따라 다양하게 변형될 수 있다.
- [0117] 싱글 모드 동작에서, 제2서브 수신 인터페이스(310-2), 제2처리 회로(PC2), 제2리드 컨트롤러(333), 및 라인 어셈블러(335)는 디스에이블될 수 있다.
- [0118] 도 5는 듀얼 모드 동작을 수행하는 도 1에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 블록도를 나타내고, 도 6은 도 5에 도시된 타이밍 컨트롤러의 동작을 설명하기 위한 플로우차트이다.
- [0119] 듀얼 모드 동작에서 타이밍 컨트롤러(300)의 동작은 도 1, 도 2, 도 5, 및 도 6을 참조하여 상세히 설명된다.
- [0120] 듀얼 모드 동작을 위해 호스트(200)의 압축기(221)가 디스에이블될 때, 비압축 이미지 데이터의 제1부분은 MIPI 인터페이스(MIF)의 제1서브 인터페이스를 통해 제1서브 수신 인터페이스(310-1)로 전송되고, 상기 비압축 이미지 데이터의 제2부분은 MIPI 인터페이스(MIF)의 제2서브 인터페이스를 통해 제2서브 수신 인터페이스(310-2)로 전송된다.
- [0121] 즉, 호스트(200)는 상기 제1부분과 상기 제2부분을 대응되는 서브 인터페이스를 통해 대응되는 서브 수신 인터페이스(310-1과 310-2)로 전송한다(S210).
- [0122] 상술한 바와 같이, 호스트(200)는 상기 제1부분과 상기 제2부분을 순차적으로 또는 병렬적으로 타이밍 컨트롤러(300)로 전송할 수 있다.
- [0123] 제1디코더(315)는 데이터 처리 시스템(100)이 듀얼 모드 동작을 수행함을 지시하는 지시 신호 또는 명령을 디코드하고, 디코드 결과에 상응하는 선택 신호, 제어 신호, 및/또는 타이밍 제어 신호(TMC)를 생성할 수 있다. 상기 지시 신호 또는 상기 명령은 호스트(200)에 의해 생성될 수 있다.
- [0124] 호스트(200)로부터 전송된 비압축 이미지 데이터의 제1부분은 제1처리 회로(PC1)로 입력된다.
- [0125] 제1선택기(317)는, 제1디코더(315)의 제어에 따라, 상기 제1부분을 제1인코더(319)로 전송한다. 제1인코더(319)는 상기 제1부분을 압축하고, 압축된 제1부분을 제2선택기(321)로 전송한다. 제2선택기(321)는, 제1디코더(315)의 제어에 따라, 제1인코더(319)에 의해 압축된 제1부분을 제1라이트 컨트롤러(325)로 전송한다. 제1라이트 컨트롤러(325)는 상기 압축된 제1부분을 프레임 메모리(329)의 제1메모리 영역에 라이트한다.
- [0126] 호스트(200)로부터 전송된 비압축 이미지 데이터의 제2부분은 제2처리 회로(PC2)로 입력된다.
- [0127] 제2인코더(323)는 상기 제2부분을 압축하고, 압축된 제2부분을 제2라이트 컨트롤러(327)로 전송한다. 제2라이트 컨트롤러(327)는 상기 압축된 제2부분을 프레임 메모리(329)의 제2메모리 영역에 라이트한다.
- [0128] 듀얼 모드 동작 동안, 각 구성 요소(319, 323, 325, 327, 331, 333, 및/또는 335)는 제1디코더(315)의 제어에 따라 인에이블될 수 있다.
- [0129] 타이밍 컨트롤러(300)는 제1처리 회로(PC1)를 이용하여 제1부분을 압축하고, 압축된 제1부분을 프레임 메모리

(329)의 제1메모리 영역에 저장할 수 있고, 타이밍 컨트롤러(300)는 제2처리 회로(PC2)를 이용하여 제2부분을 압축하고, 압축된 제2부분을 프레임 메모리(329)의 제2메모리 영역에 저장할 수 있다(S220).

- [0130] 제1리드 컨트롤러(331)는 프레임 메모리(329)의 제1메모리 영역에 저장된 압축된 제1부분을 리드하고, 리드된 제1부분을 제3선택기(334)를 통해 라인 어셈블러 (335)로 출력한다. 제2리드 컨트롤러(333)는 프레임 메모리(329)의 제2메모리 영역에 저장된 압축된 제2부분을 리드하고, 리드된 제2부분을 라인 어셈블러(335)로 출력한다. 예컨대, 제1리드 컨트롤러(331)의 동작과 제2리드 컨트롤러(333)의 동작은 순차적으로 또는 병렬적으로 수행될 수 있다.
- [0131] 라인 어셈블러(335)는 제1리드 컨트롤러(331)로부터 출력된 압축된 제1부분과 제2리드 컨트롤러(333)로부터 출력된 압축된 제2부분을 집합(assemble)시키고, 동기화(synchronize)하고, 동기화된 이미지 데이터를 제2디코더(337)로 출력할 수 있다(S230).
- [0132] 제2디코더(337)는 라인 어셈블러(335)로부터 출력된 동기화된 이미지 데이터를 압축-해제한다(S240).
- [0133] 압축 해제된 이미지 데이터가 동영상 데이터일 때, 즉 PSR이 필요하지 않을 때(S250의 NO), 이미지 처리 회로(339)는 상기 압축 해제된 이미지 데이터를 처리하고(S270), 처리된 이미지 데이터를 디스플레이 컨트롤러(350)와 디스플레이 인터페이스(301과 302)를 통해 디스플레이 패널 모듈(400)로 전송할 수 있다(S280).
- [0134] 그러나, 압축 해제된 이미지 데이터가 정지 영상 데이터일 때, 즉 PSR이 필요할 때(S250의 YES), 타이밍 컨트롤러(300)는 PSR을 수행한다.
- [0135] 실시 예에 따라, PSR을 수행하기 위해 제1리드 컨트롤러(331)는, 이미지 처리 회로(339)의 제어에 따라, 프레임 메모리(329)의 제1메모리 영역에 저장된 압축된 제1부분을 리드하고, 리드된 제1부분을 라인 어셈블러(335)로 출력할 수 있다.
- [0136] 또한, PSR을 수행하기 위해 제2리드 컨트롤러(333)는, 이미지 처리 회로 (339)의 제어에 따라, 프레임 메모리(329)의 제2메모리 영역에 저장된 압축된 제2부분을 리드하고, 리드된 제2부분을 라인 어셈블러(335)로 출력할 수 있다.
- [0137] 다른 실시 예에 따라, PSR을 수행하기 위해 리드 컨트롤러들(331과 333)은, 제1디코더(315)로부터 출력된 제어 신호에 따라, 프레임 메모리(329)의 제1메모리 영역과 제2메모리 영역에 저장된 압축된 제1부분과 제2부분을 리드하고, 리드된 제1부분과 제2부분을 라인 어셈블러(335)로 출력할 수 있다.
- [0138] PSR을 수행하기 위해, 상기 제1메모리 영역과 상기 제2메모리 영역에 저장된 제1부분과 제2부분을 리드하는 타이밍은 S240 단계, S270 단계, 또는 S280 단계와 병렬적으로 수행될 수 있다.
- [0139] 또한, PSR을 수행하기 위해 각 리드 컨트롤러(331과 333)를 제어할 수 있는 하나 또는 그 이상의 구성 요소들은 타이밍 컨트롤러(300)의 설계 사양에 따라 다양하게 변형될 수 있다.
- [0140] 도 7은 호스트로부터 타이밍 컨트롤러로 전송되는 이미지 데이터의 전송 타이밍을 제어하는 방법을 설명하기 위한 타이밍 도틀이고, 도 8은 호스트로부터 타이밍 컨트롤러로 전송되는 이미지 데이터의 전송 타이밍을 제어하는 방법을 설명하기 위한 플로우차트이다.
- [0141] 도 1부터 도 8을 참조하면, 이미지 데이터의 전송 타이밍은 수직 블랭크 영역의 크기에 따라 조절될 수 있다.
- [0142] 제1디코더(315)는 호스트(200)로부터 출력된 명령을 수신하여 해석하고, 해석의 결과에 상응하는 타이밍 제어 신호(TMC)를 이미지 처리 회로(339)로 출력한다 (S310).
- [0143] 예컨대, 상기 명령은 이미지 데이터의 전송 타이밍을 조절하기 위한 판매회사 특유 명령(vendor specific command)일 수 있다. 예컨대, 상기 명령은 패킷 (packet) 형태로 전송될 수 있다. 상기 명령은 수직 액티브 영역(vertical active area(VAA))과 수직 블랭크 영역(vertical blank area(BVA))을 포함할 수 있다. 본 명세서에서는 명령이라는 용어를 사용하나 상기 명령은 신호, 정보, 또는 패킷 (packet)를 의미할 수 있다. 예컨대, 수직 액티브 영역(VAA)은 이미지 데이터 또는 프레임 데이터를 포함할 수 있다.
- [0144] 이미지 처리 회로(339)는 타이밍 제어 신호(TMC)에 기초하여 TE 신호(TE)의 주기를 조절하고, 주기 조절된 TE 신호(TE)를 호스트(200)로 전송할 수 있다 (S320).
- [0145] 호스트(200)는 주기 조절된 TE 신호(TE)에 따라 타이밍 컨트롤러(300)로 전송될 이미지 데이터의 전송 타이밍을 제어할 수 있다.

- [0146] 타이밍 컨트롤러(300)는 TE 신호(TE)에 따라 전송된 이미지 데이터를 처리할 수 있다(S330). 이때, 상기 이미지 데이터는 압축 이미지 데이터 또는 비압축 데이터일 수 있다. 상기 압축 이미지 데이터는 정지 영상 데이터 또는 동영상 데이터일 수 있고, 상기 비압축 이미지 데이터는 정지 영상 데이터 또는 동영상 데이터일 수 있다.
- [0147] 예컨대, 화질이 중요한 요소인 경우, 호스트(200)는 비압축 이미지 데이터를 타이밍 컨트롤러(300)로 전송할 수 있고, 화질이 중요하지 않은 요소인 경우 호스트(200)는 압축 이미지 데이터를 타이밍 컨트롤러(300)로 전송할 수 있다.
- [0148] 도 7에 도시된 바와 같이, i-번째 프레임은 i-번째 수직 액티브 영역 (VAAi))과 i-번째 수직 블랭크 영역(BVAi)를 포함한다. 여기서, i는 자연수이다.
- [0149] 우선, 도 7의 경우 III (CASE III)에 도시된 바와 같이, 수직 블랭크 영역 (BVA1)의 크기가 T3일 때, 호스트(200)는 60Hz의 TE 신호(TE)에 응답하여 60Hz로 동영상 데이터를 타이밍 컨트롤러(300)로 전송할 수 있다.
- [0150] 호스트(200)는, 타이밍 컨트롤러(300)로 전송되는 이미지 데이터의 전송 타이밍을 제어하기 위해, 수직 블랭크 영역(VBA1)의 크기를 T3 대비 2배 증가시키고, 상기 크기가 2배 증가함을 지시하는 명령을 타이밍 컨트롤러(300)로 전송한다.
- [0151] 타이밍 컨트롤러(300)의 제1디코더(315)는 호스트(200)로부터 출력된 상기 명령을 수신하여 해석하고, 해석의 결과에 상응하는 타이밍 제어 신호(TMC)를 이미지 처리 회로(339)로 출력한다(S320). 이미지 처리 회로(339)는 타이밍 제어 신호 (TMC)에 기초하여 TE 신호(TE)의 주기를 증가시킨다.
- [0152] TE 신호(TE)의 주기가 증가함에 따라, 도 7의 경우 II (CASE II)에 도시된 바와 같이, 수직 블랭크 영역(BVA1)의 크기가 T2(즉, T2=2*T3)일 때, 호스트(200)는 30Hz의 TE 신호(TE)에 응답하여 30Hz로 동영상 데이터를 타이밍 컨트롤러(300)로 전송할 수 있다. 이때, 타이밍 컨트롤러(300)는 PSR을 수행할 수 있다. 예컨대, PSR을 위해 타이밍 컨트롤러(300)는 대응되는 하나의 이미지 데이터를 2번씩 디스플레이 패널 모듈(400)로 전송할 수 있다. 예컨대, PSR은 60Hz로 수행될 수 있다.
- [0153] 호스트(200)는, 타이밍 컨트롤러(300)로 전송되는 이미지 데이터의 전송 타이밍을 제어하기 위해, 수직 블랭크 영역(VBA1)의 크기를 T3 대비 3배 증가시키고, 상기 크기가 3배 증가함을 지시하는 명령을 타이밍 컨트롤러(300)로 전송한다.
- [0154] 타이밍 컨트롤러(300)의 제1디코더(315)는 호스트(200)로부터 출력된 상기 명령을 수신하여 해석하고, 해석의 결과에 상응하는 타이밍 제어 신호(TMC)를 이미지 처리 회로(339)로 출력한다(S320). 이미지 처리 회로(339)는 타이밍 제어 신호 (TMC)에 기초하여 TE 신호(TE)의 주기를 증가시킨다.
- [0155] TE 신호(TE)의 주기가 증가함에 따라, 도 7의 경우 I (CASE I)에 도시된 바와 같이, 수직 블랭크 영역(BVA1)의 크기가 T1(즉, T1=3*T3)일 때, 호스트(200)는 20Hz의 TE 신호(TE)에 응답하여 20Hz로 동영상 데이터를 타이밍 컨트롤러(300)로 전송할 수 있다. 이때, 타이밍 컨트롤러(300)는 PSR을 수행할 수 있다. 예컨대, PSR을 위해 타이밍 컨트롤러(300)는 대응되는 하나의 이미지 데이터를 3번씩 디스플레이 패널 모듈(400)로 전송할 수 있다.
- [0156] 호스트(200)는, 타이밍 컨트롤러(300)로 정지 영상 데이터를 전송하기 위해, 수직 블랭크 영역(VBA1)의 크기를 T3 대비 60배 증가시키고, 상기 크기가 60배 증가함을 지시하는 명령을 타이밍 컨트롤러(300)로 전송한다.
- [0157] 타이밍 컨트롤러(300)의 제1디코더(315)는 호스트(200)로부터 출력된 상기 명령을 수신하여 해석하고, 해석의 결과에 상응하는 타이밍 제어 신호(TMC)를 이미지 처리 회로(339)로 출력한다(S320). 이미지 처리 회로(339)는 타이밍 제어 신호 (TMC)에 기초하여 TE 신호(TE)의 주기를 증가시킨다.
- [0158] TE 신호(TE)의 주기가 증가함에 따라, 도 7의 경우 IV (CASE IV)에 도시된 바와 같이, 수직 블랭크 영역(BVA1)의 크기가 60*T3일 때, 호스트(200)는 TE 신호 (TE)에 응답하여 정지 영상 데이터를 타이밍 컨트롤러(300)로 전송할 수 있다. 이때, 타이밍 컨트롤러(300)는 PSR을 수행할 수 있다. 예컨대, PSR을 위해 타이밍 컨트롤러(300)는 동일한 정지 영상 데이터를 60번 디스플레이 패널 모듈(400)로 전송할 수 있다.
- [0159] 즉, 타이밍 컨트롤러(300)는 호스트(200)부터 전송된 명령에 기초하여 TE 신호(TE)의 주기를 실시간으로 조절할 수 있다. 따라서, 호스트(200)는 주기 조절된 TE 신호(TE)에 기초하여 타이밍 컨트롤러(300)로 전송될 이미지 데이터의 전송 타이밍을 적응적으로 실시간으로 조절할 수 있다.
- [0160] 도 7에 도시된 각 타이밍 도는 설명의 편의를 위해 예시적으로 그리고 개념적으로 도시된 것이므로 본 발명의

기술적 사상이 이에 한정되는 것은 아니다.

- [0161] 도 9는 본 발명의 다른 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다.
- [0162] 도 9를 참조하면, 데이터 처리 시스템(500)은 호스트(510), 타이밍 컨트롤러(530), 및 장치(550)를 포함할 수 있다.
- [0163] 호스트(510)는 MIPI 송신 인터페이스(511)를 포함하고, 타이밍 컨트롤러(530)는 MIPI 수신 인터페이스(531), 명령 변환기(533), 및 I²C 송신 인터페이스(535)를 포함한다. 장치(550)는 I²C 수신 인터페이스(551)를 포함한다.
- [0164] 호스트(510)와 타이밍 컨트롤러(530)는 MIPI 인터페이스(520)를 통해 접속되고, 타이밍 컨트롤러(530)와 장치(550)는 I²C 인터페이스(540)를 통해 접속된다.
- [0165] 타이밍 컨트롤러(530)는 브리지 칩(bridge chip)의 기능을 수행할 수 있고, I²C 마스터(master)의 기능을 수행할 수 있다. 이때, 장치(550)는 I²C 슬레이브(slave)의 기능을 수행할 수 있다.
- [0166] 명령 변환기(533)는 MIPI 명령(MCMD)을 I²C 명령(ICMD)으로 변환할 수 있다. 따라서, 호스트(510)는 추가적인 I²C 인터페이스를 사용하지 않고도 MIPI 명령을 이용하여 I²C 프로토콜을 지원하는 장치(550)를 제어할 수 있다.
- [0167] 예컨대, 장치(550)를 제어하기 위한 제어 신호들 각각이 복수의 MIPI 명령들(MCMD) 각각에 포함되어 있을 때, 명령 변환기(533)는 복수의 MIPI 명령들(MCMD) 각각을 파싱(parsing)하고, 파싱 결과에 따라 검출된 상기 제어 신호들을 I²C 프로토콜로 패킷화(packetizing)하여 패킷을 생성할 수 있다. 상기 패킷은 I²C 명령(ICMD)일 수 있다.
- [0168] 데이터 처리 시스템(500)은 스마트폰, 태블릿(tablet) PC, 디지털 카메라, 캠코더, PDA(personal digital assistant), PMP(portable multimedia player), 모바일 인터넷 장치(mobile internet device(MID)) 또는 웨어러블 컴퓨터(wearable computer)로 구현될 수 있다.
- [0169] 도 1의 타이밍 컨트롤러(300)는 명령 변환기(533)를 더 포함할 수 있다. 이때, 도 1의 데이터 처리 시스템(100)은 디스플레이 패널 모듈(400) 이외에 I²C 인터페이스를 사용하는 장치, 예컨대 I²C 슬레이브를 더 포함할 수 있다.
- [0170] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

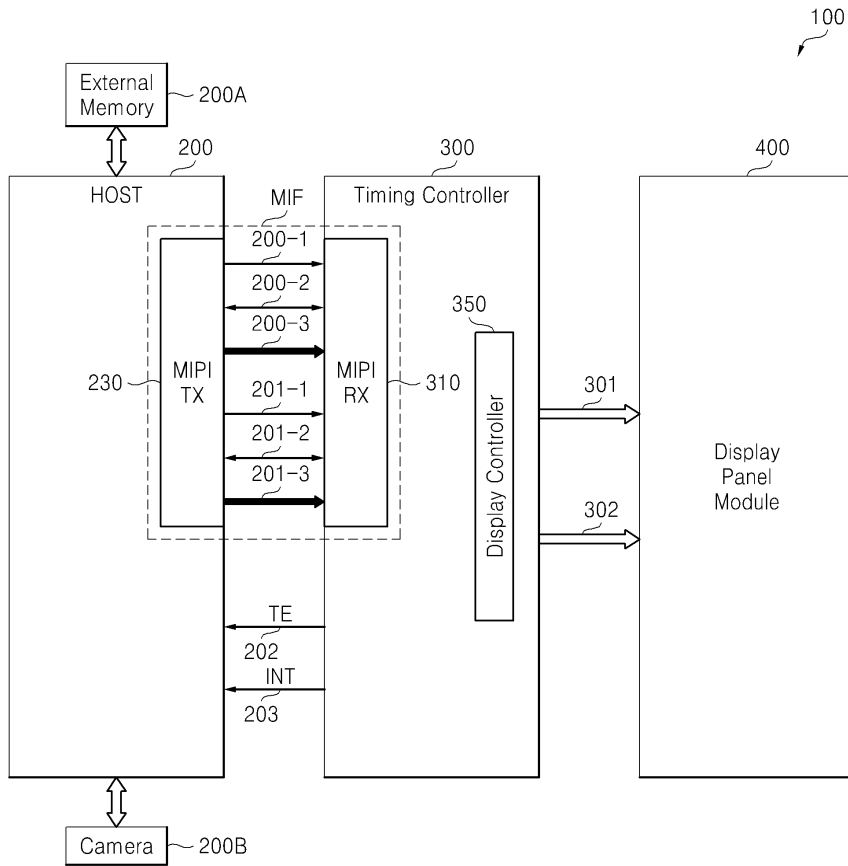
부호의 설명

- [0171] 100, 500; 데이터 처리 시스템
- 200, 510; 호스트
- 300, 530; 타이밍 컨트롤러
- 310; 수신 인터페이스
- PC1; 제1처리 회로
- PC2; 제2처리 회로
- 329; 프레임 메모리
- 331; 제1리드 컨트롤러
- 333; 제2리드 컨트롤러
- 335; 라인 어셈블러
- 337; 제2디코더

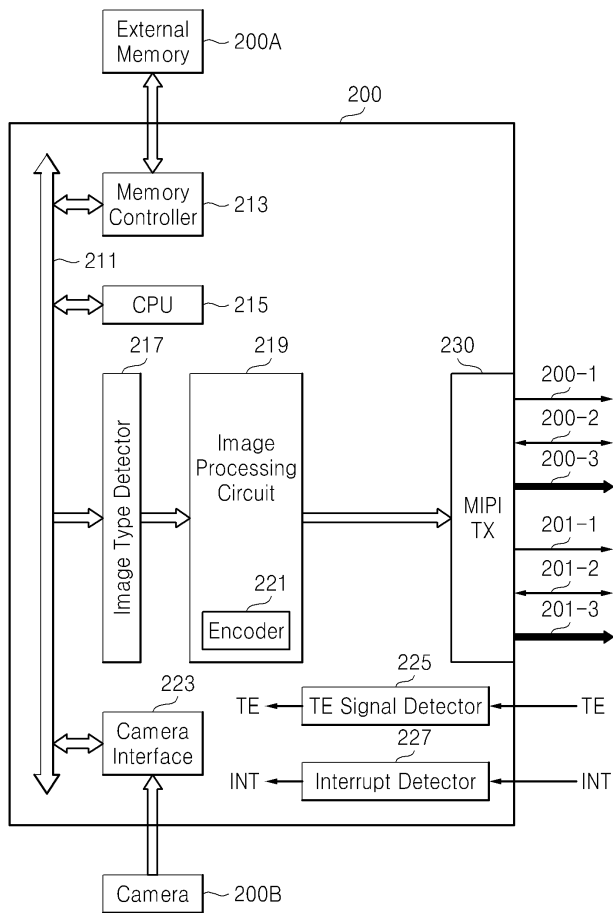
- 339; 데이터 처리 회로
- 350; 디스플레이 컨트롤러
- 400; 디스플레이 패널 모듈

도면

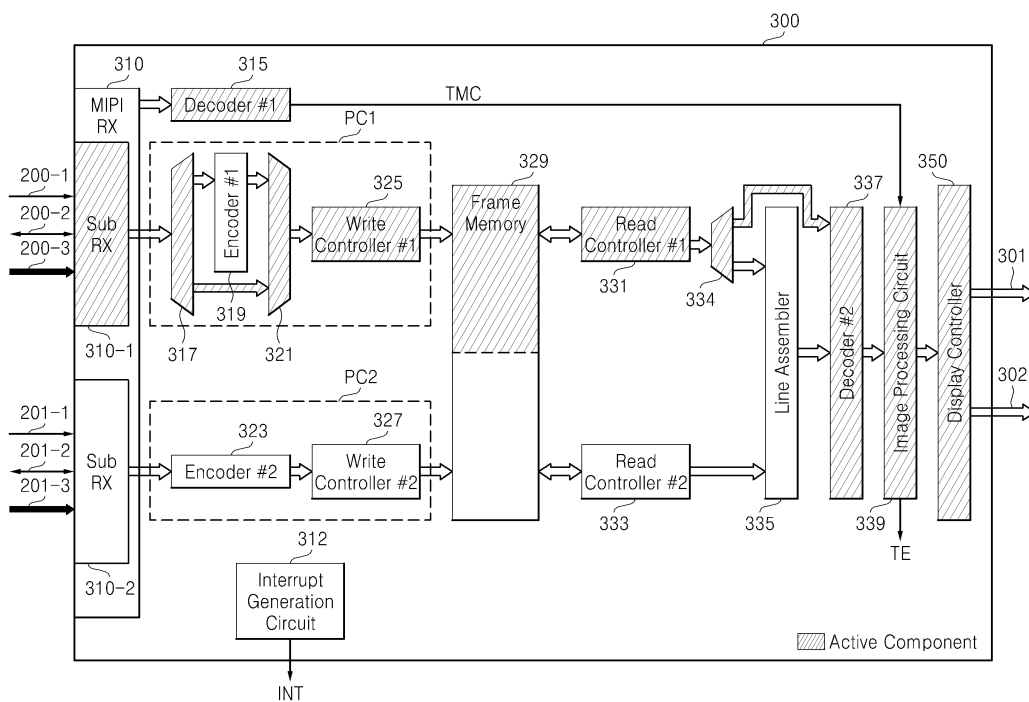
도면1



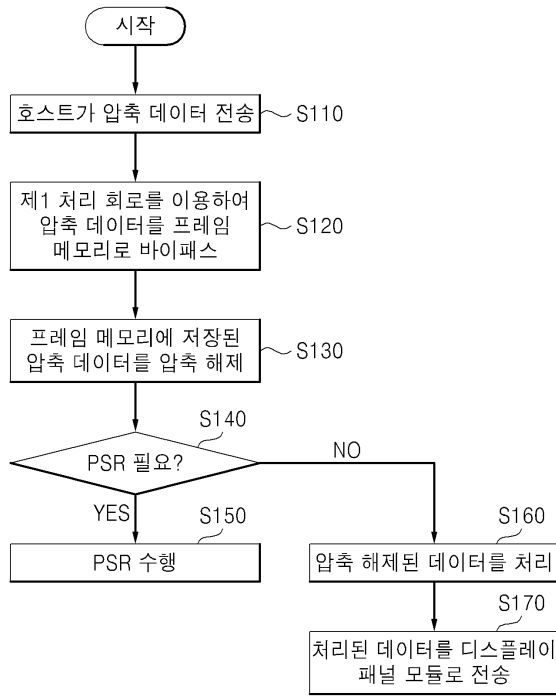
도면2



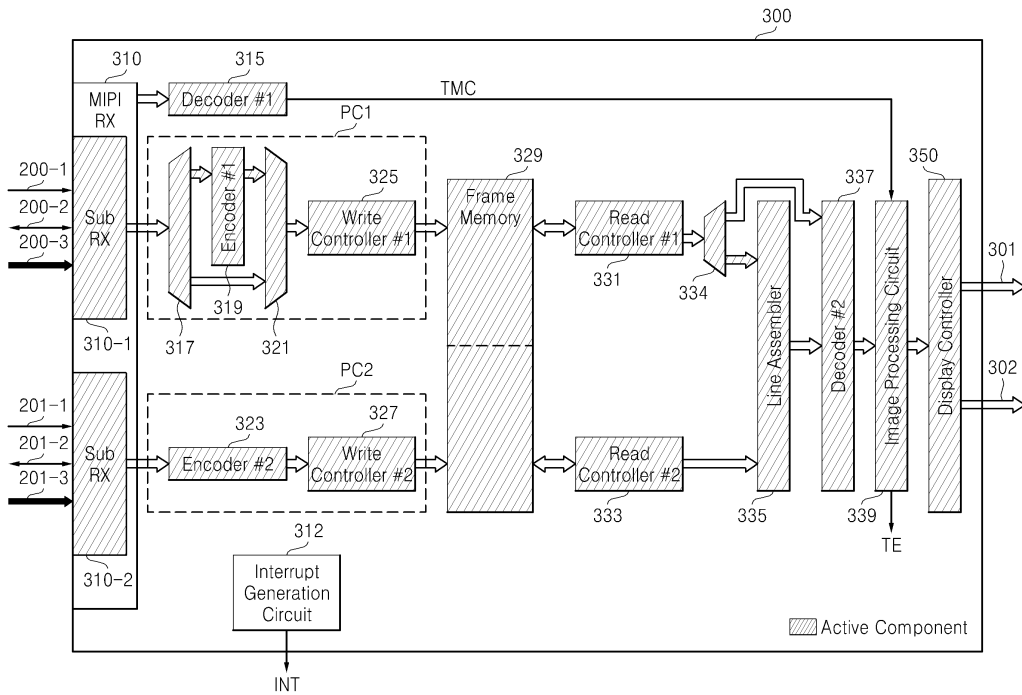
도면3



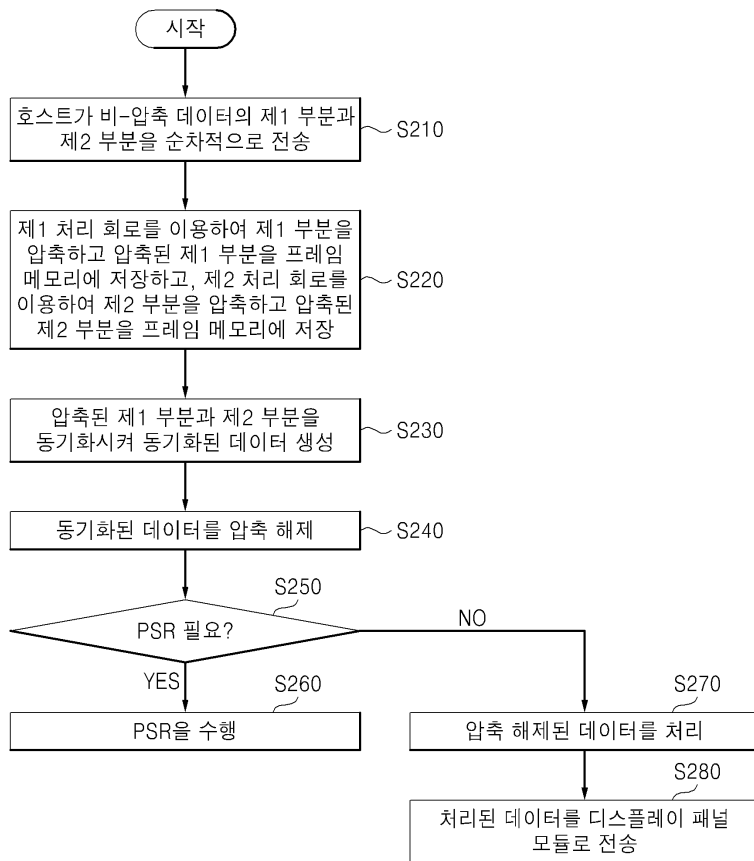
도면4



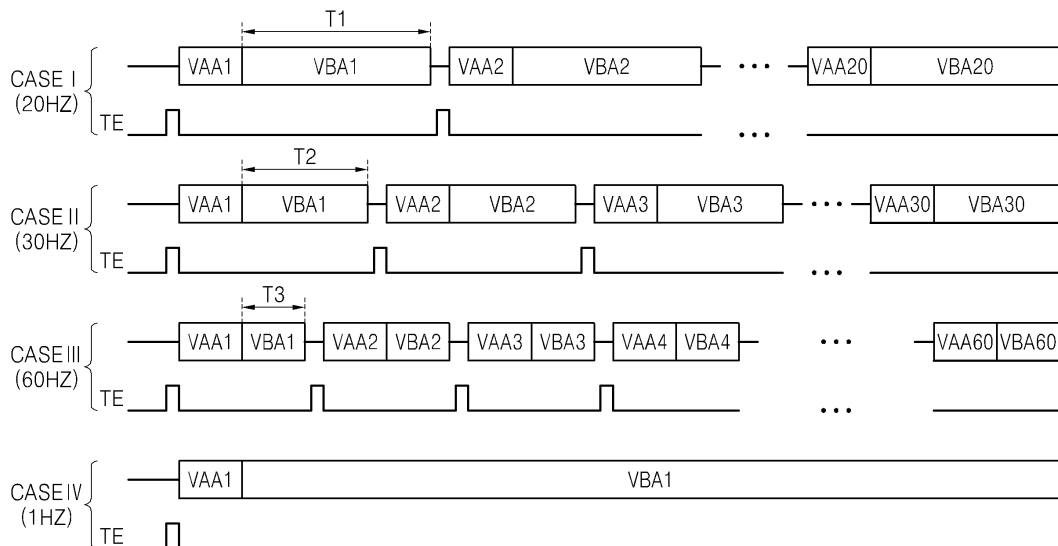
도면5



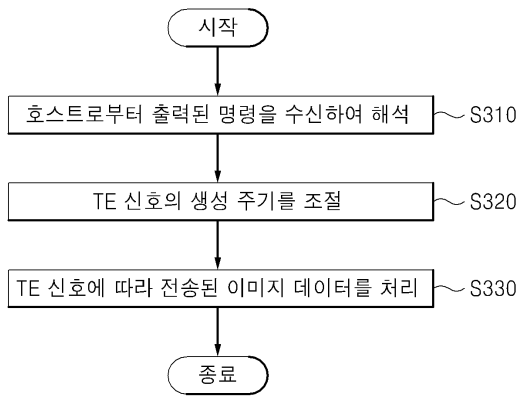
도면6



도면7



도면8



도면9

