

# 公告本

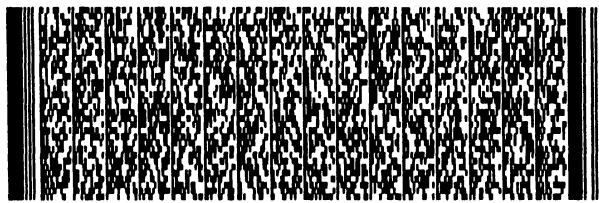
申請日期: 92.9.4	IPC分類 H01L23/28
申請案號: 92124509	

(以上各欄由本局填註)

**發明專利說明書**

I222192

一、 發明名稱	中文	具有網格結構之基板
	英文	Substrate with Net Structure
二、 發明人 (共3人)	姓名 (中文)	1. 劉百洲
	姓名 (英文)	1. Pai-Chou Liu
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄市三民區大豐二路85巷2號4樓
	住居所 (英文)	1. 4F., No. 2, Lane 85, Dafong 2nd Rd., Sanmin District, Kaohsiung City 807, Taiwan (R. O. C.)
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. No. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R. O. C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Jason Chang

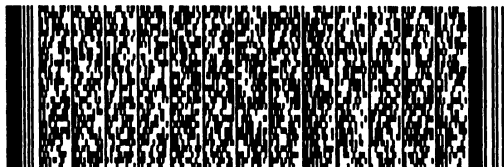


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	2. 劉昇聰 3. 戴惟璋
	姓名 (英文)	2. Sheng-Tsung Liu 3. Wei-Chang Tai
	國籍 (中英文)	2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	2. 高雄市楠梓區興楠路203巷37弄10號 3. 高雄市苓雅區輔仁路195號
	住居所 (英文)	2. No. 10, Alley 37, Lane 203, Singnan Rd., Nanzih District, Kaohsiung City 811, Taiwan (R.O.C.) 3. No. 195, Furen Rd., Lingya District, Kaohsiung City 802, Taiwan
三、 申請人 (共1人)	名稱或 姓名 (中文)	(R.O.C.)
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
------------	------	----	------------------

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

## 五、發明說明 (1)

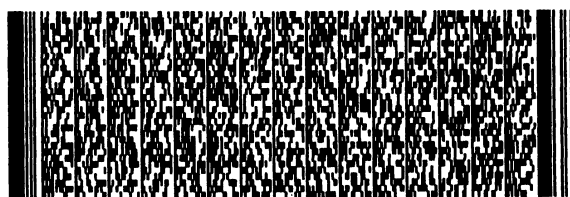
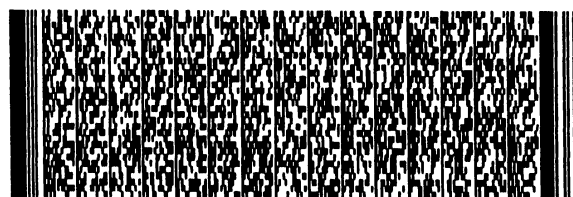
## 【發明所屬之技術領域】

本發明係有關於一種封裝基板，特別係有關於一種具有網格結構之基板結構。

## 【先前技術】

針對不同的IC元件及應用需求，IC元件所發展的新封裝技術，目前包含覆晶封裝〔Flip Chip in Package, FCIP〕、晶片尺寸封裝〔Chip Scale Package, CSP〕、晶圓級封裝〔Wafer Level Package, WLP〕以及直接黏著技術〔Direct Chip Attach, DCA〕等技術為主流，利用上述之封裝技術，將複數個相同電性功能晶片封裝一體成具有更多記憶體容量之多晶片模組〔Multi-Chip Module, MCM〕，或將複數個電性功能不同晶片封裝一體成具有系統運算功能之多晶片系統封裝〔System in Package, SIP〕。

然而，隨著半導體元件封裝技術的發展，半導體晶片或晶片尺寸封裝體之外部連接點之間距將越來越小，為整合不同之封裝體，尤其是使用上述之封裝技術所封裝之封裝體所採用之基板，請參閱第1圖，如我國專利公告第466719號「一種混合晶片及封裝件的多晶片模組封裝方法」所揭示之一種半導體封裝結構10所採用之基板11，其中該基板11之複數個接觸墊11a係與複數個封裝體12之複數個外終端〔Terminals〕12a相對應，該些外終端12a係可為凸塊或錫球，但因該基板11之該些接觸墊11a之間距設計越來越小，當該些封裝體12與該基板11經由一迴鉚過



### 五、發明說明 (2)

程時，該些封裝體120之外終端12a會因基板11之接觸墊11a之間距太小，而造成接觸墊11a上塗施之錫膏〔Solder Paste〕或該些封裝體之外終端橋接，使該半導體封裝結構10短路。

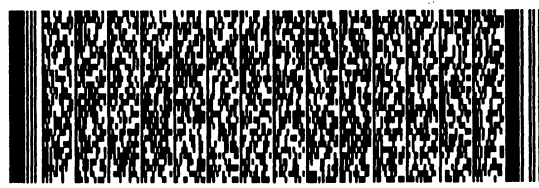
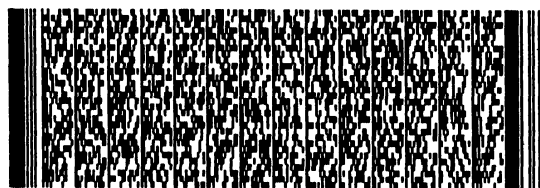
#### 【發明內容】

本發明之主要目的係在於提供一種具有網格結構之基板，利用複數個擋牆形成於一防銲層，且該些擋牆係設於複數個接觸墊之接合面之間，以阻隔錫膏〔Solder Paste〕或助銲劑〔flux〕，避免錫膏或半導體元件之外終端〔Terminals〕橋接。

依本發明之具有網格結構之基板，其係用以承載至少一半導體元件，該基板係包含有一基板本體、一防銲層及複數個擋牆，該基板本體係具有一表面，其設有複數個接觸墊，其中每一接觸墊係具有一接合面，用以結合該半導體元件之外終端，該防銲層係形成於該基板本體之該表面，該防銲層具有複數個開口，以顯露該些接觸墊之接合面，該些擋牆係形成於該防銲層，該些擋牆係可由另一防銲層所形成，其係可以印刷之方式形成於該防銲層上，該些擋牆係設於該些接觸墊之該些接合面之間而成棋盤狀排列，此外，該些擋牆係不覆蓋至該些接觸墊之該些接合面且該些擋牆之高度係介於0.02mm至0.1mm之間，以阻隔錫膏或助銲劑，避免錫膏或半導體元件之外終端橋接。

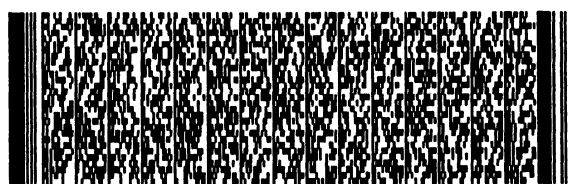
#### 【實施方式】

參閱所附圖式，本發明將列舉以下之實施例說明。



## 五、發明說明 (3)

依本發明之具體實施例之具有網格結構之基板結構，第2圖係為本發明之該基板100之上視示意圖，第3圖係為本發明之該基板100之截面示意圖，請參閱第2及3圖所示，該基板100係包含有一基板本體110、一防銲層120及複數個擋牆130，其係為FR-4、FR-5或BT resin等玻璃纖維強化樹脂構成之單層或多層電路板〔multi-layer board〕或是聚亞醞胺之軟性電路板，該基板本體110係具有一表面111，用以承載至少一半導體元件220〔如第4圖所示〕，該表面111係設有複數個接觸墊112，其中每一接觸墊112係具有一接合面113，用以結合該半導體元件220之外終端221〔如第4圖所示〕，該防銲層120係形成於該基板本體110之該表面111，該防銲層120具有複數個開口121，並對應該些接觸墊112，該些接觸墊112係區分為NSMD墊〔None Solder Mask Define，非防銲層界定〕與SMD墊〔Solder Mask Define，防銲層界定〕，NSMD墊係指該防銲層120之開口121大於該些接觸墊112，不由該防銲層120之開口121界定該些接觸墊112之接合面113面積；反之，SMD墊係指該防銲層120之開口121小於該些接觸墊112，由該防銲層120之開口121界定該些接觸墊112之接合面113面積，在本實施例中，該些接觸墊112為SMD墊，其具有較小之間距以符合半導體元件之外終端之間距的設計越來越小之特性，利用印刷或黏貼之方式於該防銲層120形成該些擋牆130，該些擋牆130係可形成於該防銲層120上或被該防銲層120所覆蓋，該些擋牆130係排列組合成一



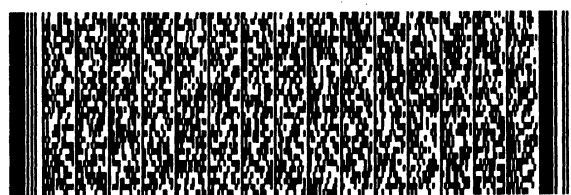
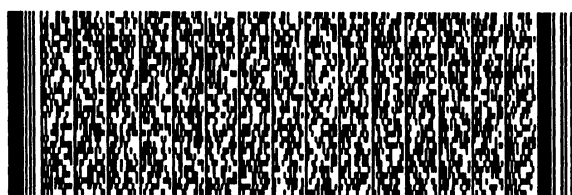
## 五、發明說明 (4)

網格結構，該些擋牆130之材質係為非導電之樹脂或環氧樹脂等與該防銲層120化學特性相近之材質，較佳地，該些擋牆130之材質係與該防銲層120之材質相同，即由另一防銲層形成該些擋牆130，以避免造成信賴性

〔Reliability〕問題，該些擋牆130係設於該些接觸墊112之該些接合面113之間，例如經緯線或棋盤狀排列，該些擋牆130係為相互連接或不相互連接，此外，該些擋牆130係不覆蓋至該些接觸墊112之該些接合面113，且該些擋牆130之高度係介於0.02mm至0.1mm之間，以阻隔錫膏〔Solder Past〕或助銲劑〔flux〕，避免該些接合面113上錫膏〔圖未繪出〕或該半導體元件220之外終端221〔如第4圖所示〕橋接。

請再參閱第4圖，利用上述具有網格結構之基板100進行封裝之半導體封裝結構200，其係為多晶片模組

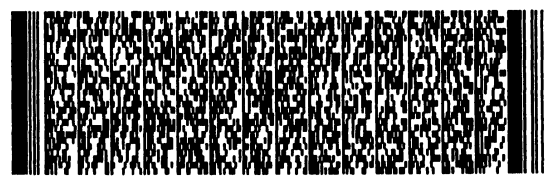
〔Multi-Chip Module, MCM〕結構或多晶片系統封裝〔System in Package, SIP〕結構，該半導體封裝結構200包含有上述之基板100及至少一半導體元件210，在本實施例中，該基板100係承載有該些半導體元件210、220而為一種多晶片模組基板，該半導體元件210、220係為覆晶封裝體〔Flip Chip in Package, FCIP〕、晶片尺寸封裝體〔Chip Scale Package, CSP〕、晶圓級封裝體〔Wafer Level Package, WLP〕以及供直接黏著技術〔Direct Chip Attach, DCA〕形成之半導體元件210、220，該半導體元件210係固設於該基板100之該表面111上



## 五、發明說明 (5)

並具有複數個外終端211，該些外終端211係為錫球〔Solder Balls〕或凸塊〔Bumps〕，其係結合於該基板100之該些接觸墊112之接合面113，以電性連接至該基板100，另一半導體元件220亦具有複數個外終端211，且該些外終端211亦結合於該些接合面121，以電性連接至該基板100，為使該些接觸墊112之接合面113與該些半導體元件210、220之該些外終端211、221相匹配，該些接觸墊112依實際之佈線〔Layout〕不同而在不同區域具有不同之間距，該基板100之該些擋牆130亦依實際之佈線不同而在不同區域具有不同之寬度與間距〔如第3圖所示〕，以阻隔錫膏〔Solder Paste〕或助銲劑〔flux〕，避免錫膏或該些半導體元件210、220之外終端211、221橋接，此外，可針對不同半導體元件210、220之外終端211、221之高度不同，該些擋牆140之高度設計應不大於該些外終端211、221之高度，以避免該些外終端211、221與該些接觸墊112之接合面113接合不良或傷害半導體元件210、220之表面。

本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範圍內所作之任何變化與修改，均屬於本發明之保護範圍。





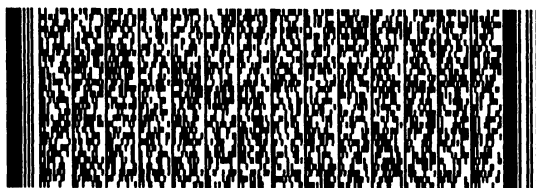
## 圖式簡單說明

## 【圖式簡單說明】

- 第1 圖：習知之半導體封裝結構之截面示意圖；  
 第2 圖：依據本發明之一具體實施例，一種具有網格結構之基板之上視示意圖；  
 第3 圖：依據本發明之一具體實施例，該具有網格結構之基板之截面示意圖；及  
 第4 圖：依據本發明之一具體實施例，包含有該基板之半導體封裝結構之截面示意圖。

## 元件符號簡單說明：

- |     |         |     |     |
|-----|---------|-----|-----|
| 10  | 半導體封裝結構 |     |     |
| 11  | 基板      | 11a | 接觸墊 |
| 12  | 封裝體     | 12a | 外終端 |
| 100 | 基板      |     |     |
| 110 | 基板本體    | 111 | 表面  |
| 112 | 接觸墊     | 113 | 接合面 |
| 120 | 防銲層     | 121 | 開口  |
| 130 | 擋牆      |     |     |
| 200 | 半導體封裝結構 |     |     |
| 210 | 半導體元件   | 211 | 外終端 |
| 220 | 半導體元件   | 221 | 外終端 |



## 四、中文發明摘要 (發明名稱：具有網格結構之基板)

一種具有網格結構之基板，其係用以承載至少一半導體元件，該基板係包含有一基板本體、一防銲層及複數個擋牆，其中該基板本體之表面設有複數個接觸墊，每一接觸墊係具有一接合面，用以結合半導體元件之外終端，該防銲層係形成於該基板本體之表面，該防銲層具有複數個開口，以顯露該些接觸墊之接合面，該些擋牆係排列組合成一網格結構，此外，該些擋牆係設於該些接觸墊之接合面之間並且不覆蓋至該些接觸墊之接合面，以避免錫膏或半導體元件之外終端橋接。

伍、(一)、本案代表圖為：第\_\_3\_\_圖

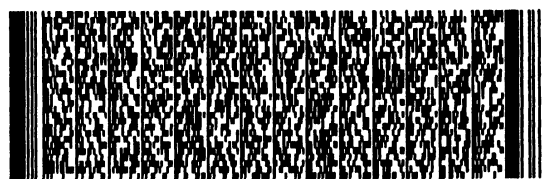
(二)、本案代表圖之元件代表符號簡單說明：

100 基板

110 基板本體                      111 表面

## 六、英文發明摘要 (發明名稱：Substrate with Net Structure)

A substrate with net structure is disclosed for the purpose of carrying at least a semiconductor device. The substrate includes a substrate body, a solder mask layer and a plurality of dams. The solder mask layer having a plurality of openings is disposed on the surface of the substrate body. A plurality of contact pads having a joint surface exposed by the



## 四、中文發明摘要 (發明名稱：具有網格結構之基板)

112 接觸墊                      113 接合面  
120 防銲層                      121 開口  
130 擋牆

## 六、英文發明摘要 (發明名稱：Substrate with Net Structure)

openings of the solder mask layer formed on the surface of the substrate body for electrically connecting the external terminals of the semiconductor device. The dams are formed a net structure and disposed between the joint surface of the contact pads without covering the joint surface of the contact pads to prevent bridging of the solder paste or the external terminals of the



四、中文發明摘要 (發明名稱：具有網格結構之基板)

六、英文發明摘要 (發明名稱：Substrate with Net Structure)

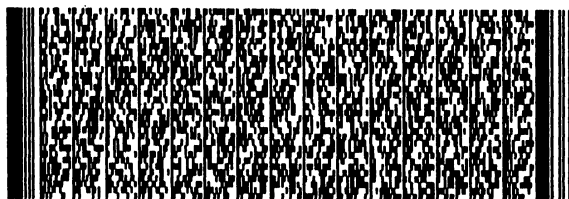
semiconductor device from occurrence.



## 六、申請專利範圍

## 【申請專利範圍】

- 1、一種具有網格結構之基板，係包含有：
  - 一基板本體，其係具有一表面，用以承載至少一半導體元件；
  - 複數個接觸墊，其係設於該基板本體之該表面；
  - 一防銲層，其係形成於該基板本體之該表面，該防銲層具有複數個開口，該些開口係對應該些接觸墊；及
  - 複數個擋牆，其係形成於該防銲層，該些擋牆係設於該些接觸墊之間。
- 2、如申請專利範圍第1項所述之具有網格結構之基板，其中該些擋牆之高度係介於0.02mm至0.1mm之間。
- 3、如申請專利範圍第1項所述之具有網格結構之基板，其中該些擋牆係為棋盤狀排列。
- 4、如申請專利範圍第1項所述之具有網格結構之基板，其中該些擋牆之材質係為環氧樹脂。
- 5、如申請專利範圍第1項所述之具有網格結構之基板，其中該些擋牆係由另一防銲層所形成。
- 6、如申請專利範圍第1項所述之具有網格結構之基板，其中該些擋牆係為相互連接。
- 7、如申請專利範圍第1項所述之具有網格結構之基板，其中該些擋牆係為不相互連接。
- 8、如申請專利範圍第1項所述之具有網格結構之基板，其中該些接觸墊係具有一接合面。
- 9、如申請專利範圍第8項所述之具有網格結構之基板，



## 六、申請專利範圍

其中該防銲層之開口係用以界定該些接觸墊之接合面面積。

10、一種半導體封裝結構，其包含有：

一具有網格結構之基板，其係包含有：

一基板本體，其係具有一表面；

複數個接觸墊，其係設於該基板本體之該表面；

一防銲層，其係形成於該基板本體之該表面，該防銲層具有複數個開口，該些開口係對應該些接觸墊；及

複數個擋牆，其係形成於該防銲層，該些擋牆係設於該些接觸墊之間；及

至少一半導體元件，其係設於該基板上，該半導體元件係具有複數個外終端，該些外終端係結合該些接觸墊，以電性連接至該基板。

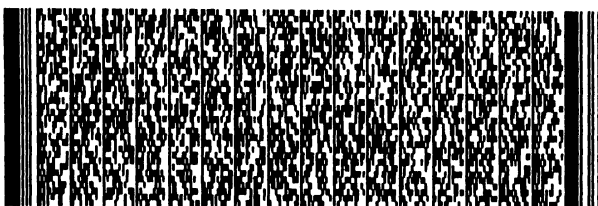
11、如申請專利範圍第10項所述之半導體封裝結構，其中該些擋牆之高度係介於0.02mm至0.1mm之間。

12、如申請專利範圍第10項所述之半導體封裝結構，其中該些擋牆之高度係不大於該些外終端之高度。

13、如申請專利範圍第10項所述之半導體封裝結構，其中該些擋牆係為棋盤狀排列。

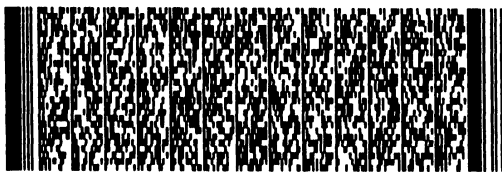
14、如申請專利範圍第10項所述之半導體封裝結構，其中該些擋牆之材質係為環氧樹脂。

15、如申請專利範圍第10項所述之半導體封裝結構，其中該些擋牆係由另一防銲層所形成。

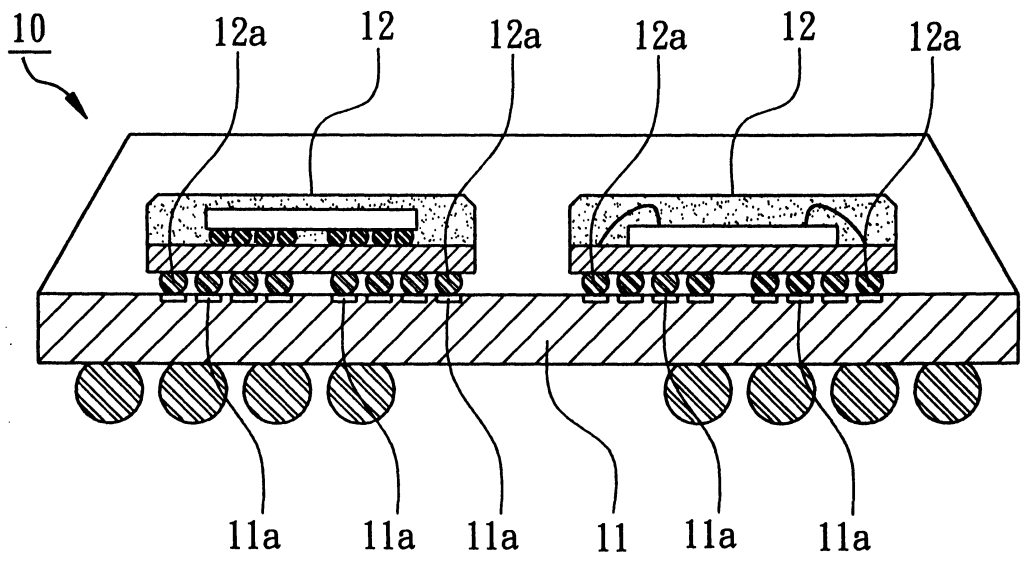


## 六、申請專利範圍

- 16、如申請專利範圍第10項所述之半導體封裝結構，其中該些擋牆係為相互連接。
- 17、如申請專利範圍第10項所述之半導體封裝結構，其中該些擋牆係為不相互連接。
- 18、如申請專利範圍第10項所述之半導體封裝結構，其中該些接觸墊係具有一接合面。
- 19、如申請專利範圍第18項所述之半導體封裝結構，其中該防銲層之開口係用以界定該些接觸墊之接合面面積。
- 20、如申請專利範圍第10項所述之半導體封裝結構，其中該半導體元件係為晶片尺寸封裝體〔Chip Scale Package, CSP〕。
- 21、如申請專利範圍第10項所述之半導體封裝結構，其中該半導體元件之該些外終端係為錫球。



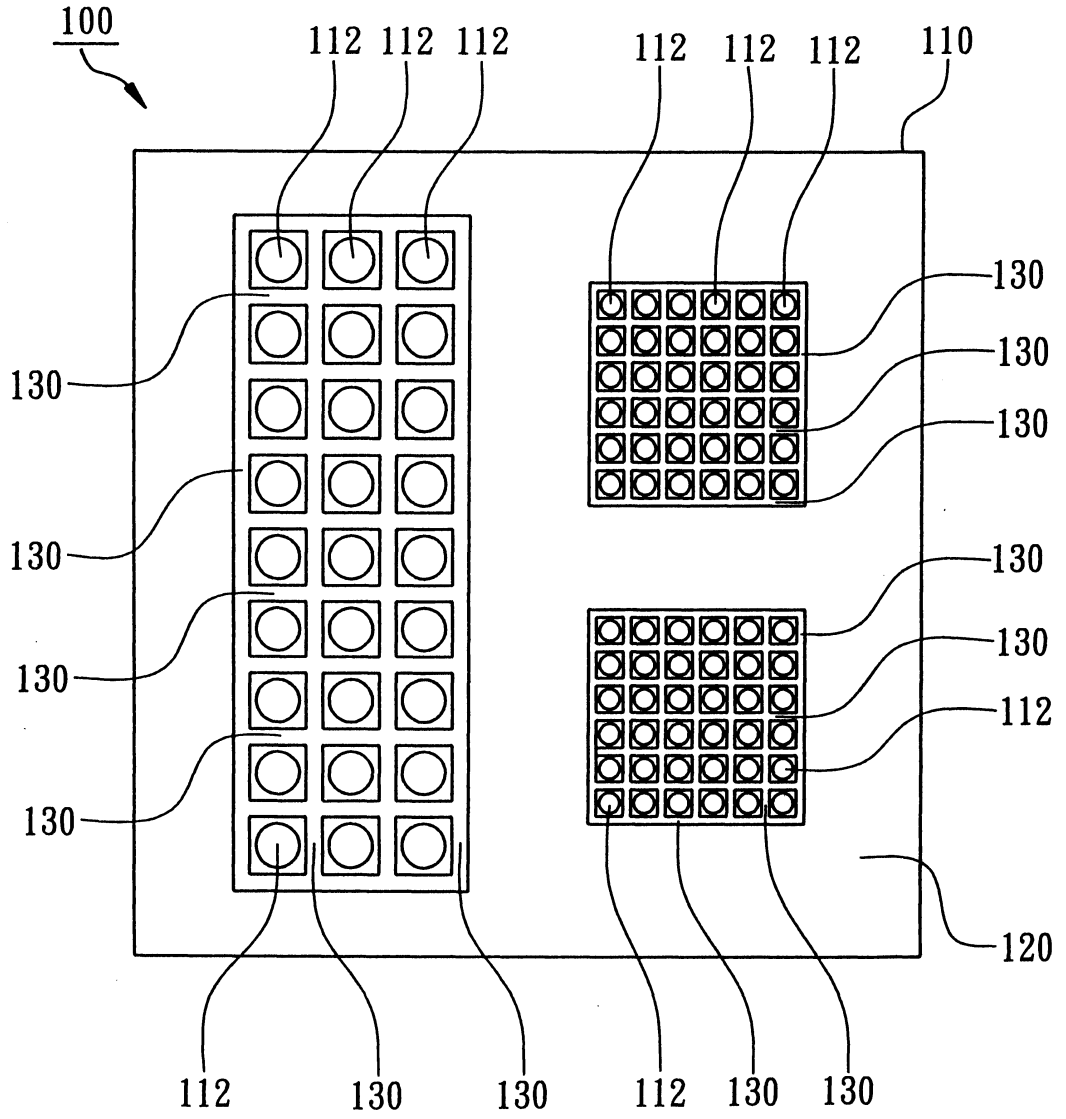
圖式



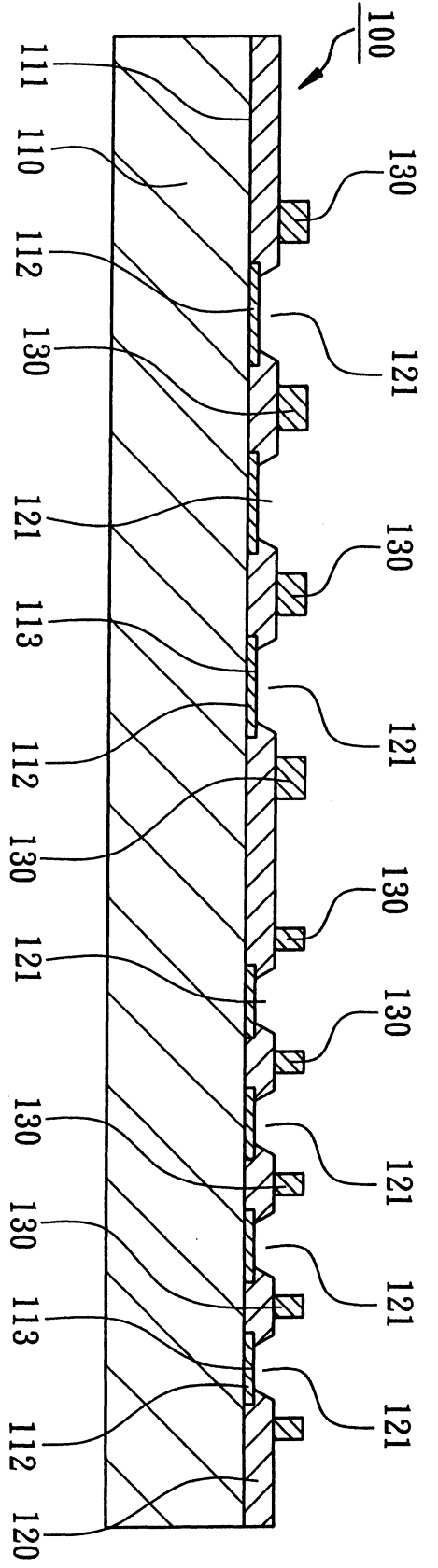
第 1 圖



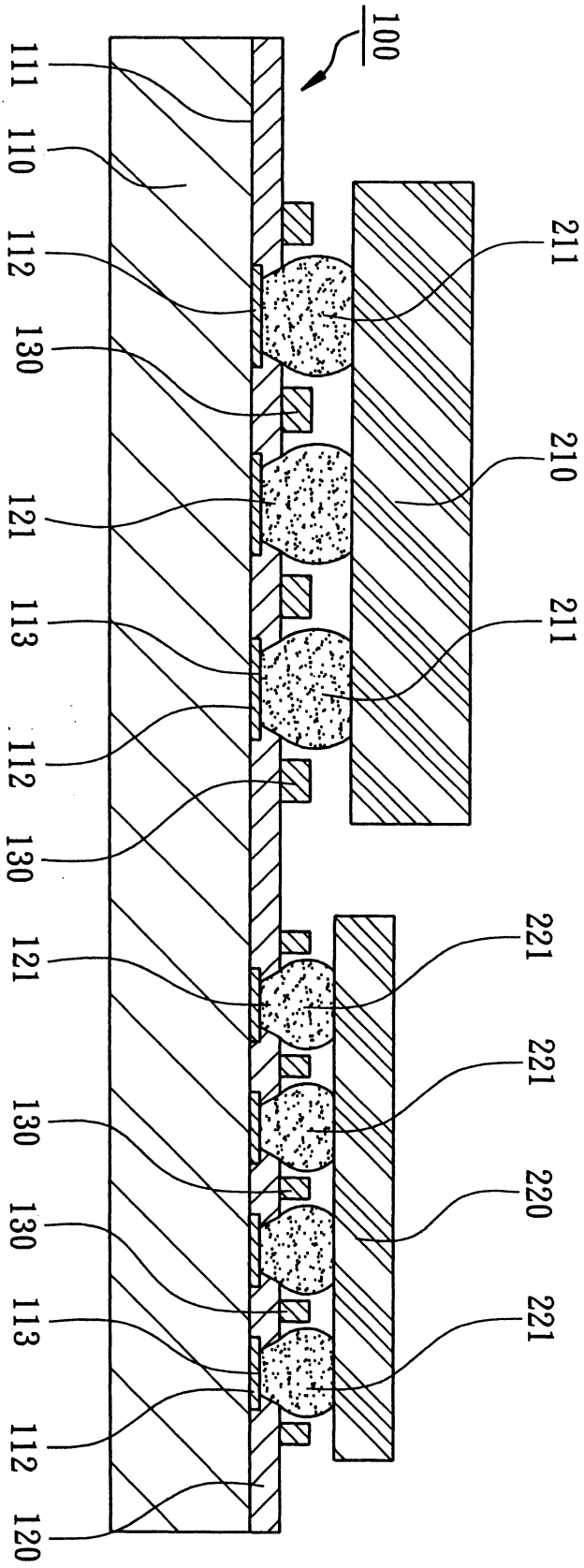
圖式



第 2 圖



第 3 圖



第 4 圖

圖式