

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-109187

(P2005-109187A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int. Cl.⁷
H01L 21/60

F I
H01L 21/60 311Q

テーマコード(参考)
5F044

審査請求 有 請求項の数 9 OL (全 9 頁)

(21) 出願番号 特願2003-341309 (P2003-341309)
(22) 出願日 平成15年9月30日(2003.9.30)

(71) 出願人 000003067
TDK株式会社
東京都中央区日本橋1丁目13番1号
(74) 代理人 100095407
弁理士 木村 満
(74) 代理人 100109449
弁理士 毛受 隆典
(72) 発明者 兼行 智彦
東京都中央区日本橋一丁目13番1号 TDK株式会社内
Fターム(参考) 5F044 KK02 KK12 LL01 RR18

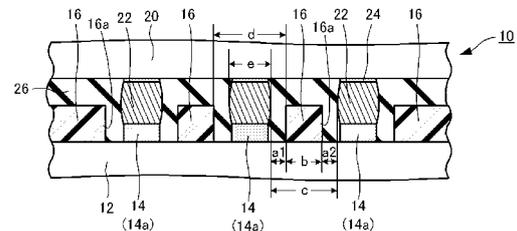
(54) 【発明の名称】 フリップチップ実装回路基板およびその製造方法ならびに集積回路装置

(57) 【要約】

【課題】 隣り合うバンプ間のショートを防止し、実装時の素子との良好なバンプ - 電極間コンタクトを実現可能なフリップチップ実装回路基板およびその製造方法ならびに集積回路装置を提供する。

【解決手段】 隣り合うバンプ22間に溶剤レジスト16を設ける。溶剤レジスト16は、バンプ22から所定距離離間して形成され、溶剤レジスト16には、バンプ22を離間して包囲する開口16aがパターンニング形成されている。バンプ22 - 溶剤レジスト16間の間隔は、パターンニングのマスク合わせ精度に基づいて設定される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体素子チップを搭載するための基板と、
前記基板上に設けられ、前記半導体素子チップの電極が接合される接合部を含む導体パターンと、

前記接合部から離間して設けられ、隣り合う前記接合部を隔てるソルダーレジストと、
を備える、ことを特徴とするフリップチップ実装回路基板。

【請求項 2】

前記ソルダーレジストは、隣り合う前記接合部の間隔よりも狭い幅を有する、ことを特徴とする請求項 1 に記載のフリップチップ実装回路基板。

10

【請求項 3】

前記ソルダーレジストの幅は、隣り合う前記接合部の幅よりも $60\ \mu\text{m}$ 以上小さい、ことを特徴とする請求項 2 に記載のフリップチップ実装回路基板。

【請求項 4】

前記ソルダーレジストは、前記接合部から $30\ \mu\text{m}$ 以上離間している、ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のフリップチップ実装回路基板。

【請求項 5】

前記ソルダーレジストは、前記接合部を包囲するように設けられた開口を有する、ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のフリップチップ実装回路基板。

【請求項 6】

前記開口は方形に形成されている、ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のフリップチップ実装回路基板。

20

【請求項 7】

前記開口は円形に形成されている、ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載のフリップチップ実装回路基板。

【請求項 8】

基板と、
前記基板上に設けられた導体パターンと、
前記導体パターンに、その電極が接合された半導体素子チップと、
前記導体パターンと前記電極との接合部から離間して設けられ、隣り合う前記接合部を隔てるソルダーレジストと、
を備える、ことを特徴とする集積回路装置。

30

【請求項 9】

半導体素子チップを搭載するための基板を用意する工程と、
前記基板上に、前記半導体素子チップの電極が接合される接合部を含む導体パターンを形成する工程と、
前記接合部から離間して設けられ、隣り合う前記接合部を隔てるソルダーレジストを形成する工程と、
を備える、ことを特徴とするフリップチップ実装回路基板の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体素子チップをフリップチップ実装するためのフリップチップ実装回路基板およびその製造方法ならびに集積回路装置に関する。

【背景技術】

【0002】

近年、電子機器の小型化の要求に伴い、回路モジュールの高密度実装が望まれている。このため、回路基板については両面配線から多層配線へ、能動素子についても小型化が進んでいる。更に、半導体装置についてもプラスチックモールドからベアチップへと移行し、特に、ベアチップ実装の一手法としてフリップチップ実装が開発されている（特許文献

50

1 ~ 3 参照)。

【特許文献1】特開平6 - 151506号公報

【特許文献2】特開平8 - 181239号公報

【特許文献3】特開2000 - 77471号公報

【0003】

以下、フリップチップ実装を行う従来の回路基板について説明する。図5は、従来の実装回路基板110の平面図であり、図6は、図5に示す実装回路基板110上に半導体素子チップ120をフリップチップ実装した状態の部分断面図である。

【0004】

図5において、回路基板110の基板表面上には導体パターン114が形成されている。半導体素子チップ120は回路基板110の、図5中一点破線で示される領域118の上に搭載される。導体パターン114は、後述するように、搭載される半導体素子チップ120の bumps 用電極124とその端部において重なるように形成されている。

【0005】

回路基板110の表面には、ソルダーレジスト116が塗布されている。図5および6に示す例では、ソルダーレジスト116は、チップの搭載領域118を除いてその表面を覆うように形成されている。また、特許文献2には、図7に示すように、ソルダーレジスト116を、導体パターン114の接合部分114aを除く回路基板110のほぼ全体を覆うように形成した構造が教示されている。

【0006】

フリップチップ実装は、以下のように行われる。まず、半導体素子チップ120が、位置合わせされて回路基板110上に載置される。ここで、載置される半導体素子チップ120の bumps 用電極124上には、予めマスクを使って半田 bumps 122が印刷されており、図6に示すように、半導体素子チップ120の bumps 122と、回路基板110上の導体パターン114の接合部分114aと、が重なるように位置合わせされる。

【0007】

その後、半導体素子チップ120を回路基板110上に載置した状態で、リフロー処理等により bumps 122を溶融させて、半導体素子チップ120と回路基板110とを機械的、電気的に接続する。次いで、半導体素子チップ120と回路基板110との隙間にアンダーフィルレジジン126を注入し、その後硬化させる。以上で、フリップチップ実装が完了する。

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記フリップチップ実装では、接続用のワイヤ等を必要としないため、装置の小型化が可能である。しかし、最近では、製品の小型化は一層進行し、 bumps 間隔が300 μm以下のものが必要とされている。このような場合、上記した図5~7に示す従来のフリップチップ構造では、さらなる小型化を進める上で問題がある。

【0009】

例えば、図6に示すように、ソルダーレジスト116を bumps 122間に形成しない構造では、 bumps 122間隔を300 μm以下とすると、熱衝撃等の信頼性試験後にショート不良が多発する。このようなショート不良は bumps 122の拡散によると考えられ、 bumps 122間にソルダーレジスト116は形成されていないために、拡散により bumps 122間隔がショートしやすいと考えられる。

【0010】

また、図7に示すように、ソルダーレジスト116を導体パターン114および bumps 122間をほぼ完全に覆うように形成した場合には、マスク合わせ精度の問題で、パターニングの際に、導体パターン114の bumps 122との接合部分上にソルダーレジスト116が残ってしまいやすく、導体パターン114と bumps 122との接触不良が発生しやすくなる。これは、小型化(数百ミクロン以下の微細化、特に、導体パターン11

10

20

30

40

50

4の電極幅が50～80μm程度)の進行とともに更に顕著となる。

【0011】

このように、従来のフリップチップ実装構造では、ソルダーレジストが隣り合うバンプ間に形成されていないか、または、ソルダーレジストが隣り合うバンプ間をほぼ完全に覆うように形成されているため、ショート不良あるいはコンタクト不良が発生しやすく、このため、高い実装効率(歩留まり)および製品の信頼性が得られないおそれがあった。

【0012】

上記事情を鑑みて、本発明は、高い歩留まりおよび信頼性を維持しつつ、小型化の可能なフリップチップ実装回路基板およびその製造方法ならびに集積回路装置を提供することを目的とする。

また、本発明は、隣り合うバンプ間のショートを防止し、実装時の素子との良好なバンプ-電極間コンタクトを実現可能なフリップチップ実装回路基板およびその製造方法ならびに集積回路装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するため、本発明の第1の観点にかかるフリップチップ実装回路基板は、

半導体素子チップを搭載するための基板と、

前記基板上に設けられ、前記半導体素子チップの電極が接合される接合部を含む導体パターンと、

前記接合部から離間して設けられ、隣り合う前記接合部を隔てるソルダーレジストと、を備える。

【0014】

上記構成によれば、隣り合う接合部(バンプ)間におけるバンプ金属の拡散等は防止、低減され、したがって、バンプ間ショートの発生は抑制される。また、接合部間を隔てるソルダーレジストは、接合部から所定距離離間して設けられており、ソルダーレジストのパターニングの際のマスク合わせ精度(位置ずれ)に基づくバンプ接続不良(実装不良)は防止される。したがって、小型化の進行により接合部(バンプ)間間隔が微細となっても、高い歩留まりおよび信頼性での製品生産(実装)が可能となる。

【0015】

上記構成において、前記ソルダーレジストは、隣り合う前記接合部の間隔よりも狭い幅を有することが好ましい。

【0016】

上記構成において、前記ソルダーレジストの幅は、例えば、隣り合う前記接合部との接合部分の幅よりも60μm以上小さい。

【0017】

上記構成において、前記ソルダーレジストは、前記接合部から30μm以上離間している。

【0018】

上記構成において、前記ソルダーレジストは、前記接合部を包囲するように設けられた開口を有することが好ましい。

例えば、前記開口は方形に形成されている。

また、例えば、前記開口は円形に形成されている。

【0019】

上記目的を達成するため、本発明の第2の観点にかかる集積回路装置は、基板と、

前記基板上に設けられた導体パターンと、

前記導体パターンに、その電極が接合された半導体素子チップと、

前記導体パターンと前記電極との接合部から離間して設けられ、隣り合う前記接合部を隔てるソルダーレジストと、

10

20

30

40

50

を備える。

【0020】

上記目的を達成するため、本発明の第3の観点にかかるフリップチップ実装回路基板の製造方法は、

半導体素子チップを搭載するための基板を用意する工程と、

前記基板上に、前記半導体素子チップの電極が接合される接合部を含む導体パターンを形成する工程と、

前記接合部から離間して設けられ、隣り合う前記接合部を隔てるソルダーレジストを形成する工程と、

を備える。

10

【発明の効果】

【0021】

本発明によれば、高い歩留まりおよび信頼性を維持しつつ、小型化の可能なフリップチップ実装回路基板およびその製造方法ならびに集積回路装置が提供される。

また、本発明によれば、隣り合うバンプ間のショートを防止し、実装時の素子との良好なバンプ-電極間コンタクトを実現可能なフリップチップ実装回路基板およびその製造方法ならびに集積回路装置が提供される。

【発明を実施するための最良の形態】

【0022】

本発明の実施の形態に係るフリップチップ実装回路基板およびその製造方法ならびに集積回路装置について、以下図面を参照して詳細に説明する。

20

図1および2は、本発明の実施の形態にかかるフリップチップ実装用の回路基板の構成を示す図である。図1は回路基板の平面図を示し、図2は半導体素子チップが搭載された状態の回路基板(集積回路装置)のA-A線断面を示す。なお、図1および2には、半導体素子チップの実装領域およびその周辺の構成を示す。

【0023】

図1に示すように、本実施の形態にかかるフリップチップ実装用の回路基板10は、基板12と、導体パターン14と、ソルダーレジスト16と、を含んで構成される。

【0024】

基板12は、例えば、プリント配線基板から構成される。

30

【0025】

導体パターン14は、例えば、銅から構成され、基板12の表面にエッチング等により所定パターンで形成されている。導体パターン14の端部は、半導体素子チップの搭載領域18(図1の一点破線で囲まれた領域)の内側に露出し、後述する半導体素子チップに設けられたバンプと重なるように設けられている。図1に示す例では、導体パターン14は、その端部の接合部分14aにおいて、後述する半導体素子チップ20のバンプ22に接合される。

【0026】

ソルダーレジスト16は、半導体素子チップ20の搭載領域18を含む、基板12のほぼ表面全体を覆うように形成されている。ソルダーレジスト16には、その内部に導体パターン14の接合部分14aが露出する開口16aが形成されている。

40

【0027】

上記のように導体パターン14、ソルダーレジスト16等が形成された回路基板10上に、図2に示すように、半導体素子チップ20が搭載される。搭載される半導体素子チップ20には、金等から構成されるバンプ22が、アルミニウム等から構成されるバンプ用電極24の上に印刷、メッキ、蒸着等により形成されている。例えば、バンプ22は、図3に示すように、所定の半径を有する球状に設けられ、バンプ用電極24に対応した所定の幅で配置されている。

【0028】

図2に示すように、半導体素子チップ20は、バンプ22がソルダーレジスト16の開

50

口16a内に入るように搭載される。 bumps 22は、半導体素子チップ20の bumps 用電極24と、導体パターン14と、に半田付けにより接合されており、これらを互いに電氣的に接続している。

【0029】

半導体素子チップ20と回路基板10の間は、 bumps 22により支承されているが、さらにその間隙はアンダーフィルレジン26で樹脂封止されている。アンダーフィルレジン26により、半導体素子チップ20と回路基板10とは、確実に固定されている。

【0030】

本実施の形態では、図2に示されるように、隣り合う bumps 22の間には、その双方から所定距離離間して、ソルダーレジスト16が設けられている。ソルダーレジスト16と bumps 22との距離 a_1 、 a_2 は、後述するようにソルダーレジスト16のパターニング時のマスク合わせ精度によって決定されるが、好ましくは、 $30\mu\text{m}$ 以上である。

10

なお、本明細書において、「隣り合う」とは、最も相対距離の短いものの配置をいう。

【0031】

また、ソルダーレジスト16の幅 b は、隣り合う bumps 22間の距離 c よりも、好ましくは、 $60\mu\text{m}$ 以上小さく設定されている。すなわち、 bumps 22間の距離 c と、ソルダーレジスト16の幅 b と、の差 ($= a_1 + a_2$) は、好ましくは、 $60\mu\text{m}$ 以上に設定されている。

また、別の言い方をすれば、ソルダーレジスト16の開口16aの幅 d は、 bumps 22の最大幅 e よりも、好ましくは、 $60\mu\text{m}$ 以上大きく設定されている。

20

【0032】

以下、本実施の形態にかかるフリップチップ用回路基板10の製造方法およびこれを用いたフリップチップ実装方法について説明する。なお、同一の結果物が得られるのであれば、以下に示す例に限られない。

【0033】

まず、基板12を用意し、基板12上に銅等の導体膜を形成し、これを所定形状にパターニングして導体パターン14を形成する。次いで、さらに基板12上にソルダーレジスト16を形成し、パターニングにより、上記のような設計値で開口16aを形成する。これにより、本実施の形態にかかるフリップチップ実装回路基板10が形成される。

【0034】

実装の際には、この回路基板10上に、半導体素子チップ20を、印刷された bumps 22が開口16a内に露出する導体パターン14と接触するように位置合わせして載置する。この状態でリフロー処理等の熱処理を施し、 bumps 22を溶融させて、半導体素子チップ20と導体パターン14とが機械的かつ電氣的に接続される。

30

【0035】

その後、さらに、傾けたホットプレート上で半導体素子チップ20と回路基板10との間にアンダーフィルレジン26を注入し、次いでホットプレートから外して硬化させる。これにより、半導体素子チップ20は回路基板10上に確実に固定される。以上のようにして、半導体素子チップ20は、回路基板10上にフリップチップ実装される。

【0036】

本実施の形態によれば、以下のような効果が得られる。

40

まず、ソルダーレジスト16が、図2に示すように、隣り合う bumps 22間を隔てるように設けられている。 bumps 22間の間隔が $300\mu\text{m}$ 以下まで微細化し、ソルダーレジスト16を bumps 22間に設けない場合には、ショート不良が多発する。しかし、かかる場合と比較して、 bumps 22間にソルダーレジスト16を設ける本実施の形態では、 bumps 22の拡散が抑制されるなど、 bumps 22間ショートの抑制、低減が可能となる。

【0037】

また、ソルダーレジスト16は、 bumps 22から所定距離、例えば、 $30\mu\text{m}$ 以上離間するように形成されている。この距離は、ソルダーレジスト16のパターニング時のマスク合わせ精度による位置ずれを考慮して設定されている。すなわち、本例では、ソルダー

50

レジスト 16 のパターンングの際に、導体パターン 14 に対して 30 μm 程度位置ずれが発生することを考慮して、バンプ 22 から 30 μm 以上のマージンを見てソルダーレジスト 16 を形成している。

【0038】

このようにマスク合わせ精度を考慮して開口 16 a を形成することにより、ソルダーレジスト 16 がバンプ 22 と重なって形成されることによる、バンプ 22 と導体パターン 14 との間の接続不良は防止される。したがって、実装不良の低減が可能となる。

このように、本実施の形態によれば、バンプ 22 間ショートおよびバンプ 22 接続不良の低減が可能であり、したがって、歩留まり、信頼性の向上が可能となる。

【0039】

さらに、バンプ 22 の外径よりも所定程度大きい開口 16 a をソルダーレジスト 16 に設けることから、実装時にバンプ 22 が開口 16 a 内に導かれやすく、これにより実装効率が向上される。

【0040】

なお、本発明は、上記実施の形態に限られず、種々の変形、応用が可能である。

【0041】

上記実施の形態では、導体パターン 14 を直接バンプ 22 と接合するものとした。しかし、導体パターン 14 と電氣的に接続された接続電極層を設けてこれにバンプ 22 を接合させるようにしてもよい。

【0042】

上記実施の形態では、ソルダーレジスト 16 には方形の開口 16 a を形成するものとした。しかし、開口 16 a の形状は、これに限られず、他の多角形でもよく、図 4 に示すように、円形であってもよい。開口 16 a を円形に形成した場合、実装されるバンプ 22 は通常球状であるので、より開口 16 a 内に導かれやすく、実装効率の向上が図れる。この場合、バンプ 22 が千鳥状に配置されている半導体素子チップ 20 の実装に特に効果的である。

【0043】

上記実施の形態では、ソルダーレジスト 16 をバンプ 22 から 30 μm 以上離間させる構成とした。しかし、その距離（マージン）はマスク合わせ精度によって決定され、より高い精度でのパターンングが可能であれば、距離をより小さくしてもよい。

【0044】

また、上記実施の形態では、実装時のバンプ 22 幅 e を基準として設定したが、バンプ 22 の幅はリフロー処理の前後で変化するものであるので、実装前のバンプ 22 の幅、例えば、球状であればその直径を基準としてもよい。

さらに、バンプ 22 ではなく、導体パターン 14 の幅、特に、隣り合う接合部分 14 a の幅に基づいて離間距離を決定してもよい。

【図面の簡単な説明】

【0045】

【図 1】本発明の実施の形態にかかるフリップチップ実装回路基板の平面図である。

【図 2】図 1 に示すフリップチップ実装回路基板の断面図である。

【図 3】本発明の実施の形態にかかるフリップチップ実装回路基板に搭載される半導体素子チップを示す図である。

【図 4】本発明の実施の形態にかかるフリップチップ実装回路基板の変形例を示す図である。

【図 5】従来のフリップチップ実装回路基板の平面図である。

【図 6】従来のフリップチップ実装回路基板の断面図である。

【図 7】従来のフリップチップ実装回路基板の断面図である。

【符号の説明】

【0046】

10 回路基板

10

20

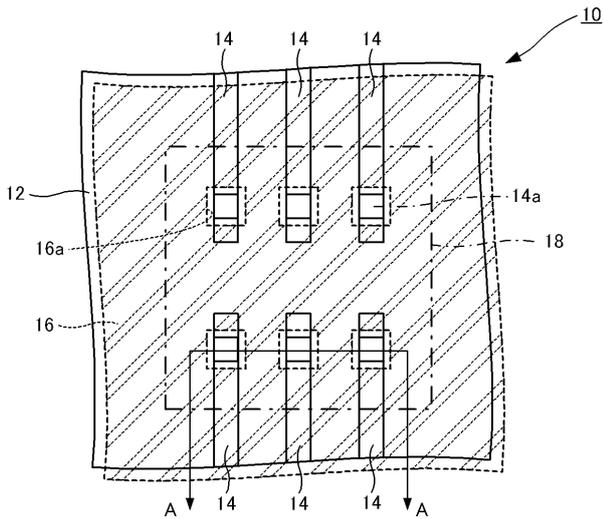
30

40

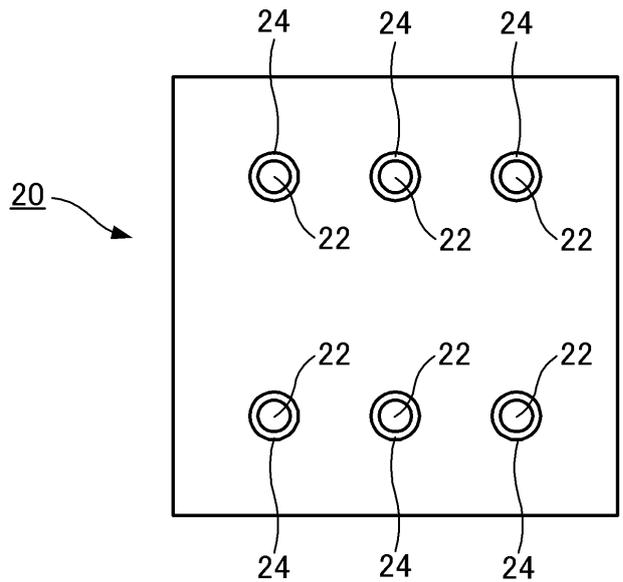
50

- 1 2 基板
- 1 4 導体パターン
- 1 6 ソルダレジスト
- 1 6 a 開口
- 2 0 半導体素子チップ
- 2 2 パンプ
- 2 6 アンダーフィルレジン

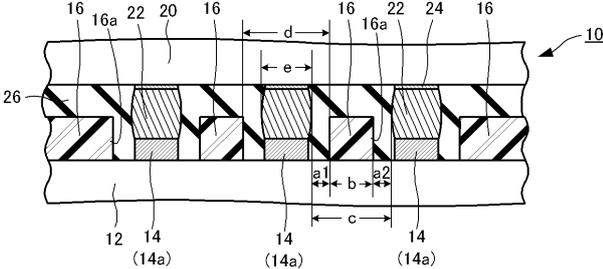
【 図 1 】



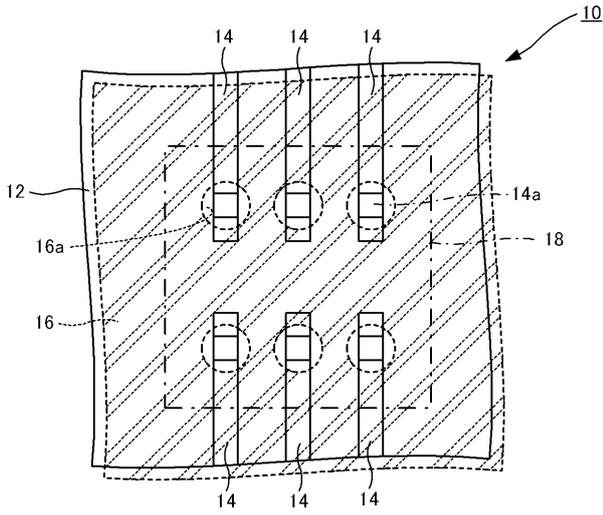
【 図 3 】



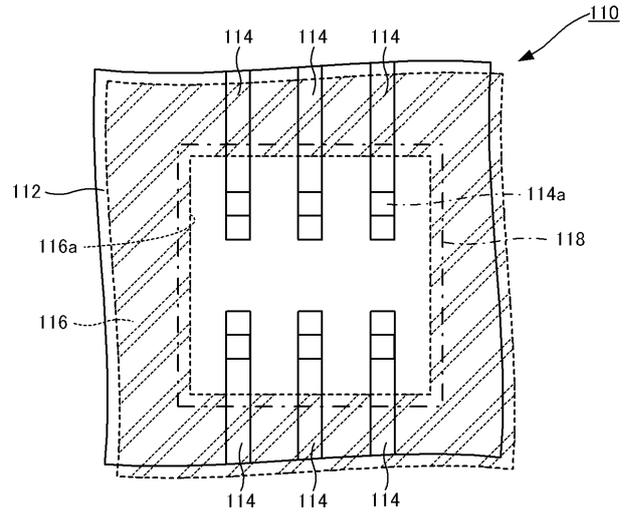
【 図 2 】



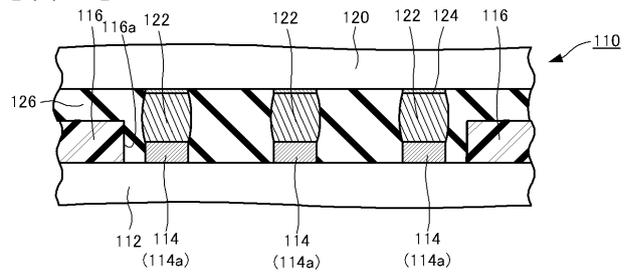
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

