



(12) 发明专利

(10) 授权公告号 CN 115424980 B

(45) 授权公告日 2023.02.07

(21) 申请号 202211375445.9

(22) 申请日 2022.11.04

(65) 同一申请的已公布的文献号
申请公布号 CN 115424980 A

(43) 申请公布日 2022.12.02

(73) 专利权人 成都复锦功率半导体技术发展有
限公司

地址 610212 四川省成都市中国(四川)自
由贸易试验区成都高新区和乐二街
171号5栋15楼

(72) 发明人 马磊

(74) 专利代理机构 成都华风专利事务所(普通
合伙) 51223

专利代理师 张巨箭

(51) Int.Cl.

H01L 21/768 (2006.01)

(56) 对比文件

CN 110998836 A, 2020.04.10

CN 101494218 A, 2009.07.29

CN 103904057 A, 2014.07.02

CN 1430278 A, 2003.07.16

CN 103545297 A, 2014.01.29

US 6362529 B1, 2002.03.26

CN 110970397 A, 2020.04.07

CN 103985740 A, 2014.08.13

CN 1601727 A, 2005.03.30

CN 104600039 A, 2015.05.06

GB 0617100 D0, 2006.10.11

CN 104103529 A, 2014.10.15

审查员 唐朝东

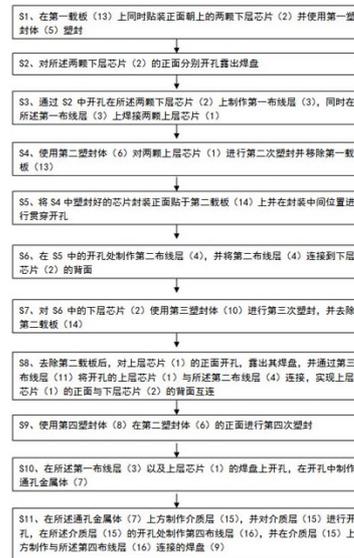
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种芯片双面互连的堆叠封装方法

(57) 摘要

本发明公开了一种芯片双面互连的堆叠封装方法,包括多个依次连接的堆叠单元,堆叠单元包括上层芯片和下层芯片,上层芯片的背面通过第一布线层与所述下层芯片正面连接,某个堆叠单元中上层芯片的正面通过第二布线层与下一个相邻的堆叠单元中下层芯片的背面连接,所述第二布线层设置在相邻两个堆叠单元的间隙中,所述第一布线层设置在上层芯片和下层芯片的间隙中;所述下层芯片设置在第一塑封体中,所述上层芯片设置在第二塑封体中,首个所述堆叠单元的下层芯片以及最后一个所述堆叠单元的上层芯片引出通孔金属体。本发明形成一种堆叠的芯片双面互连,以堆叠单元结构为重复单元可在同一塑封体中实现多芯片、小面积芯片的双面互连。



1. 一种芯片双面互连的堆叠封装方法,其特征在于,所述方法包括:

封装多个依次连接的堆叠单元,其中,所述堆叠单元包括上层芯片(1)和下层芯片(2),所述上层芯片(1)的背面通过第一布线层(3)与所述下层芯片(2)正面连接,某个堆叠单元中上层芯片(1)的正面通过第二布线层(4)与下一个相邻的堆叠单元中下层芯片(2)的背面连接,所述第二布线层(4)设置在相邻两个堆叠单元的间隙中,所述第一布线层(3)设置在上层芯片(1)和下层芯片(2)的间隙中;

将所述下层芯片(2)设置在第一塑封体(5)中,将所述上层芯片(1)设置在第二塑封体(6)中,通过首个所述堆叠单元的下层芯片(2)以及最后一个所述堆叠单元的上层芯片(1)引出通孔金属体(7)。

2. 根据权利要求1所述的一种芯片双面互连的堆叠封装方法,其特征在于,所述下层芯片(2)的背面连接有第三塑封体(10),所述第三塑封体(10)与所述第一塑封体(5)连接,所述第二布线层(4)从所述第三塑封体(10)中延伸连接至所述下层芯片(2)的背面。

3. 根据权利要求2所述的一种芯片双面互连的堆叠封装方法,其特征在于,所述上层芯片(1)通过第三布线层(11)与所述第二布线层(4)连接。

4. 根据权利要求3所述的一种芯片双面互连的堆叠封装方法,其特征在于,在所述第二塑封体(6)上连接有第四塑封体(8),在所述第四塑封体(8)上设置介质层(15),所述介质层(15)中设有第四布线层(16),所述第四布线层(16)的下端与所述通孔金属体(7)连接,所述第四布线层(16)的上端连接有设置在第四塑封体(8)上的焊盘(9)。

5. 根据权利要求4所述的一种芯片双面互连的堆叠封装方法,其特征在于,封装两个所述堆叠单元,包括以下步骤:

S1、在第一载板(13)上同时贴装正面朝上的两颗下层芯片(2)并使用第一塑封体(5)塑封;

S2、对所述两颗下层芯片(2)的正面分别开孔露出焊盘;

S3、通过S2中开孔在所述两颗下层芯片(2)上制作第一布线层(3),同时在所述第一布线层(3)上焊接两颗上层芯片(1);

S4、使用第二塑封体(6)对两颗上层芯片(1)进行第二次塑封并移除第一载板(13);

S5、将S4中塑封好的芯片封装正面贴于第二载板(14)上并在封装中间位置进行贯穿开孔;

S6、在S5中的开孔处制作第二布线层(4),并将第二布线层(4)连接到下层芯片(2)的背面;

S7、对S6中的下层芯片(2)使用第三塑封体(10)进行第三次塑封,并去除第二载板(14);

S8、去除第二载板后,对上层芯片(1)的正面开孔,露出其焊盘,并通过第三布线层(11)将开孔的上层芯片(1)与所述第二布线层(4)连接,实现上层芯片(1)的正面与下层芯片(2)的背面互连;

S9、使用第四塑封体(8)在第二塑封体(6)的正面进行第四次塑封;

S10、在所述第一布线层(3)以及上层芯片(1)的焊盘上开孔,在开孔中制作通孔金属体(7);

S11、在所述通孔金属体(7)上方制作介质层(15),并对介质层(15)进行开孔,在所述介

质层(15)的开孔处制作第四布线层(16),并在介质层(15)上方制作与所述第四布线层(16)连接的焊盘(9)。

6.根据权利要求1所述的一种芯片双面互连的堆叠封装方法,其特征在于,所述上层芯片(1)与所述第一布线层(3)通过焊接层(12)连接。

7.根据权利要求6所述的一种芯片双面互连的堆叠封装方法,其特征在于,所述焊接层(12)的焊接方法包括银胶、共晶以及涂胶。

8.根据权利要求1所述的一种芯片双面互连的堆叠封装方法,其特征在于,所述上层芯片(1)和下层芯片(2)均包括一个芯片。

9.根据权利要求1所述的一种芯片双面互连的堆叠封装方法,其特征在于,第二布线层(4)使用导电铜柱。

一种芯片双面互连的堆叠封装方法

技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种芯片双面互连的堆叠封装方法。

背景技术

[0002] 双面互连封装技术是芯片背面贴在引线框架上,芯片正面通过布线连接到相邻框架,使芯片正面与相邻引线框架芯片背面连通实现芯片互连。芯片贴于引线框上,使得封装结构的整体厚度偏厚,不利于产品的薄型化,且很容易出现因引线框的变形而导致的产品变形;引线框的面积限制了芯片的面积和数量;此外,为了提高导电能力,需要在芯片的背面做金属化处理,导致芯片的加工成本增加。总之传统的芯片互连封装后的产品面积较大且互连芯片个数有限,无法扩充更多芯片。

发明内容

[0003] 本发明的目的在于克服现有技术中双面互连封装技术存在的问题,提供了一种芯片双面互连的堆叠封装方法。

[0004] 本发明的目的是通过以下技术方案来实现的:

[0005] 主要提供一种芯片双面互连的堆叠封装方法,所述方法包括:

[0006] 封装多个依次连接的堆叠单元,其中,所述堆叠单元包括上层芯片和下层芯片,所述上层芯片的背面通过第一布线层与所述下层芯片正面连接,某个堆叠单元中上层芯片的正面通过第二布线层与下一个相邻的堆叠单元中下层芯片的背面连接,所述第二布线层设置在相邻两个堆叠单元的间隙中,所述第一布线层设置在上层芯片和下层芯片的间隙中。

[0007] 在一个示例中,一种芯片双面互连的堆叠封装方法,所述下层芯片设置在第一塑封体中,所述上层芯片设置在第二塑封体中,首个所述堆叠单元的下层芯片以及最后一个所述堆叠单元的上层芯片引出通孔金属体。

[0008] 在一个示例中,一种芯片双面互连的堆叠封装方法,所述下层芯片的背面连接有第三塑封体,所述第三塑封体与所述第一塑封体连接,所述第二布线层从所述第三塑封体中延伸连接至所述下层芯片的背面。

[0009] 在一个示例中,一种芯片双面互连的堆叠封装方法,所述上层芯片通过第三布线层与所述第二布线层连接。

[0010] 在一个示例中,一种芯片双面互连的堆叠封装方法,在所述第二塑封体上连接有第四塑封体,在所述第四塑封体上设置介质层,所述介质层中设有第四布线层,所述第四布线层的下端与所述通孔金属体连接,所述第四布线层的上端连接有设置在第四塑封体上的焊盘。

[0011] 在一个示例中,一种芯片双面互连的堆叠封装方法,封装两个所述堆叠单元,包括以下步骤:

[0012] S1、在第一载板上同时贴装正面朝上的两颗下层芯片并使用第一塑封体塑封;

[0013] S2、对所述两颗下层芯片的正面分别开孔露出焊盘;

[0014] S3、通过S2中开孔在所述两颗下层芯片上制作第一布线层,同时在所述第一布线层上焊接两颗上层芯片;

[0015] S4、使用第二塑封体对两颗上层芯片进行第二次塑封并移除第一载板;

[0016] S5、将S4中塑封好的芯片封装正面贴于第二载板上并在封装中间位置进行贯穿开孔;

[0017] S6、在S5中的开孔处制作第二布线层,并将第二布线层连接到下层芯片的背面;

[0018] S7、对S6中的下层芯片使用第三塑封体进行第三次塑封,并去除第二载板;

[0019] S8、去除第二载板后,对上层芯片的正面开孔,露出其焊盘,并通过第三布线层将开孔的上层芯片与所述第二布线层连接,实现上层芯片的正面与下层芯片的背面互连;

[0020] S9、使用第四塑封体在第二塑封体的正面进行第四次塑封;

[0021] S10、在所述第一布线层以及上层芯片的焊盘上开孔,在开孔中制作通孔金属体;

[0022] S11、在所述通孔金属体上方制作介质层,并对介质层进行开孔,在所述介质层的开孔处制作第四布线层,并在介质层上方制作与所述第四布线层连接的焊盘。

[0023] 在一个示例中,一种芯片双面互连的堆叠封装方法,所述上层芯片与所述第一布线层通过焊接层连接。

[0024] 在一个示例中,一种芯片双面互连的堆叠封装方法,所述焊接层的焊接方法包括银胶、共晶以及涂胶。

[0025] 在一个示例中,一种芯片双面互连的堆叠封装方法,所述上层芯片和下层芯片均包括一个芯片。

[0026] 在一个示例中,一种芯片双面互连的堆叠封装方法,第二布线层使用导电铜柱。

[0027] 需要进一步说明的是,上述各选项对应的技术特征在不冲突的情况下可以相互组合或替换构成新的技术方案。

[0028] 与现有技术相比,本发明有益效果是:

[0029] (1)本发明通过在下层芯片和上层芯片的间隙之间设置第一布线层进行连接,同时在相邻两个堆叠单元的间隙中通过第二布线层将两个堆叠单元之间的芯片进行互连,充分利用了芯片之间的竖直以及水平方向的空间,既提高了芯片的集成度,节约面积,能扩充更多芯片,且工艺手法实现简单。

[0030] (2)可塑封芯片数量更多,在塑封体中互连多芯片采用堆叠结构,且堆叠结构的上层芯片采用银胶、共晶、涂胶等焊接方法与底层芯片的布线层相连,方法可靠。

附图说明

[0031] 图1为本发明实施例示出的芯片双面互连的堆叠封装方法的流程图;

[0032] 图2为为本发明实施例示出的芯片双面互连的堆叠封装结构示意图;

[0033] 图3为本发明实施例示出的多个堆叠单元的连接示意图;

[0034] 图4为本发明实施例示出的第一次塑封的示意图;

[0035] 图5为本发明实施例示出的第二次塑封的示意图;

[0036] 图6为本发明实施例示出的第三次塑封的示意图;

[0037] 图7为本发明实施例示出的第四次塑封的示意图。

[0038] 图中:1、上层芯片;2、下层芯片;3、第一布线层;4、第二布线层;5、第一塑封体;6、

第二塑封体;7、通孔金属体;8、第四塑封体;9、焊盘;10、第三塑封体;11、第三布线层;12、焊接层;13、第一载板;14、第二载板;15、介质层;16、第四布线层。

具体实施方式

[0039] 下面结合附图对本发明的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0040] 在本发明的描述中,需要说明的是,属于“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方向或位置关系为基于附图所述的方向或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,属于“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性。

[0041] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,属于“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以具体情况理解上述术语在本发明中的具体含义。

[0042] 此外,下面所描述的本发明不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

[0043] 在一示例性实施例中,提供一种芯片双面互连的堆叠封装方法,封装多个依次连接的堆叠单元,其中,所述堆叠单元包括上层芯片1和下层芯片2,所述上层芯片1的背面通过第一布线层3与所述下层芯片2正面连接,某个堆叠单元中上层芯片1的正面通过第二布线层4与下一个相邻的堆叠单元中下层芯片2的背面连接,所述第二布线层4设置在相邻两个堆叠单元的间隙中,所述第一布线层3设置在上层芯片1和下层芯片2的间隙中。

[0044] 以封装两个堆叠单元为例,如图1、图4-图7所示所述方法包括以下步骤:

[0045] S1、在第一载板13上同时贴装正面朝上的两颗下层芯片2并使用第一塑封体5塑封;

[0046] S2、对所述两颗下层芯片2的正面分别开孔露出焊盘,如图4所示;

[0047] S3、通过S2中开孔在所述两颗下层芯片2上制作第一布线层3,同时在所述第一布线层3上焊接两颗上层芯片1;

[0048] S4、使用第二塑封体6对两颗上层芯片1进行第二次塑封并移除第一载板13,如图5所示;

[0049] S5、如图6所示,将S4中塑封好的芯片封装正面贴于第二载板14上并在封装中间位置进行贯穿开孔;

[0050] S6、在S5中的开孔处制作第二布线层4,并将第二布线层4连接到下层芯片2的背面;其中,所述第二布线层4包括导电铜柱以及设置在导电铜柱上的布线。

[0051] S7、对S6中的下层芯片2使用第三塑封体10进行第三次塑封,并去除第二载板14;

[0052] S8、去除第二载板后,对上层芯片1的正面开孔,露出其焊盘,并通过第三布线层11将开孔的上层芯片1与所述第二布线层4连接,实现上层芯片1的正面与下层芯片2的背面互

连,如图7所示;

[0053] S9、使用第四塑封体8在第二塑封体6的正面进行第四次塑封;

[0054] S10、在所述第一布线层3以及上层芯片1的焊盘上开孔,在开孔中制作通孔金属体7;

[0055] S11、在所述通孔金属体7上方制作介质层15,并对介质层15进行开孔,在所述介质层15的开孔处制作第四布线层16,并在介质层15上方制作与第四布线层16连接的焊盘9,得到如图1所示的结构。其中,所述第四布线层16包括金属引脚。

[0056] 进一步地,所述第一布线层3设置在上层芯片1和下层芯片2的间隙中。

[0057] 方法在上层芯片1和下层芯片2的间隙中布线以及开孔,以及在左右芯片之间的空隙中开孔设置第二布线层4的方式,充分利用芯片之间的竖直以及水平方向的空间,提高了芯片的集成度,节约面积,能扩充更多芯片。此外,本方法以两个堆叠单元为例进行说明,也适用于多个堆叠单元的情况,并不理解为对本方法的限定。

[0058] 在另一示例性实施例中,基于所述封装方法,提供一种芯片双面互连的堆叠封装结构,如图2-图3所示,包括依次连接的堆叠单元,所述堆叠单元包括上层芯片1和下层芯片2,所述上层芯片1的背面通过第一布线层3与下层芯片2正面连接,某个堆叠单元中上层芯片1的正面通过第二布线层4与下一个相邻的堆叠单元中下层芯片2的背面连接,所述第二布线层4设置在相邻两个堆叠单元的间隙中,所述第一布线层3设置在上层芯片1和下层芯片2的间隙中;

[0059] 所述下层芯片2设置在第一塑封体5中,所述上层芯片1设置在第二塑封体6中,首个所述堆叠单元的下层芯片2以及最后一个所述堆叠单元的上层芯片1引出通孔金属体7。

[0060] 具体地,以两个堆叠单元为例,上层芯片1和下层芯片2均只包括一个芯片,两个下层芯片2的正面均通过第一布线层3与相应的上层芯片1的背面连接,实现上芯片到下芯片的互连,然后上层芯片1(左上角芯片)的正面通过第二布线层4连接下层芯片2(右下角芯片)的背面,实现两个堆叠单元之间的互连,最终实现上层芯片1和下层芯片2的双面互连。其中,第二布线层4为导电铜柱或其他金属块。

[0061] 该结构充分利用了芯片之间的竖直以及水平方向的空间,既提高了芯片的集成度,节约面积,能扩充更多芯片,如图2所示,多个堆叠单元之间以相同的连接方式连接。以此堆叠单元为重复单元可在同一塑封体中实现多芯片、小面积芯片的双面互连,其中,具体的堆叠单元的个数根据实际需求进行设计。

[0062] 进一步地,在所述第二塑封体6上连接有第四塑封体8,在所述第四塑封体8上设置介质层15,所述介质层15中设有第四布线层16,所述第四布线层16的下端与所述通孔金属体7连接,所述第四布线层16的上端连接有设置在第四塑封体8上的焊盘9。

[0063] 进一步地,所述上层芯片1通过第三布线层11与所述第二布线层4连接。

[0064] 进一步地,所述下层芯片2的背面连接有第三塑封体10,所述第三塑封体10与所述第一塑封体5连接,所述第二布线层4从所述第三塑封体10中延伸连接至所述下层芯片2的背面。

[0065] 进一步地,所述上层芯片1与所述第一布线层3通过焊接层12连接。

[0066] 进一步地,所述焊接层12的焊接方法包括银胶、共晶以及涂胶等方法,在此不进行限定。

[0067] 以上具体实施方式是对本发明的详细说明,不能认定本发明的具体实施方式只局限于这些说明,对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演和替代,都应当视为属于本发明的保护范围。

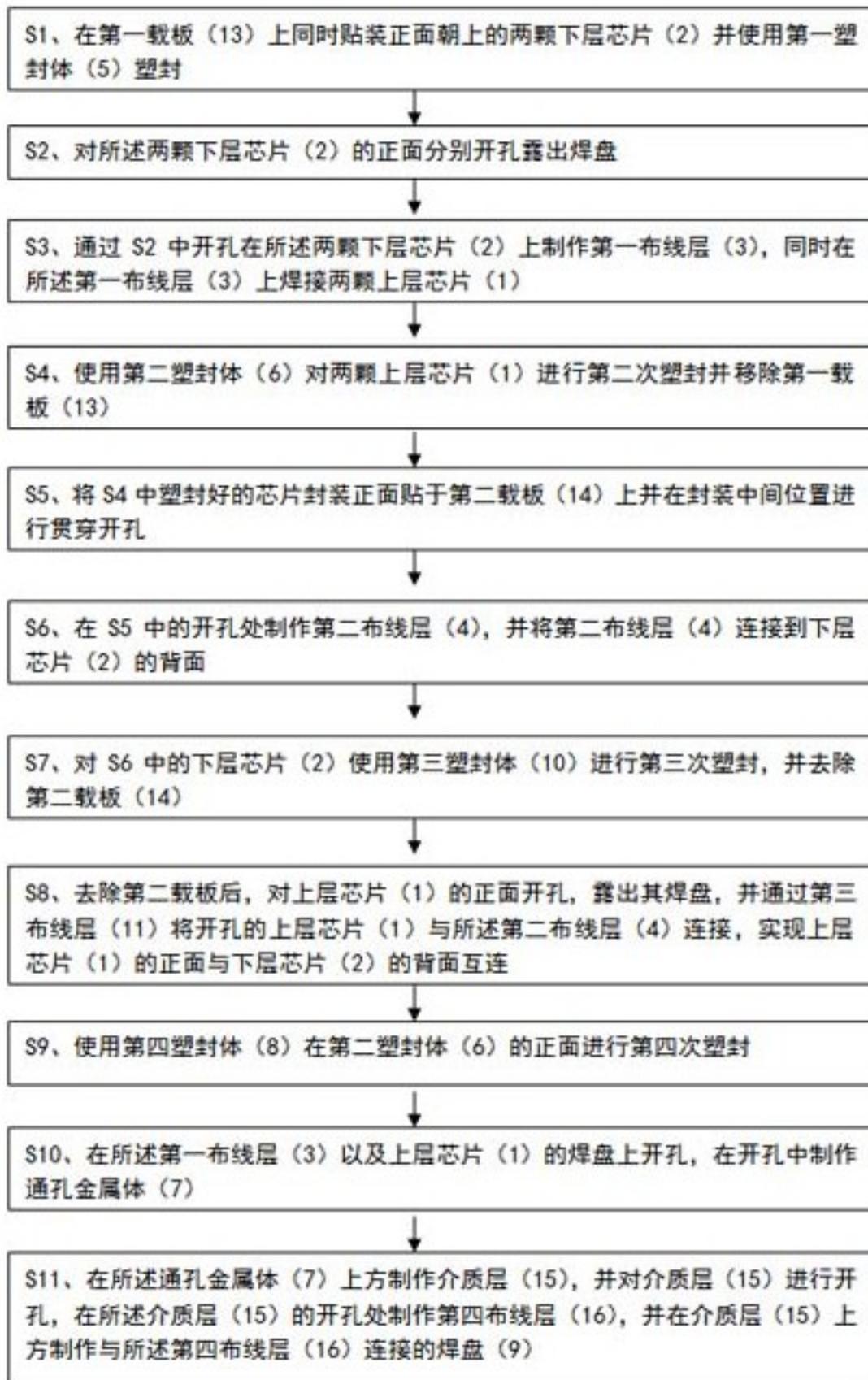


图1

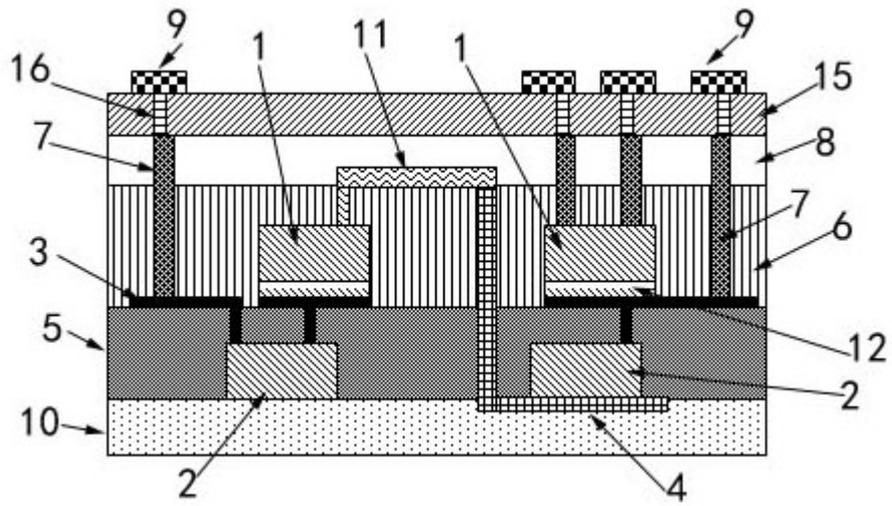


图2

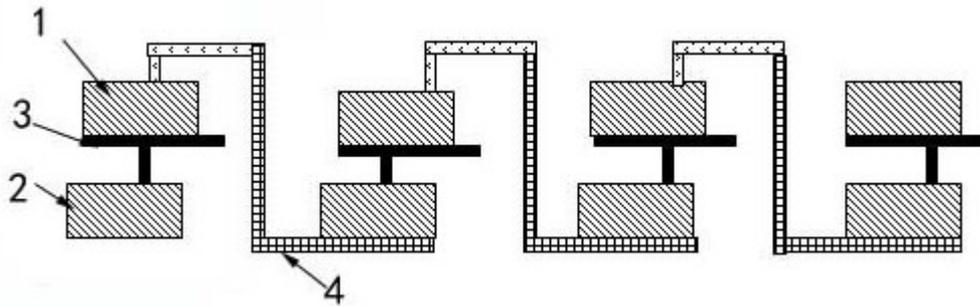


图3

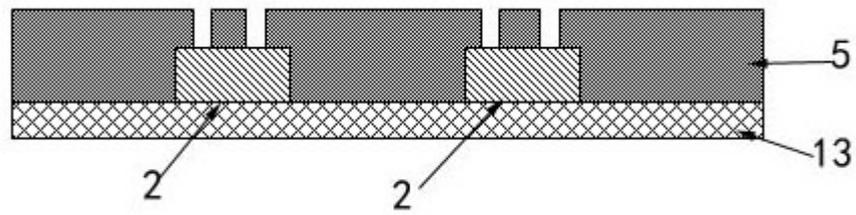


图4

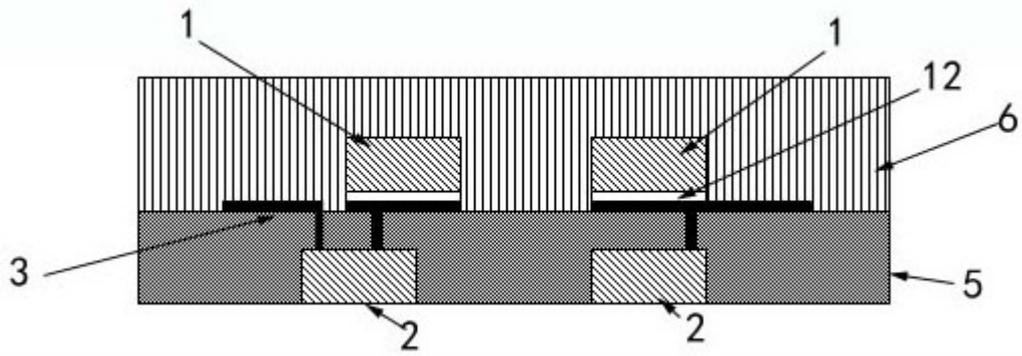


图5

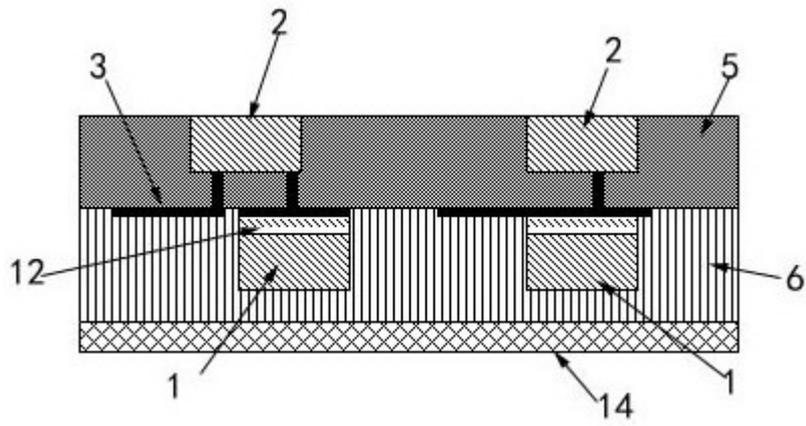


图6

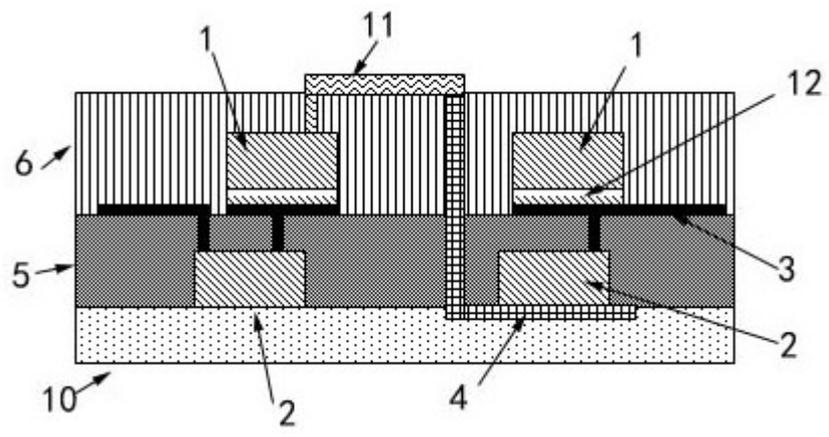


图7