

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
H01L 27/10

(11) 공개번호 특1998-064621  
(43) 공개일자 1998년10월07일

(21) 출원번호	특1997-073666
(22) 출원일자	1997년12월24일
(30) 우선권주장	96-347169 1996년12월26일 일본(JP)
(71) 출원인	가부시키가이샤히타치세이사쿠쇼 가나이쓰토무
(72) 발명자	일본국 도오쿄오토 치요다쿠 간다스루가다이 4쵸오메 6반치 코바야시타카시 일본국 사이타마켄 토코로자와시 카미야스마쯔 18-19 카타야마아쯔코
(74) 대리인	일본국 사이타마켄 토코로자와시 시모토미 1303-9 임석재, 윤우성

**심사청구 : 없음**

**(54) 불휘발성 기억소자를 가지는 반도체 장치 및 그 제조 방법**

**요약**

본 발명은 약  $2 \times 10^{20}$  atom/cm<sup>3</sup> 또는 그 이상,  $2 \times 10^{21}$  atom/cm<sup>3</sup> 또는 그 이하 사이의 범위의 질소 원자가 도입된, 반도체 장치에서 절연막으로서 사용되는 산화규소막(SiO<sub>2</sub>)을 가진, 반도체 장치이다. 예컨대, 본 장치는 불휘발성 기억소자일 수 있으며, 산화규소막은, 예를 들어 불휘발성 기억소자의 부유 게이트 전극 및 제어 게이트 전극간에 절연막으로서 사용될 수 있다. 불휘발성 기억소자의 안정한 동작과 전하유지 특성은 불휘발성 기억소자의 미세화시에도 얻어진다. 또한, 프로그래밍 전압의 저감화가 가능하다. 반도체 장치의 제조 방법 또한 설명되었다.

**대표도**

**도1**

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 실시예 1의 플래쉬 메모리(반도체 장치)의 요부 단면도,  
 도 2의 (a)에서 (c)까지는 도1의 플래쉬 메모리의 제조 방법을 설명하는 단면도,  
 도 3의 (a)에서 (c)까지는 도2의 플래쉬 메모리의 제조 방법을 설명하는 단면도,  
 도 4는 산화규소막의 전계 및 리키지(leakage) 전류와의 관계를 도시하며,  
 도 5는 산화규소막의 전계 및 리키지 전류와의 관계를 도시하며,  
 도 6은 산화규소막중의 질소 원자 농도 분포를 도시하며,  
 도 7은 산화규소막중의 질소 원자 농도 및 리키지 전류와의 관계를 도시하며,  
 도 8은 전하유지 특성(retention capability)을 도시하며,  
 도 9의 (a)에서 (c)까지는 본 발명의 실시예 2의 플래쉬 메모리(반도체 장치) 제조 방법을 설명하는 단면도,  
 도 10의 (a)에서 (d)까지는 도9의 (a)에서 (c)까지의 플래쉬 메모리 제조 방법을 설명하는 단면도,  
 도 11은 산화규소막중의 질소 및 수소 원자 농도 분포를 도시하며,  
 도 12는 산화규소막중의 질소 및 수소 원자 농도 분포를 도시하며,  
 도 13의 (a)에서 (d)까지는 본 발명의 실시예 3의 플래쉬 메모리(반도체 장치) 제조 방법을 설명하는 단면도,  
 도 14의 (a)에서 (d)까지는 도13의 (a)에서 (d)까지의 플래쉬 메모리 제조 방법을 설명하는 단면도,  
 도 15의 (a)에서 (e)까지는 본 발명의 실시예 4의 플래쉬 메모리(반도체 장치) 제조 방법을 설명하는 단면도,

도 16의 (a)에서 (d)는 도15의 (a)에서 (e)까지의 플래쉬 메모리 제조 방법을 설명하는 단면도,  
 도 17은 게이트 길이 및 문턱치 전압과의 관계를 도시하며,  
 도 18의 (a)에서 (c)까지는 본 발명의 실시예 5의 반도체 장치 제조 방법을 설명하는 단면도,  
 도 19의 (a)에서 (d)까지는 도18의 (a)에서 (c)까지의 반도체 장치 제조 방법을 설명하는 단면도,  
 도 20은 습식 산화에 의한 수소 원자 환원 전후의 프로그래밍/삭제로 인한 문턱치 전압 변화값을 도시한 것이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것이며, 특히 부유 게이트 전극 및 제어 게이트 전극사이에 형성된 절연막을 포함하는 불휘발성 기억소자를 구비한 반도체 장치에 관한 기술이다. 본 발명은 특히 플래쉬 메모리 같은 불휘발성 기억소자(예를 들어, 스택형 메모리; 스플릿(split) 게이트형 메모리; 다양한 게이트간에 절연막을 가지는, 제어 및 부유 게이트에 부가하여 삭제 게이트를 임의적으로 구비하는 스택형 메모리 또는 스플릿형 메모리를 포함하는)에 특히 관련된다.

반도체 장치로서 플래쉬 메모리라 칭하는 불휘발성 기억소자가 있다. 플래쉬 메모리는 휴대성 및 내충격성에서 우수하고, 온-보드에서 전기적으로 벌크 삭제를 허용하므로, 미래의 소형 휴대 정보기기의 파일 메모리로서 기대된다.

플래쉬 메모리에는 메모리 유닛으로서 불휘발성 기억소자를 사용하는 복수 메모리 셀의 매트릭스같은 배열에 의하여 구성된 메모리 셀 어레이부(memory cell array section)가 제공된다. 불휘발성 기억소자는 예를 들어, 단결정(single crystalline) 규소로 이뤄진 반도체 기판 표면에 구성된다.

전술한 불휘발성 기억소자는 주로 채널 영역으로서 작용하는 반도체 기판, 제1 게이트 절연막, 부유 게이트 전극, 제2 게이트 절연막, 제어 게이트 전극, 소스 영역 및 드레인 영역으로서 작용하는 한 쌍의 반도체 영역(또한 불순물 확산층(impurity diffusion layers)이라고 칭한다)을 구비한다. 불휘발성 기억소자는 반도체 기판의 제어 게이트 전극에 양전압을 인가함으로써 반도체 기판의 부유 게이트 전극으로 전자를 주입하며, 메모리 셀 트랜지스터의 문턱치 전압차에 따라 1비트 데이터(0 또는 1)를 저장한다. 또한, 제1 게이트 절연막은 반도체 기판 및 부유 게이트 전극 사이에 형성된 터널 절연막을 나타낸다. 또한, 제2 게이트 절연막은 부유 게이트 전극 및 제어 게이트 전극 사이에 형성된, 예컨대 층간 절연막을 나타낸다.

불휘발성 기억소자의 경우에, 부유 게이트 전극과 제어 게이트 전극은 각각 다결정(polycrystalline) 규소막에서 형성되며, 제1 게이트 절연막과 제2 게이트 절연막은 각각 산화규소( $\text{SiO}_2$ )막에서 형성된다. 제1 게이트 절연막으로서 작용하는 산화규소막은 단결정 규소로 이뤄진 반도체 기판 표면에 열산화(thermal oxidation) 처리를 함으로써 형성되며, 제2 게이트 절연막으로서 작용하는 산화규소막은 다결정 규소막으로 이뤄진 부유 게이트 전극 표면에 열산화 처리를 함으로써 형성된다.

다결정 규소막으로 이뤄진 부유 게이트 전극 표면에 형성된 산화규소막은 낮은 항복(breakdown) 전압을 가지며, 단결정 규소로 이뤄진 반도체 기판 표면에 형성된 산화규소막에 비하여 열등한 전하유지 특성을 가진다. 그러므로, 4[Mbit] 이후의 플래쉬 메모리의 경우에 단층의 산화규소막 대신에 부유 게이트 전극상에 산화규소막, 질화규소( $\text{Si}_3\text{N}_4$ )막, 산화규소막 순으로 적층함으로써 얻어지는 적층막, 소위 ONO(Oxide/Nitride/Oxide)막이 제 2게이트 절연막으로서 형성된다. 이것은 산화규소막으로 환산한 막 두께가 동일할 때, ONO막이 산화규소막에 비하여 적은 리키지 전류를 가지기 때문이다. 본 기술은 IEEE 트랜잭션 온 일렉트론 디바이스, 38(1991) pp.386-391(IEEE Transaction on Electron Devices)에 논의 되었다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 플래쉬 메모리의 집적도가 향상됨에 따라, 제 2게이트 절연막으로서 ONO막을 사용한 경우 새로운 문제점들이 발생하였다. 문제점들 중 하나는 불휘발성 기억소자의 미세화(scaling)에 따라 처리 온도가 하강하는 것이다. ONO막은 통상 다결정 규소막으로 이뤄진 부유 게이트 전극 표면의 열산화에 의해 하층의 산화규소막을 형성하고, 그 후 하층의 산화규소막상에 저압 화학적 기상 성장(Low Pressure Chemical Vapor Deposition, (LPCVD))법에 의하여 질화규소막을 형성하며, 최종적으로 질화규소막 표면의 열산화에 의하여 상층의 산화규소막을 형성함으로써 형성된다. 그러나, 질화규소막의 산화는 900 °C 또는 그 이상의 고온을 요하므로, 소스 영역 및 드레인 영역을 형성한 후에 제 2게이트 절연막을 형성할 때 LSI(Large Scale Integrated Circuit)의 미세화에 필수적인 얇은 접합의 형성이 어려우며, 이것은 플래쉬 메모리의 집적도 향상을 방해하는 인자이다.

전술한 열산화 프로세스에만 의하면, 약 800°C의 저온에서도 단층 산화규소막의 제2 게이트 절연막의 형성이 가능하다. 그러나, 본 프로세스는 산화온도가 내려감에 따라 산화규소막의 두께가 부유 게이트 전극의 측벽의 정상 단부에서 감소하며, 전계 농도가 이 부분에서 현저해지고, 리키지 전류가 증가하는 문제점을 가지고 있다. 더욱이, 단층 산화규소막이 열산화법 대신 LPCVD 법에 의하여 약 750°C의 저온에서 형성되어, 이것을 불휘발성 기억소자의 제2 게이트 절연막으로서 사용하는 기술도 제안되고 있다. LPCVD 법을 사용하면, 열산화법을 사용하는 것에 비하여 산화규소막의 리키지 전류의 감소가 가능하다. 그러나, LPCVD 법의 효과는 충분하지 않으며, 특히 불휘발성 기억소자에 본 프로세스를 적용시키기는 어렵다.

또 다른 문제점은 제2 게이트 절연막 두께가 감소한다는 것이다. 불휘발성 기억소자의 프로그래밍/삭제 동작으로 부유 게이트 전극에 인가될  $V_{fg}$  전압은 다음 식(1)에서 보여진다.

$$V_{fg} = C_2 V_{cg} / (C_1 + C_2)$$

상기 수식에서,  $V_{cg}$ 는 제어 게이트 전극에 인가된 전압을 나타내며,  $C_1$ 은 제 1 게이트 절연막의 용량을 나타내며,  $C_2$ 는 제2 게이트 절연막의 용량을 나타낸다. 제어 게이트 전극에 인가된 전압을 효율있게 부유 게이트 전극에 전달하고, 프로그래밍 전압을 낮추기 위해서는 제2 게이트 절연막의 두께를 감소시키며,  $C_2$ 를 증가시키는 것이 효과적이다. 그러나, 통상적인 ONO막은 상층 및 하층의 산화규소막의 두께를 5nm 또는 그 이하로 세트하면, 부유 게이트 전극에 축적된 전하가 제어 게이트 전극으로 누설되는, 소위 전하유지 불량가 활성화되는 문제점을 가지고 있다. 더욱이, 상층의 산화규소막을 5nm의 두께로 형성하기 위해서는, 질화규소막의 두께를 10nm 또는 그 이상으로 형성하여, 부유 게이트 전극으로서 사용되는 하층의 다결정 규소막의 산화를 방지하는 것이 필수적이다. 그러므로, ONO막의 박막화는 산화규소막으로 환산하여 15nm 정도가 한계이다. 현재로서는, 제1 게이트 절연막의 두께를 감소시키기 어려우므로, 새로운 제2 게이트 절연막 형성 프로세스의 개발이 기대되고 있었다.

본 발명의 목적은, 통상적인 ONO막에 비하여 저온에서 적은 리키지 전류를 가지는 게이트 절연막과, 더 적은 크기(고집적화)에서도 안정한 동작 및 충분한 전하 유지 특성을 가지는 반도체 장치(예컨대, 불휘발성 기억소자)와 이 반도체 장치의 제조 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 두 개의 게이트 전극과 그 사이에 절연막(예컨대, 부유 및 제어 게이트 전극과 그 사이의 절연막)을 가지며, 상기 절연막은 단지 소량의 리키지 전류를 가지는 것을 특징으로 하는 반도체 장치(예컨대, 플래시 메모리 같은 불휘발성 기억소자)와, 본 반도체 장치의 제조 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 통상적인 ONO막을 사용하는 경우에 비하여, 얇은 게이트 절연막과 더 낮은 프로그래밍 전압의 형성을 가능하게 해주는 기술을 제공하는 것이다.

상기 문제점들은 제2 게이트 절연막으로서 산화규소막 또는 산화규소막 및 질화규소막의 적층막을 사용함으로써, 그리고 질소를 산화규소막으로 도입하여 산화규소막의 최대 질소 원자 농도가 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 정도로 도달하게 함으로써 해결된다. 또한, 산화규소막의 최대 질소 원자 농도가 약  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하인 것이 더욱 바람직하다. 더욱이, 산화규소막의 최대 수소 원자 농도를  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이하로 설정함으로써, 더 많은 이점들이 획득된다.

### 발명의 구성 및 작용

본 발명의 반도체 장치는 제1 규소막(예컨대, 제1 다결정 규소막) 및 제1 규소막 위의 제2 규소막(예컨대, 제2 다결정 규소막)사이의 산화규소막을 가지며, 질소를 산화규소막으로 도입하여, 산화규소막에서 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는 약  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하의 최대 질소 원자 농도를 유지하는 것이 특징적이다. 반도체 장치가 불휘발성 기억소자를 포함하고 있을 때, 제1 규소막은 부유 게이트 전극에 해당되고, 산화규소막은 제2 게이트 절연막에 해당되며, 제2 규소막은 제어 게이트 전극에 해당한다. 이 경우에서, 인(P)과 같은 n형 불순물은 일반적으로 제1 규소막과 제2 규소막 각각으로 도입된다. 제2 게이트 절연막으로서 산화규소막을 사용함으로써, 종래의 ONO막에서는 실현 불가능한 15nm 또는 그 이하의 막두께의 실현을 가능하게 한다.

상기 산화규소막은 예를 들면 소스 가스로서 모노실란(SiH<sub>4</sub>)과 일산화질소(N<sub>2</sub>O)를 사용하는 LPCVD 법에 의하여 형성된다. 본 프로세스에 따르면, 700°C에서 800°C의 저온에서 산화규소막 형성이 가능하다. 그러나, 상기한 바와 같이 불휘발성 기억소자의 제2 게이트 절연막으로서 LPCVD 법에 의하여 형성된 산화규소막을 비로 사용하는 것은 어렵다. 이것은 산화규소막은 많은 리키지 전류를 가지고, 전원이 차단되어 전자가 부유 게이트 전극에 주입된 후 불휘발성 기억소자가 그대로 남겨졌을 때, 부유 게이트 전극에 축적된 전자는 제어 게이트 전극으로 새어나가 그 결과 전하유지 불량가 발생하기 때문이다. 더욱이, 다량의 리키지 전류로 인하여, 불휘발성 기억소자의 문턱치 전압을 올리기 위하여 전자를 부유 게이트 전극으로 주입할 때, 주입된 전자는 제어 전극측으로 빠져나가서 문턱치 전압이 충분히 올라가지 않으며, 기록 및 삭제 문턱치 원도가 확보되지 않는다는 문제점들이 또한 발생한다. 우리 연구의 결과, 산화규소막의 리키지 전류는 산화규소막에 존재하는 E' 센터라고 칭하는 결점에서 야기된다는 것이 명료해졌다.

E' 센터는 규소와 비슷한 스핀센터의 고온 수소화함에 의한 감소된 다중규소 TFT 문턱치 전압 불안정성(Reduced Poly-Si TFT Threshold Voltage Instability By High-Temperature Hydrogenation of a Si-Like Spin Centers) Y. Kamigaki, et al., 12~17 페이지. 33th annual proceedings reliability Physics, 1995의 기사에 설명되었으며, 여기에 그 전부가 참조용으로 사용되었다. 간략하게, E' 센터는 Si≡O<sub>3</sub>이며, 본 결점은 본 구조에서 N-Si=O<sub>3</sub>를 형성하도록 적용되는 질소를 어닐링(annealing)함으로써 제거되어 E' 센터를 제거할 수 있다.

그러므로, 본 발명의 경우에서, 리키지 전류는 NH<sub>3</sub>환경(예컨대, 대기)에서 산화규소막을 어닐링함으로써, 그리고 질소 원자로 E' 센터를 종단함으로써 감소된다. 산화규소막의 리키지 전류는 산화규소막의 질소 원자 농도에 의한다. 리키지 전류를 감소시키고, 전하유지 불량을 제어하고 문턱치 전압 원도를 확보하기 위해서는 산화규소막중의 최대 질소 원자 농도를 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times$

$10^{21}$  atoms/cm<sup>3</sup> 또는 그 이상을 유지하는 것이 필수적이다. 이 경우에, 산화규소막의 중간 영역에서의 질소 원자는 막의 상층 및 하층 영역에서의 질소 원자보다 적게 존재한다. 상기 질소 원자 농도를 얻기 위해서는, 온도 범위 750°C에서 900°C, 바람직하게는 800°C에서 850°C에서의 NH<sub>3</sub>환경(예컨대, 대기)에서 어닐링을 실행하는 것이 필수적이다. 따라서, 종래의 ONO막의 경우에 비하여, 게이트 절연막 형성 프로세스의 온도를 낮추는 것이 가능하다. 바람직하게는, 질소를 포함하는 환경(예컨대, 암모니아 대기)에서의 어닐링은 최대 온도 900°C에서이며, 예컨대 암모니아 대기에서 이러한 온도에서는, 질소는 최대 양  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 으로 산화규소막에서 적용될 수 있다. 바람직한 최대 질소 농도는 어닐링 온도에 관계한다.

더욱이, 산화규소막에서 최대 수소 원자 농도를  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이하로 유지함으로써, 본 발명이 보다 바람직하게 된다. 이것은 산화규소막에 존재하는 수소 원자가 전자 트랩(trap)을 형성하기 때문이다. 수소 원자가 존재하면, 프로그래밍/삭제가 실행될 때 전자는 제2 게이트 절연막에 축적되며, 제2 게이트 절연막에 축적된 전자는 그후의 방치상태로 인하여 제어 게이트 전극으로 방전이 되어, 결국에 전하유지 불량이 발생한다. 상기한 수소 원자를 감소시키기 위하여, 800°C에서 900°C, 바람직하게는 850°C에서 단시간 습식 산화(wet oxidation)를 실행하는 것이 필수적이다.

더욱이, 본 발명은 산화규소막중의 질소 원자 농도를 제어하여, 산화규소막의 상층 영역(제어 게이트 전극에 근접한)에서의 질소 원자 농도가 막의 하층 영역에서의 질소 원자 농도보다 적게 함으로써 바람직하게 된다. 이러한 질소 원자 농도 분포는 상기 습식 산화를 실행함으로써 달성된다.

본 발명은 불휘발성 기억소자를 가지는 반도체 장치에 한정되는 것은 아니다. 예컨대, 능동층으로서 상기 제1 규소막과 제2 규소막 중 하나를 사용하고, 게이트 전극으로서 다른 하나를 사용하고, 게이트 절연막(능동층 및 게이트 전극간에 형성된 절연막)으로서 상기 산화규소막을 사용하는 MOS(산화규소 반도체, Metal Oxide Semiconductor) 트랜지스터를 구비하는 반도체 장치에 본 발명을 적용시킴으로써 효과를 또한 얻을 수 있다. MOS 트랜지스터는 SRAM(스태틱 RAM, Static Random Access Memory)의 메모리 셀용으로 사용되는 부하용 MOS 트랜지스터와 액정 디스플레이용으로 사용되는 구동용 MOS 트랜지스터를 포함한다.

또한, 하부 전극으로서 제1 규소막, 상부 전극으로서 제2 규소막, 절연막으로서 산화규소막을 사용하는 커패시터를 가지는 반도체 장치에 본 발명을 적용시킴으로써 효과를 얻을 수 있다.

이하, 본 발명의 실시예를 도면을 참조로 하여 자세히 설명한다. 이들 실시예는 예시의 목적일 뿐, 본 발명은 이에 한정되는 것은 아니며 첨부된 청구범위에 의해 한정된다.

본 발명의 실시예를 설명하는 도면에서, 동일한 기능을 가지는 구성 요소에는 동일한 기호가 사용되었으며, 각각의 설명은 생략되었다.

#### 실시예 1

본 실시예에서, 불휘발성 기억소자를 가지는 반도체 장치로서 NOR형 플래쉬 메모리에 본 발명이 적용되는 경우를 설명한다.

도 1은 NOR형 플래쉬 메모리의 요부 단면도이다.

본 실시예의 플래쉬 메모리에는 도 1에 도시된 불휘발성 기억소자(Qe)를 하나의 메모리 유닛으로서 사용하는 복수 메모리 셀이 매트릭스처럼 배열되어 있는 메모리 셀 어레이부(memory cell array section)가 제공되었다.

상기 플래쉬 메모리는 단결정 규소로 이루어지고 면 방위(surface orientation)(100)를 가지는 P형 반도체 기판(201)을 구비한다. 필드 절연막(202)은 P형 반도체 기판(201) 표면의 비활성 영역에서 형성되며, 불휘발성 기억소자(Qe)는 주변(예컨대, 원주)이 필드 절연막(202)에 의해 규정되는 P형 반도체 기판(201) 표면의 활성 영역에서 구성된다.

불휘발성 기억소자(Qe)는 주로 채널 영역으로 사용되는 P형 반도체 기판(201), 제1 게이트 절연막(203), 부유 게이트 전극(204), 제2 게이트 절연막(205), 제어 게이트 전극(207), 펀치-쓰루 스톱퍼(punch-through stopper)영역(208), 소스 영역(209), 드레인 영역(210)을 구비한다. 이 경우에서, 제1 게이트 절연막(203)은 P형 반도체 기판(201) 및 부유 게이트 전극(204)사이에 형성된 터널 절연막을 나타낸다. 또한, 제2 게이트 절연막(205)은 부유 게이트 전극(204) 및 제어 게이트 전극(207)사이에 형성된 층간 절연막을 나타낸다.

제1 게이트 절연막(203)은 P형 반도체 기판(201) 표면에 열산화 처리를 하여 형성된 산화규소막으로 이뤄져 있다. 부유 게이트 전극(204)은 n형 불순물이 도입된 다결정 규소막으로 이루어져 저항값을 감소시킨다. 제2 게이트 절연막(205)은 소스 가스로서 SiH<sub>4</sub> 와 N<sub>2</sub>O를 사용하는 LPCVD 법에 의해 형성된 산화규소막으로 이루어졌다. 산화규소막에 질소가 첨가되어 리키지 전류가 감소된다. 제어 게이트 전극(207)은 n형 불순물이 도입된 다결정 규소막으로 이루어져, 저항값을 감소시킨다.

펀치-쓰루 스톱퍼 영역(208)은 P형 반도체 기판(201) 표면으로 도입된 p형 불순물을 가지는 P형 반도체 영역을 구비한다. 소스 영역(209)과 드레인 영역(210)은 P형 반도체 기판(201) 표면으로 도입된 n형 불순물을 포함하는 한쌍의 n형 반도체 영역을 구비한다.

전극(212)은 층간(interlayer) 절연막(211)을 관통하여 형성된 접속 구멍을 통하여 소스 영역(209)에 전기적으로 연결되어 있으며, 또한 전극(212)은 층간 절연막(211)을 관통하여 형성된 접속 구멍을 통하여 드레인 영역(210)에 전기적으로 연결되어 있다.

다음, 불휘발성 기억소자(Qe)를 하나의 메모리 유닛으로 사용하는 메모리 셀의 제조방법이 도 2의 (a)에서 (c), 도 3의 (a)에서 (c)(제조 방법을 설명하는 단면도)를 참조로 하여 아래에 설명한다.

먼저, 단결정 규소로 이뤄지고, 면 방위(100)를 가지는 P형 반도체 기판(201)을 준비한다. 다음, 산화규

소막으로 이뤄진 필드 절연막(202)을 주지된 선택산화법(local oxidation)에 의해 P형 반도체 기판(201) 표면의 비활성영역에 형성한다. 필드 절연막(202)은 약 500nm의 두께로 형성되었다. 도 2의 (a)에 본 실시예의 본 단계까지의 프로세스가 도시되어 있다.

다음, 열산화 처리가 P형 반도체 기판(201) 표면의 활성 영역에 적용되어, 산화규소막으로 이뤄진 제1 게이트 절연막(203)을 형성한다. 제1 게이트 절연막(203)은 약 10nm의 두께로 형성한다.

다음, n형 불순물(예컨대, 인)이 도입된 다결정 규소막(304)을 제1 게이트 절연막(203) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 다결정 규소막(204)은 약 200nm의 두께로 형성한다.

다음, 패터닝(patterning)을 다결정 규소막(204)에 적용한다. 패터닝은 예컨대, 표준 사진 석판술(standard photolithography)과 건조 에칭 기술(dry etching techniques)에 의해 실행된다. 도 2의 (b)에 본 단계까지의 프로세스가 도시되었다.

다음, 산화규소막(205)을 예컨대, 12nm의 두께로 다결정 규소막(204) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 산화규소막(205)은 소스 가스로서  $\text{SiH}_4$ 와  $\text{N}_2\text{O}$ 를 사용하는 LPCVD 법에 의하여 형성한다. 이 경우에, 형성 온도는 750°C이다.

다음, 상기 단계가 완료된 직후에,  $\text{NH}_3$  환경에서 어닐링을 행하여 상기 산화규소막(205)에 질소를 도입한다. 도 2의 (c)는 이 단계까지의 프로세스를 도시하였다.

다음, n형 불순물(예컨대, 인)이 도입된 다결정 규소막(207)을 산화규소막(205)의 전 표면상에 형성한다. 다결정 규소막(207)은 예컨대, 약 200nm의 두께로 형성한다. 도 3의 (a)에는 이 단계까지의 프로세스가 도시되었다.

다음, 게이트 길이 방향의 폭을 규정하는 패터닝을 다결정 규소막(207), 산화규소막(205), 다결정 규소막(204)에 순차적으로 적용하여, n형 불순물이 도입된 다결정 규소막(207)으로 이뤄진 제어 게이트 전극(207)과, 질소가 첨가된 산화규소막으로 이뤄진 제2 게이트 절연막(205)과, n형 불순물이 첨가된 다결정 규소막(204)으로 이뤄진 부유 게이트 전극(204)을 형성한다. 상기 전극과 막은 사진 석판술과 건조 에칭 기술에 의하여 패턴화된다. 이 프로세스에서, 도시하지는 않았지만, 제어 게이트 전극(207)에 일체화된 워드 라인(word line) 또한 형성되었다. 도 3의 (b)에 이 단계까지의 프로세스가 도시되어 있다.

다음, P형 반도체 기판(201) 표면의 활성 영역에 이온 주입법으로 p형 불순물(예컨대, 붕소)을 선택적으로 도입시켜 P형 반도체 영역을 구비하는 펀치-쓰루 스톱퍼 영역(208)을 형성한다.

다음, P형 반도체 기판(201) 표면의 활성 영역에 이온 주입법으로 n형 불순물(예컨대, 비소)을 선택적으로 도입시켜 한 쌍의 n형 반도체 영역을 구비하는 소스 영역(209)과 드레인 영역(210)을 형성한다. 이 프로세스에서, 불휘발성 기억소자(Qe)가 형성된다. 도 3의 (c)에 이 단계까지의 프로세스가 도시되어 있다.

다음, 층간 절연막(211)을 제어 게이트 전극(207) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 이후, 소스 영역(209)과 드레인 영역(210)에 걸쳐있는 접속 구멍을 층간 절연막(211)상에 형성한다.

다음, 셀이 접속 구멍을 포함하는 층간 절연막(211)의 전 표면상의 금속막을 형성하고, 이후 금속막을 패터닝하여 전극(212)을 형성하는 것에 의하여 도 1에 도시된 불휘발성 기억소자(Qe)를 하나의 메모리 유닛으로서 사용하는 메모리 셀이 거의 완성된다.

상기 제조 방법에 의하여 형성된 불휘발성 기억소자(Qe)의 특성을 아래에 설명한다. 이 경우에,  $\text{NH}_3$  환경에서 다양하게 변하는 어닐링 온도 및 시간에 의해 생성된 샘플들은 산화규소막(제2 게이트 절연막)(205)의 질소 원자 농도와 리키지 전류와 불휘발성 기억소자(Qe)의 특성을 비교하였다.

도 4와 도 5는 산화규소막(205)의 전류-전압 특성을 도시한다. 도 4는  $\text{NH}_3$  환경에서 어닐링 온도를 850°C로 설정하고, 어닐링 시간을 변화시킴으로써 얻어지는 결과를 도시하며, 도 5는 어닐링 시간을 10분으로 설정하고, 어닐링 온도를 변화시킴으로써 얻어지는 결과를 도시하고 있다. 막 두께는 두 경우 모두에 있어서 12nm로 설정되어 있다. 도 4에서, 곡선 1은 무어닐링(종래 기술)을 나타내며, 곡선 2 및 3은 각각 10분과 40분(본 발명의 예시)의 어닐링 시간을 나타낸다. 도 5에서 곡선 4, 5 및 6은 각각 800°C, 850°C, 900°C의 어닐링 온도를 나타낸다. 도 4와 도 5의 결과로부터,  $\text{NH}_3$  환경에서 어닐링 시간 및 온도가 증가함에 따라 산화규소막(205)의 리키지 전류는 감소함이 밝혀졌다.

상술된 리키지 전류 감소는 산화규소막(205)중의 질소 원자 농도와 밀접한 연관을 가진다. 도 6은 제2 이온 질량분석계(secondary ion mass spectrometer, SIMS)에 의한 제어 게이트 전극(다결정 규소막, (207)), 제2 게이트 절연막(산화규소막, (205)), 부유 게이트 전극(다결정 규소막, (204))의 범위내에서의 질소 원자 분포의 측정 결과를 도시하고 있다. 곡선 7은 무어닐링(종래 기술)의 질소 원자 분포를 나타내는 반면, 곡선 8과 9는 각각 10분과 40분의 어닐링 시간에서의 질소 원자 분포를 나타내고 있다.

$\text{NH}_3$  환경에서의 어닐링으로부터,  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상의 질소 원자가 산화규소막(205)으로 도입됨이 밝혀졌다. 상층부 및 하층부에서의 산화규소막(205)의 질소 원자 농도는 중간 영역의 그것보다 높다. 더욱이,  $\text{NH}_3$  환경에서 어닐링 시간이 증가함에 따라 질소 원자 농도도 올라가는 것이 밝혀졌다.

도 7은 다양한 온도 및 시간에서 막(205)을 어닐링 할때, 산화규소막(205)의 질소 원자 농도 및 리키지 전류와의 관계를 도시한 것이다. 이 경우에, 산화규소막(205)의 질소 원자 농도는 막(205)의 하층부에서의 값을 사용하였다. 리키지 전류는 전자를 부유 게이트 전극(204)으로 주입할 때, 제2 게이트 절연막(205)에 인가되는 7.5MV/cm의 최대 전계에 의하여 규정된다. 이 결과로부터, 산화규소막(205)의 리키지 전류는 어닐링 조건에 관계없이 막(205)의 질소 원자 농도에 달려있으며, 질소 원자 농도가 증가함에 따라 감소함이 밝혀졌다. 기록/삭제 시간에서 문턱치 전압 원도를 확보하고 전하유지 특성을 유지하기 위해

서는, 제2 게이트 절연막(205)의 리키지 전류를  $10^4$  또는 그 이하(도 7에 곡선 10으로 도시된 허용가능한 리키지 전류밀도)로 감소시키는 것이 필수적이다. 도 7에서, 상기 전류 레벨을 실현하기 위하여 산화규소막(205)의 질소 원자 농도를  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상으로 증가시키는 것이 필수적이다.

0.5 $\mu$ m 또는 그 이하의 게이트 길이를 가지는 미세화된 불휘발성 기억소자(Qe)를 제조하기 위하여, 900 $^{\circ}$ C 또는 그 이하로 프로세스 온도의 상한을 설정하는 것이 필수적이다. NH<sub>3</sub>에서 900 $^{\circ}$ C로 막(205)의 어닐링 온도를 설정하며, 상술한 SIMS 분석에 의하여 막(205)의 어닐링 시간을 변화시킴으로써 얻어지는 샘플들상에서 산화규소막(205)중의 질소 원자 농도를 측정된 결과, 질소 원자 농도는 약  $2 \times 10^{21}$  atoms/cm<sup>3</sup>에서 포화되며, 더 이상 질소 원자를 도입시키기가 어렵다. 그러므로, 산화규소막(205)중의 질소 원자 농도는 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하(도 7의 화살표 11로 도시된 장치의 실용적 제조방법 및 사용을 위한 영역)사이의 범위로 한정된다.

도 8은 NH<sub>3</sub> 환경에서 10분 동안 산화규소막(205)에 질소 원자를 도입하고, 불휘발성 기억소자(Qe)의 부유 게이트 전극(204)에 전자를 주입한 다음, 250 $^{\circ}$ C의 질소 환경에서 베이킹(baking) 처리를 하였을 때의 문턱치 전압의 변화를 도시한 것이다. 도 8은 또한 제2 게이트 절연막(205)(도 8의 곡선 (14))의 결과에 부가하여, 종래기술의 열산화규소막(12) 및 ONO막(13)의 결과가 도시되어 있다. 모든 막 두께는 12nm로 설정되어 있다.

NH<sub>3</sub> 환경에서 어닐된 산화규소막(205)은 통상적인 열산화규소막이나 ONO막에 비하여 적은 문턱치 전압 저하를 가지며, 불휘발성 기억소자(Qe)의 전하유지 특성이 향상되는 것으로 밝혀졌다. 이것은 상기한 바와 같이, 제2 게이트 절연막(205)의 두께가 12nm로 감소시, 산화규소막(205)의 리키지 전류는 열산화규소막과 ONO막의 경우에 비하여 감소되기 때문이다. 산화규소막(205)의 질소 원자 농도가 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하의 범위에서 유지된다면, 전하유지 특성은 거의 동일하다.

본 실시예에 따르면, 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이 범위의 질소 원자를 포함하는 CVD 산화규소막(205)을 불휘발성 기억소자(Qe)의 제2 게이트 절연막(205)으로 사용함으로써, 전하유지 특성이 향상되는 이점을 가진다.

#### 실시예 2

본 실시예에서는, 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이 범위의 막의 최대 질소 원자 농도를 가지며, 질소 분포를 최적화하며, 막에서의 수소 원자 농도를 감소시킴에 의하여 얻어지는 산화규소막이 불휘발성 기억소자의 제2 게이트 절연막으로서 사용되는 경우가 설명되어 있다.

먼저, 불휘발성 기억소자를 하나의 메모리 유닛으로 사용하는 메모리 셀의 제조방법에 도 9의 (a)에서 (c) 및 도 10의 (a)에서 (d)(제조방법을 설명하는 단면도)를 참조로 하여 아래에 설명되었다.

단결정 규소로 이뤄지고, 면 방위(100)를 가지는 P형 반도체 기판(201)을 준비한 후, 산화규소막으로 이뤄진 필드 절연막(202)을 통상적으로 공지된 선택산화법에 의하여 P형 반도체 기판(201) 표면의 비활성 영역에 형성한다. 필드 절연막(202)은 약 500nm의 두께로 형성된다. 도 9의 (a)에는 본 실시예의 본 단계까지의 프로세스가 도시되어 있다.

이후, 열화를 P형 반도체 기판(201) 표면의 활성 영역에 적용하여 산화규소막으로 이뤄진 제1 게이트 절연막(203)을 형성하였다. 제1 게이트 절연막(203)은 약 10nm의 두께로 형성된다.

이후, n형 불순물(예컨대, 인)이 도입된 다결정 규소막(204)을 제1 게이트 절연막(203) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 다결정 규소막(204)은 약 200nm의 두께로 형성된다.

이후, 패터닝을 다결정 규소막(204)에 적용한다. 이 패터닝은 사진 석판술과 건조 에칭 기술에 의하여 실행되었다. 도 9의 (b)에 본 단계까지의 프로세스가 도시되어 있다.

이후, 산화규소막(205)을, 예컨대, 12nm 두께로 다결정 규소막(204) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 산화규소막(205)은 소스 가스로서 SiH<sub>4</sub> 와 NO<sub>2</sub>를 사용하는 LPCVD 법에 의하여 형성된다. 이 경우에서, 형성 온도는 750 $^{\circ}$ C이다.

이후, 상기 단계를 수행한 직후에 NH<sub>3</sub> 환경에서 어닐링을 실행하여  $6 \times 10^{20}$  atoms/cm<sup>3</sup>의 질소 원자를 산화규소막(205)으로 도입시킨다.

이후, 습식 산화를 825 $^{\circ}$ C 온도에서 산화규소막(205)에 적용한다. 도 9의 (c)에 이 단계까지의 프로세스가 도시되어 있다.

이후, n형 불순물(예컨대, 인)이 도입된 다결정 규소막(207)을 산화규소막(205)의 전 표면상에 형성한다. 다결정 규소막(207)은 약 200nm의 두께로 형성되었다. 도 10의 (a)에 이 단계까지의 프로세스가 도시되어 있다.

게이트-길이 방향의 폭을 규정하는 패터닝을 다결정 규소막(207), 산화규소막(205), 다결정 규소막(204)에 적용하여, n형 불순물이 첨가된 다결정 규소막(207)으로 구성된 제어 게이트 전극(207)과, 질소가 첨가된 산화규소막(205)으로 이뤄진 제2 게이트 절연막(205)과, n형 불순물이 첨가된 다결정 규소막(204)으로 이뤄진 부유 게이트 전극(204)을 형성하였다. 이들 전극과 막의 패터닝은 사진 석판술과 건조 에칭 기술에 의하여 실행한다. 상기 단계에서 비록 미도시 되었지만, 제어 게이트 전극(207)과 일체화 워드 라인 또한 형성되었다. 도 10의 (b)에는 이 단계까지의 프로세스가 도시되어 있다.

다음, P형 반도체 기판(201) 표면의 활성 영역에 이온 주입법으로 p형 불순물(예컨대, 붕소)을 선택적으로 첨가하여 P형 반도체 영역을 구비하는 펀치-쓰루 스트퍼 영역(208)을 형성한다.

다음, P형 반도체 기판(201) 표면의 활성 영역에 이온 주입법으로 n형 불순물(예컨대, 비소)을 선택적으로 도입하여 한 쌍의 n형 반도체 영역을 구비하는 소스 영역(209)과 드레인 영역(210)을 형성한다. 이 프로세스에서, 불휘발성 기억소자(Qe)가 형성된다. 도 10의 (c)는 이 단계까지의 프로세스를 도시한다.

다음, 층간 절연막(211)을 제어 게이트 전극(207) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 이후, 소스 영역(209)과 드레인 영역(210)에 걸쳐 있는 접속 구멍을 층간 절연막(211)상에 형성한다.

다음, 금속막을 접속 구멍 내부를 포함하는 층간 절연막(211)의 전 표면상에 형성한 후, 패턴화하여 전극(212)을 형성한다. 따라서, 도 10의 (d)에 도시된 바와 같이, 불휘발성 기억소자(Qe)를 하나의 메모리 유닛으로서 사용하는 메모리 셀이 거의 완성된다.

본 실시예의 불휘발성 기억소자(Qe)는 실시예 1의 경우에 비하여 보다 긴 시간동안 전하 유지가 가능하다. 이것의 원인을 조사하기 위하여, 습식 산화 전후의 산화규소막(205)에서의 원자 농도 분포를 제2 이온 질량분석계에 의하여 관찰하였다.

도 11에 습식 산화전 산화규소막(205)에서의 질소 및 수소 농도 분포가 도시되어 있으며, 도 12에 습식 산화후 산화규소막(205)에서의 질소 및 수소 농도 분포가 도시되어 있다. 도 11에서 곡선 15 및 16은 각각 산화규소막(205)중의 수소와 질소의 농도를 나타낸다. 도 12에 곡선 17 및 18은 각각 산화규소막중의 수소와 질소의 농도를 나타낸다. 도 11와 도 12를 비교하여 보면, 산화규소막(205)에서의 수소 원자 농도가  $2 \times 10^{21} \text{ atoms/cm}^3$  에서  $2 \times 10^{20} \text{ atoms/cm}^3$  으로 1 자리수만큼 감소한다는 사실이 밝혀졌다. 더욱이, 산화규소막(205)의 상층부(제어 게이트 전극(207)측)에서의 질소 농도가 감소한다는 것이 확인되었다. 질소를 포함하는 환경(대기)에서 어닐링한 후, 그러나 습식 산화는 실행하지 않았을 때 산화규소막의 질소 농도 프로파일은, 제어 및 부유 게이트 전극에 각각 근접한 제1 및 제3 영역과, 제1 및 제3 영역사이의 제2 영역의 세 영역을 가지며, 제1 및 제3 영역은 실질적으로 동일한 농도를 가지는 반면 제2 영역은 제1 및 제3 영역의 농도에 비해 감소된 농도를 가질 것이다. 습식 산화의 실행 후, 질소 농도는 제1 영역(즉, 제어 게이트 전극에 근접한 영역)에서 감소되나, 제3 영역에서는 감소되지 않는다. 제3 영역에서의 질소 농도는 제1 영역의 질소 농도보다 훨씬 크다. 따라서, 습식 산화는 두가지 유익한 효과를 가진다: 1) 산화규소막에서 수소 농도를 감소시킨다; 2) 제어 게이트 전극에 인접한 영역에서 산화규소막중의 질소 농도를 감소시킨다.

상기 분석 결과로부터, 산화규소막(205)중의 수소 원자 감소로 인한 전자 트랩의 감소와, 상층부(제어 게이트 전극(207)면)에서 질소 농도 감소로 인한 홀 전류의 억제에 불휘발성 기억소자(Qe)의 전하유지 특성을 향상시킨다는 것이 예측된다.

본 실시예의 경우에서, 산화규소막(205)중의 질소 원자 농도는  $6 \times 10^{20} \text{ atoms/cm}^3$  으로 설정되어 있다. 그러나, 수소 원자 농도가 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위로 유지되면, 전하유지 특성이 향상되는 것이 관찰되었다. 더욱이, 산화규소막(205)에서의 수소 원자 농도가  $5 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이하로 유지되면 마찬가지로, 전하유지 특성이 향상된다. 부가하여, 산화규소막(205)에서의 수소 원자 농도를  $5 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이하로 설정함으로써, 불휘발성 기억소자(Qe)의 프로그래밍/삭제로 인한 문턱치 전압을 제어하는 것이 가능하다. 도 20은 습식 산화로 인한 수소 원자 환원 이전 및 이후의 프로그래밍/삭제로 인한 문턱치 전압의 변화를 도시한 것이다. 도 20에서, 곡선 19는 습식 산화 이전의 문턱치 전압의 변화값을 나타내고, 곡선 20은 습식 산화 이후의 문턱치 전압의 변화값을 보여준다. 이 경우에서, 질소 원자 농도는  $6 \times 10^{20} \text{ atom/cm}^3$  이다. 비록 습식 산화 이전의 문턱치 전압 변화가  $6.5V(3 \times 10^{21} \text{ atoms/cm}^3$ 의 수소 원자 농도)이더라도, 습식 산화이후 약  $0.15V(3 \times 10^{20} \text{ atoms/cm}^3$ 의 수소 원자 농도)로 제어된다. 이것은 산화규소막(205)에서의 전자 트랩이 습식 산화에 의한 수소 원자의 감소에 의하여 감소되기 때문이다.

또한, 본 실시예의 경우에서 산화규소막(205)에서의 질소 원자 농도는  $6 \times 10^{20} \text{ atom/cm}^3$  으로 설정되어 있다. 그러나,  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위의 질소 원자 농도와,  $5 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이하의 수소 원자 농도의 유지에 의하여 프로그래밍/삭제로 인한 문턱치 전압 변화의 제어가 가능하다.

본 실시예는 불휘발성 기억소자(Qe)의 제2 게이트 절연막(205)으로서 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위의 질소 원자를 포함하는 절연막(205)를 사용하고, 또한 막(205)의 상층부에서의 질소 원자 농도에 비해 산화규소막(205)의 하층부에서의 질소 원자 농도를 증가시키며, 산화규소막(205)에서의 최대 수소 원자 농도를  $5 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이하로 설정함으로써 불휘발성 기억소자(Qe)의 전하유지 특성이 향상될 수 있다는 점에서 유리하다. 본 실시예는 불휘발성 기억소자(Qe)의 프로그래밍/삭제로 인한 문턱치 전압 변화를 제어할 수 있다는 효과도 있다.

### 실시예 3

본 실시예에서는, 최대 질소 원자 농도가 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위로 유지되며, 불휘발성 기억소자(Qe)의 제2 게이트 절연막으로 사용되는 산화규소막에 적층된 질화규소( $\text{Si}_3\text{N}_4$ )막을 가지는 산화규소막이 설명된다.

먼저, 불휘발성 기억소자(Qe)가 하나의 메모리 유닛으로 사용되는 메모리 셀의 제조 방법이 도 13의 (a)

에서 (c), 도 14의 (a)에서 (d)(제조 방법을 설명하는 단면도)를 참조로 하여 아래에 설명되었다.

다결정 규소로 이뤄지고, 면 방위(100)를 가지는 P형 반도체 기판(201)을 준비한 후, 산화규소막으로 이뤄진 필드 절연막(202)을 공지된 선택산화법에 의해 P형 반도체 기판(201) 표면의 비활성 영역에 형성한다. 필드 절연막(202)은 약 500nm의 두께로 형성된다. 도 13의 (a)에 본 실시예의 본 단계까지의 프로세스가 도시되어 있다.

다음, 열산화를 P형 반도체 기판(201) 표면의 활성 영역에 적용하여, 산화규소막으로 이뤄진 제1 게이트 절연막(203)을 형성한다. 제1 게이트 절연막(203)은 약 10nm의 두께로 형성된다.

다음, n형 불순물(예컨대, 인)이 첨가된 다결정 규소막(304)을 제1 게이트 절연막(203) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 다결정 규소막(204)은 약 200nm의 두께로 형성한다.

다음, 다결정 규소막(204)이 패턴화된다. 이 패턴링은 사진 석판술과 건조 에칭 기술에 의해 실행된다. 도 13의 (b)에 본 단계까지의 프로세스가 도시되어 있다.

다음, 산화규소막(205)을 예컨대, 12nm의 두께로 다결정 규소막(204) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 산화규소막(205)은 소스 가스로서  $\text{SiH}_4$ 와  $\text{N}_2\text{O}$ 를 사용하는 LPCVD 법에 의하여 형성된다. 이 경우에, 형성 온도는 750°C이다.

다음, 상기 단계를 실행한 직후에  $\text{NH}_3$  환경에서 어닐링을 실행하여 산화규소막(205)에 약  $6 \times 10^{20} \text{ atoms/cm}^3$ 의 질소 원자를 도입한다. 도 13의 (c)는 이 단계까지의 프로세스를 도시한다.

다음, 질화규소( $\text{Si}_3\text{N}_4$ )막(213)(약 10nm 두께)을 LPCVD 법에 의하여 산화규소막(205) 표면을 포함하는 P형 반도체 장치의 전 표면 상에 형성한다. 도 13의 (d)에 본 단계까지의 프로세스가 도시되어 있다.

다음, n형 불순물(예컨대, 인)이 첨가된 다결정 규소막(207)을 산화규소막(205)의 전 표면상에 형성한다. 다결정 규소막(207)은 약 200nm의 두께로 형성된다. 도 14의 (a)에는 본 단계까지의 프로세스가 도시되어 있다.

다음, 게이트-길이 방향의 폭을 지정하기 위한 패턴링을 다결정 규소막(207), 질화규소막(213), 산화규소막(205), 다결정 규소막(204) 그리고 제1 게이트 절연막(203)에 순차로 적용하여, n형 불순물이 첨가된 다결정 규소막(207)으로 이뤄진 제어 게이트 전극(207)과, 질소가 도입된 산화규소막(205)으로 이뤄진 제2 게이트 절연막과, n형 불순물이 첨가된 다결정 규소막(204)으로 이뤄진 부유 게이트 전극(204)을 형성한다.

상기 전극과 막은 사진 석판술과 건조 에칭 기술에 의하여 패턴화된다. 상기 단계에서 미도시된, 제어 게이트 전극(207)과 일체화된 워드 라인 또한 형성되었다. 도 14의 (b)에는 이 단계까지의 프로세스가 도시되어 있다.

다음, P형 반도체 기판(201) 표면의 활성 영역에 이온 주입법으로 p형 불순물(예컨대, 붕소)을 선택적으로 첨가하여 P형 반도체 영역을 구비하는 펀치-스루 스톱퍼 영역(208)을 형성한다.

다음, P형 반도체 기판(201) 표면의 활성 영역에 이온 주입법으로 n형 불순물(예컨대, 비소)을 선택적으로 첨가하여 한 쌍의 n형 반도체 영역을 구비하는 소스 영역(209)과 드레인 영역(210)을 형성한다. 이 프로세스에서, 불휘발성 기억소자(Qe)가 형성된다. 도 14의 (c)는 이 단계까지의 프로세스를 도시한다.

다음, 층간 절연막(211)을 제어 게이트 전극(207) 표면을 포함하는 P형 반도체 기판(201)의 전 표면상에 형성한다. 이후, 소스 영역(209)과 드레인 영역(210)으로 뿔어 있는 접속 구멍을 층간 절연막(211)을 관통하여 형성한다.

다음, 금속막을 접속 구멍의 내부를 포함하는 층간 절연막(211)의 전 표면상에 형성하고, 이후 전극(212)을 형성하기 위하여 패턴화한다. 따라서, 도 14의 (d)에 도시된 바와 같이, 하나의 메모리 유닛으로서 불휘발성 기억소자(Qe)를 사용하는 메모리 셀이 거의 완성된다.

불휘발성 기억소자(Qe)의 전하유지 특성은 12nm 두께의  $\text{ONO}$ 막상의 질화규소막을 침전하는 경우에 비해 상승되었다.

본 실시예의 경우에서, 산화규소막(205)중의 질소 원자 농도는  $6 \times 10^{20} \text{ atoms/cm}^3$ 으로 설정되어 있다. 그러나, 수소 원자 농도가 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위로 유지될 때, 전하유지 특성이 향상되는 것이 관찰되었다.

본 실시예는 불휘발성 기억소자(Qe)의 제2 게이트 절연막으로서, 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위의 질소 원자 농도를 포함하는 산화규소막(205)을 사용하고, 게다가 산화규소막(205)에 적층된 질화규소막(213)을 가짐으로써 불휘발성 기억소자(Qe)의 전하유지 특성이 향상될 수 있다는 점에서 유리하다.

더욱이, 본 실시예에서는 질소 원자는 산화규소막(205)에 도입된 후, 질화규소막(213)이 형성되었다. 그러나, 질화규소막(213)이 형성되고, 산화규소막(205)에서의 수소 원자 농도를  $5 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이하로 감소시키기 이전에 실시예 2와 유사한 습식 산화를 실행하면 더욱 유리하다.

#### 실시예 4

본 실시예에서는, 최대 질소 원자 농도가 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위로 유지되는 산화규소막이 불휘발성 기억소자의 제2 게이트 절연막으로 사용되는 경우가 설명되었다. 본 실시예의 불휘발성 기억소자는 AND형 비접촉 어레이 구조를 가진

플래쉬 메모리로서 장착되었다.

먼저, 불휘발성 기억소자를 하나의 메모리 유닛으로 사용하는 메모리 셀의 제조 방법이 도 15의 (a)에서 (c)와, 도 16의 (a)에서 (d)(제조 방법을 설명하는 단면도)를 참조로 하여 아래에 설명된다.

단결정 규소로 이뤄지고, 면 방위(100)를 가지는 P형 반도체 기판(101)을 준비한다.

다음, 산화규소막으로 이뤄진 제1 게이트 절연막(102)을 P형 반도체 기판(101) 표면에 형성한다.

다음, 불순물(예컨대, 인)이 도입된 다결정 규소막(103)을 제1 게이트 절연막(102)상에 형성한다. 이후, 산화규소막(104)을 다결정 규소막(103)상에 형성하여 질화규소막(105)을 산화규소막(104)상에 형성한다. 다결정 규소막(103), 산화규소막(104), 질화규소막(105) 순으로 LPCVD 법에 의하여 형성한다.

다음, 게이트-길이 방향의 폭을 규정하는 패턴이 질화규소막(105), 산화규소막(104), 다결정 규소막(103) 그리고 제1 게이트 절연막(102)에 적용된다. 본 패턴은 사진 석판술과 건조 에칭 기술에 의하여 실행된다. 도 15의 (a)에 본 단계까지의 프로세스가 도시되어 있다.

다음, LPCVD 법에 의하여 질화규소막(105) 표면을 포함하는 p형 반도체 기판(101)의 전 표면에 질소규소막을 형성한다. 이후, 이방성(anisotropic) 건조 에칭을 질화규소막에 적용하여 측면 스페이스(spacer)(106)를 형성한다. 도 15의 (b)에 본 단계까지의 프로세스가 도시되어 있다.

다음, 습식 산화를 실행하여 P형 반도체 기판(101) 표면에 산화규소막으로 이뤄진 필드 절연막(107)을 형성한다. 필드 절연막(107)은 활성 영역(소자형성영역)을 분리한다. 도 15의 (c)에 본 단계까지의 프로세스가 도시되어 있다.

다음, 고온 인산 처리(hot phosphoric acid treatment)를 실행하여 질화규소막(105)과 측면 스페이스(106)를 제거한 후, P형 반도체 기판(101) 표면의 활성 영역에 p형 불순물(예컨대, 붕소)을 이온 주입법에 의하여 선택적으로 도입하여 P형 반도체 영역을 구비하는 펀치-쓰루 스토퍼 영역(108)을 형성한다.

다음, P형 반도체 기판(101) 표면의 활성 영역에 이온 주입법으로 n형 불순물(예컨대, 비소)을 선택적으로 첨가하여 한 쌍의 n형 반도체 영역을 구비하는 소스 영역(109)과 드레인 영역(110)을 형성한다. 도 15의 (d)는 이 단계까지의 프로세스를 도시한다.

다음, 산화규소막(111)을 LPCVD 법에 의하여 산화규소막(104) 표면을 포함하는 P형 반도체 기판(101)의 전 표면에 형성한 후, 이방성 에칭을 다결정 규소막(103)의 상면이 드러날 때까지 산화규소막(111)에 적용한다. 도 15의 (e)에 본 단계까지의 프로세스가 도시되어 있다.

다음, n형 불순물(예컨대, 인)이 도입된 다결정 규소막(112)을 다결정 규소막(103) 표면을 포함하는 P형 반도체 기판(101)의 전 표면에 형성한다. 이후, 게이트 길이 방향의 폭을 규정하는 패턴을 다결정 규소막(112)에 적용한다. 도 16의 (a)에 본 단계까지의 프로세스가 도시되어 있다.

다음, 산화규소막(113)을 예컨대, 12nm의 두께로 다결정 규소막(112) 표면을 포함하는 P형 반도체 기판(101)의 전 표면에 형성한다. 산화규소막(113)은 소스 가스로서  $\text{SiH}_4$ 와  $\text{N}_2\text{O}$ 를 사용하는 LPCVD 법에 의하여 형성된다. 이 경우에, 형성 온도는 750°C이다.

다음, 상기 단계를 행한 직후에  $\text{NH}_3$  환경에서 어닐링을 실행하여 산화규소막(113)에 약  $6 \times 10^{20} \text{ atoms/cm}^3$ 의 질소 원자를 도입한 직후, 도 16의 (b)는 이 단계까지의 프로세스를 도시한다.

다음, n형 불순물(예컨대, 인)이 도입된 다결정 규소막(115)을 산화규소막(113)의 전 표면에 형성한다.

다음, 게이트-길이 방향의 폭을 규정하는 패턴을 다결정 규소막(115), 산화규소막(113), 다결정 규소막(112) 그리고 다결정 규소막(103)에 적용하여, n형 불순물이 도입된 다결정 규소막(115)으로 이뤄진 제어 게이트 전극(115)과, 질소가 도입된 산화규소막(113)으로 이뤄진 제2 게이트 절연막(113)과, n형 불순물이 도입된 다결정 규소막(112, 103)으로 이뤄진 부유 게이트 전극을 형성한다. 본 패턴은 사진 석판술과 건조 에칭 기술에 의하여 실행한다. 상기 단계에서 미도시된, 제어 게이트 전극(115)과 통합된 워드 라인 또한 형성된다. 도 16의 (c)에는 이 단계까지의 프로세스가 도시되어 있다.

다음, 층간 절연막(116)을 제어 게이트 전극(115) 표면을 포함하는 P형 반도체 기판(101)의 전 표면에 형성한다. 이후, 도 16의 (d)에는 미도시된 소스 영역(109)과 드레인 영역(110)에 뻗어 있는 접속 구멍을 층간 절연막(116)을 관통하여 형성한다.

다음, 금속막을 접속 구멍의 내부를 포함하는 층간 절연막(116)의 전 표면에 형성하고, 이후 전극(117)을 형성하기 위하여 패턴화된다. 따라서, 하나의 메모리 유닛으로서 불휘발성 기억소자(Qe)를 사용하는 메모리 셀이 거의 완성된다.

불휘발성 기억소자(Qe)의 전하유지 특성은 제2 게이트 절연막으로서 12nm 두께의 ONO막을 사용하는 경우에 비해 상승되었다. 실시예 1의 경우와 유사하게, 바람직한 전하유지 특성을 얻기 위해서는, 산화규소막(113)중의 질소 원자 농도를 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람직하게는  $2 \times 10^{21} \text{ atoms/cm}^3$  또는 그 이하 사이의 범위로 유지하는 것이 필수적이다.

또, 도 17은 산화규소막(113)을 제2 게이트 절연막으로 사용하는 불휘발성 기억소자의 게이트 길이 및 지외선 방사 이후의 문턱치 전압과의 관계를 도시한 것이다. 도 17에서, 곡선 21은 본 발명을 나타내며, 곡선 22는 제2 게이트 절연막으로 ONO막(종래 기술)을 사용하는 구조를 나타낸다.  $\text{NH}_3$  환경에서 어닐링된 산화규소막은, 게이트 길이가 통상적인 ONO막, 예컨대 0.3  $\mu\text{m}$  또는 그 이하의 게이트 길이보다 짧은 경우에서도 안정한 동작을 실행할 수 있다. 이것은 산화규소막(113)이 ONO 막의 형성 온도보다 낮은 850°C의 형성 온도를 가지기 때문이며, 이것으로 인해 소스 및 드레인 영역의 신장을 억제하는 것이 가능하다.

본 실시예는 불휘발성 기억소자(Qe)의 제2 게이트 절연막으로서, 약  $2 \times 10^{20} \text{ atoms/cm}^3$  또는 그 이상, 바람

직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이의 범위의 질소 원자를 포함하는 산화규소막(113)을 사용함으로써 전하유지 특성이 향상될 수 있다는 점에서 유리하다.

또한, 소스 및 드레인 영역 형성이후, 최대 질소 원자 농도가 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이의 범위로 유지되는 산화규소막이 소스 및 드레인 영역 형성 이후, 불휘발성 기억소자(Qe)의 제2 게이트 절연막으로 사용됨으로써 미세화된 불휘발성 기억소자(Qe)가 안정하게 동작될 수 있다는 점에서 유리하다.

더욱이, 본 실시예에서는 질소 원자가 산화규소막(113)에 도입된 후, 다결정 규소막(115)이 형성되었다. 그러나, 실시예 2의 경우와 유사하게, 다결정 규소막(115)의 형성 이전에 습식 산화를 실행하여 산화규소막(114)에서의 수소 원자 농도를  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이하로 감소시킴으로써 더 많은 이점을 얻을 수 있다.

또한, 실시예 3에 설명된 바와 같이, 산화규소막을 형성하고, 산화규소막(113)을 형성한 후 다결정 규소막(115)의 형성 이전에 제2 게이트 절연막을 적층막으로서 사용함으로써 동일한 이점을 얻을 수 있다.

실시예 1에서 3가지의 경우에서, NOR형 플래쉬 메모리로서 장착된 불휘발성 기억소자가 예로서 설명되었다. 실시예 4에서, AND형 비접촉 어레이 구조를 가지는 플래쉬 메모리로서 장착된 불휘발성 기억소자가 예로서 설명되었다. 또한, 본 발명을 NAND형, DiNOR형, 또는 스플릿-게이트(split-gate)형 같은 다른 불휘발성 반도체 메모리로서 장착될 불휘발성 기억소자에 적용함으로써 동일한 이점을 얻을 수 있다.

실시예 1에서 4가지의 경우에서, 최대 질소 원자 농도가 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이의 범위로 유지되는 산화규소막이 부유 게이트 전극 및 제어 게이트 전극사이의 제2 게이트 절연막에 적용되었다. 그러나, 질소 원자 농도를 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이의 범위로 유지함으로써, 산화규소막을 부유 게이트 전극 및 삭제 게이트 전극 사이의 층간 절연막에 적용할 수 있다.

#### 실시예 5

본 실시예에서는, 최대 질소 원자 농도가 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이의 범위로 유지되는 산화규소막이 능동층으로서 다결정 규소막을 사용하는 MOS 트랜지스터의 게이트 절연막으로 사용되는 경우가 설명된다. 본 실시예에서, 게이트 절연막은 능동층 및 게이트 전극사이에 형성된 절연막을 나타낸다.

먼저, MOS 트랜지스터 제조 방법이 도 18의 (a)에서 (c)까지와, 도 19의(a)에서 (d)까지(제조 방법을 설명하는 단면도)를 참조로 하여 설명된다.

단결정 규소로 이뤄지고, 면 방위(100)를 가지는 n형 반도체 기판(301)을 준비한다.

다음, 산화규소막(302)을 n형 반도체 기판(301) 표면에 형성한다. 도 18의 (a)에 본 단계까지의 프로세스가 도시되었다.

다음, MOS 트랜지스터의 능동층으로 사용되는 다결정 규소막(303)을 산화규소막(302)상에 형성한다. 도 18의 (b)에 본 단계까지의 프로세스가 도시되어 있다.

다음, 게이트 절연막으로 사용되는 산화규소막(304)을 예컨대, 10nm의 두께로 다결정 규소막(303)상에 형성한다. 산화규소막(304)은 소스 가스로서 SiH<sub>4</sub> 와 N<sub>2</sub>O를 사용하는 LPCVD 법에 의하여 형성된다. 이 경우에, 형성 온도는 750°C이다.

다음, 상기 단계를 행한 직후에 NH<sub>3</sub> 환경에서 어닐링을 실행하여 산화규소막(304)에 약  $6 \times 10^{20}$  atoms/cm<sup>3</sup>의 질소 원자를 도입한다. 이후, 825°C의 온도 환경에서 습식 산화를 실행하여 산화규소막(304)의 수소 원자 농도를  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이하로 감소시킨다. 도 18의 (c)에 이 단계까지의 프로세스가 도시되어 있다.

다음에, 산화규소막(304)상에 p형 불순물(예컨대, 붕소)이 도입된 다결정 규소막(307)을 형성한다. 여기까지의 프로세스를 도 19의 (a)에 도시한다.

다음, 다결정 규소막(303)을 패터닝하여 다결정 규소막(307)으로 이뤄진 게이트 전극을 형성한다. 본 패터닝은 사진 석판술과 건조 에칭 기술에 의하여 실행된다. 도 19의 (b)에 본 단계까지의 프로세스가 도시되어 있다.

다음, 불순물 도핑(doping) 마스크로서 게이트 전극(307)을 사용함으로써 다결정 규소막(303)에 이온 주입법에 의해 p형 불순물(예컨대, 붕소)을 도입하여 소스 및 드레인 영역으로 사용되는 한 쌍의 P형 반도체 영역(308)을 형성한다. 본 단계에서 MOS트랜지스터(Q)가 형성된다. 도 19의 (c)를 참조하기 바란다.

다음, 층간 절연막(309)을 게이트 전극(307) 표면을 포함하는 N형 반도체 기판(301)의 전 표면에 형성한다. 이후, 한 쌍의 P형 반도체 영역(308)으로 뻗어 있는 접속 구멍을 층간 절연막(309)을 관통하여 형성한다.

다음, 금속막을 접속 구멍의 내부를 포함하는 층간 절연막의 전 표면에 형성하고, 이후 금속막을 패터닝하여 배선(310)을 형성한다. 이것으로 인하여, 도 19의 (d)에 도시된 상태가 얻어진다.

MOS 트랜지스터의 대기 전류는 CVD 프로세스에 의하여 형성된 산화규소막 또는 다결정 규소막(303)의 열 산화에 의하여 형성된 산화규소막의 경우에 비하여 감소되었다. 더욱이, 온-전류는 증가되었다. 그 결과

로써, 높은 온/오프율 또한 얻게 된다.

본 실시예의 경우에, 산화규소막(304)층의 질소 원자 농도를  $6 \times 10^{20}$  atoms/cm<sup>3</sup>으로 하였지만, 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 이상, 바람직하게는  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 이하로 농도를 유지하면 높은 온/오프율을 얻을 수 있다.

본 실시예는 약  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 또는 그 이상, 그리고  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 또는 그 이하 사이의 범위의 질소 원자를 포함하는 산화규소막을, 능동층으로서 다결정 규소막을 사용하는 MOS 트랜지스터의 게이트 절연막으로서 사용함으로써 MOS 트랜지스터의 온/오프율이 향상될 수 있다는 점에서 유리하다.

본 실시예의 경우에서, p-채널 도전형 MOS트랜지스터(Q)가 설명되었다. 그러나, n-채널 도전형 MOS트랜지스터로부터도 동일한 이점을 얻을 수 있다.

더욱이, 본 실시예에 있어서, 능동층으로서 다결정 규소막을 사용하는 MOS트랜지스터를 반도체 기판상에 산화규소막을 형성함으로써 형성하였다. 그러나, MOS 트랜지스터를 구동하는 액정 디스플레이(규소 단결정 기판이 없는)같은 유리 기판상에 다결정 규소막을 형성함으로써 동일한 이점을 얻을 수 있다.

또한, 본 실시예에서 능동층으로서 하층 다결정 규소막과, 게이트 전극으로서 상층 다결정 규소막을 사용하는 MOS 트랜지스터가 설명되었다. 그러나, 게이트 전극으로서 하층 다결정 규소막과, 능동층으로서 상층 다결정 규소막을 사용하는 MOS 트랜지스터로부터 또한 동일한 이점을 얻을 수 있다.

상기 실시예 1에서 5까지의 경우에 있어서, 산화규소막으로의 질소 원자 도입시에, NH<sub>3</sub> 환경에서 어닐링이 실행되었다. 그러나, 질소를 포함하는 다른 기체를 사용하는 것 또한 가능하다. 예컨대(한정적인 것이 아님), 어닐링은 NH<sub>3</sub>에 부가하거나 또는 그 대신으로 최소한 N<sub>2</sub>O, NO 또는 NO<sub>2</sub> 중 어느 하나를 포함하는 환경에서 실행될 수 있다. 사용되는 기체 환경에 따라 적용되는 질소의 비율과 양에 차이가 생긴다. 예컨대, N<sub>2</sub>O 와 NO는 단지 작은 효과만을 가진다. 더욱이, 산화규소막에 질소를 적용하기 위한, 어닐링 온도는 다양하다. 예컨대, N<sub>2</sub>O 환경에서의 어닐링은 900℃보다 더 높은 온도에서 실행되어야 하며, NO 환경에서의(1 기압하) 어닐링 온도는 예컨대, 850℃ 정도가 되어야 한다.

NH<sub>3</sub>의 사용은 본 발명에 따른 산화규소막에 질소를 적용하기 위한 어닐링이 상대적으로 낮은 온도(예컨대, 압력이 1기압 정도이면 어닐링이 700℃ 정도에서 실행될 수 있다)에서 실행될 수 있다는 점에서 이점을 가진다. 따라서, 능동(불순물) 영역의 확산(확대(enlargement))과 산화 터널의 열화(degrading)를 피할 수 있다. NH<sub>3</sub> 환경을 사용하면 어닐링 동안에 산화규소막에 수소도 적용시키게 되지만, 그후에 전술한 습식 산화에 의하여 산화규소막에서의 수소 농도를 감소시킬 수 있다.

또한, 산화규소막의 침전과 동시에 질소 원자를 도입시키는 것 또한 가능하다. 부가하여, 본 발명의 효과가 얻어질 수 있는 한, 다른 방법을 사용하는 것도 가능하다.

더욱이, 상기 실시예 1에서 5까지는 다결정 규소막의 사용에 의해 설명되었다. 그러나, 비정질(amorphous) 규소막으로부터 동일한 이점을 얻을 수 있다.

본 발명자에 의한 본 발명은 상기 실시예에 따라서 상기에 구체적으로 설명되었다. 그러나, 본 발명은 본 실시예에 한정되는 것은 아니다. 본 발명의 요지를 벗어나지 않고 다양한 변화를 줄 수 있는 것은 물론이다.

예컨대, 본 발명은 하층 전극으로서 하층 다결정 규소막 또는 비정질 규소막과, 상층 전극으로서 상층 다결정 규소막 또는 비정질 규소막과, 이들 전극들 사이에서 절연막으로서 산화규소막(본 발명에 따라 여기에 적용된 질소를 가지는)을 사용하는 커패시터를 가지는 반도체 장치에 적용될 수 있다. 본 경우에, 커패시터의 전하유지 특성이 향상될 수 있다.

더욱이, 본 발명은 불휘발성 기억소자를 가지는 메모리 셀 어레이가 제공된 온-칩 마이크로 컴퓨터(반도체 장치)에 적용될 수 있다.

### 발명의 효과

본 적용에 개시된 본 발명중 통상적인 하나로부터 얻어진 효과를 아래에 간략하게 설명한다.

반도체 장치에 장착될 불휘발성 기억소자의 전하유지 특성을 향상시키는 것이 가능하다.

또한, 미세화된 불휘발성 기억소자를 안정하게 동작하는 것이 가능하다.

또한, 불휘발성 기억소자의 프로그래밍 전압을 감소시키는 것이 가능하다.

또한, 반도체 장치에 장착될 MOS 트랜지스터의 퍼포먼스를 향상시키는 것이 가능하다.

또한, 반도체 장치에 장착될 커패시터의 전하유지 특성을 향상시키는 것이 가능하다.

### (57) 청구의 범위

#### 청구항 1

기판상의 제1 규소막과 제2 규소막 사이에 형성된  $2 \times 10^{20}$  atoms/cm<sup>3</sup>에서  $2 \times 10^{21}$  atoms/cm<sup>3</sup>의 범위의 최대 질소 농도의 질소가 포함된 산화규소막을 구비하는 반도체 장치.

#### 청구항 2

제 1 항에 있어서, 상기 산화규소막은  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 수소 원자 농도를 가지는 것을 특징으로 하는 반도체 장치.

### 청구항 3

제 1 항에 있어서, 상기 제1 및 제2 규소막에 각각 n형 또는 p형 불순물이 첨가되어 전도성(conductive)이 되는 것을 특징으로 하는 반도체 장치.

### 청구항 4

제 1 항에 있어서, 상기 제1 및 제2 규소막 각각은 비정질(amorphous) 규소 또는 다결정(polycrystalline) 규소로 이뤄지는 것을 특징으로 하는 반도체 장치.

### 청구항 5

기판상의 제1 규소막과 제2 규소막 사이에 형성되며, 질소가 포함되어 있으며, 제2 규소막에서 제1 규소막으로의 방향으로 질소 농도 프로파일을 가지며, 상기 프로파일은 제1 규소막 근처에서 최대 질소 농도를 가지며, 제1 규소막 근처에서의 상기 최대 질소 농도는 최소한  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 인 산화규소막을 구비하는 반도체 장치.

### 청구항 6

제 5 항에 있어서, 상기 제1 규소막 근처에서의 최대 질소 농도가  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 이하인 것을 특징으로 하는 반도체 장치.

### 청구항 7

제 6 항에 있어서, 상기 산화규소막은 각각 제1 및 제2 규소막에 인접한 제1 및 제2 영역과, 제1 및 제2 영역사이에 제3 영역을 가지며, 제1 및 제2 영역에서의 질소 농도의 각각은 제3 영역에서의 질소 농도보다 큰 것을 특징으로 하는 반도체 장치.

### 청구항 8

제 5 항에 있어서, 상기 산화규소막은 각각 제1 및 제2 규소막에 인접한 제1 및 제2 영역과, 제1 및 제2 영역사이에 제3 영역을 가지며, 제2 영역에서의 질소 농도는 제1 영역에서의 질소 농도보다 작은 것을 특징으로 하는 반도체 장치.

### 청구항 9

제 5 항에 있어서, 상기 산화규소막은  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 최대 수소 원자 농도를 가지는 것을 특징으로 하는 반도체 장치.

### 청구항 10

제 5 항에 있어서, 제1 규소막과 제2 규소막은 각각 n형 불순물을 함유하는 것을 특징으로 하는 반도체 장치.

### 청구항 11

제 5 항에 있어서, 제1 및 제2 규소막은 각각 반도체 장치의 전극으로서 사용되는 것을 특징으로 하는 반도체 장치.

### 청구항 12

제 5 항에 있어서, 제1 규소막 및 제2 규소막 중 하나는 부유 상태(floating state)인 것을 특징으로 하는 반도체 장치.

### 청구항 13

제 5 항에 있어서, 상기 반도체 장치는 부유 게이트 및 제어 게이트 전극 사이에 형성된 절연막을 포함하는 불휘발성 기억소자이며,

부유 게이트 전극은 상기 제1 규소막이며, 절연막은 상기 산화규소막이며, 제어 게이트 전극은 상기 제2 규소막인 것을 특징으로 하는 반도체 장치.

### 청구항 14

제 5 항에 있어서, 상기 반도체 장치는 부유 상태 전극 및 또 다른 전극 사이에 형성된 절연막을 포함하는 불휘발성 기억소자이며,

부유 상태 전극은 상기 제1 규소막이며, 또 다른 전극은 상기 제2 규소막이며, 절연막은 상기 산화규소막인 것을 특징으로 하는 반도체 장치.

### 청구항 15

제 5 항에 있어서, 상기 반도체 장치는 능동층 및 게이트 전극 사이에 형성된 절연막을 포함하는 MOS 트랜지스터이며,

능동층은 제1 규소막 및 제2 규소막 중의 하나이며, 절연막은 산화규소막이며, 게이트 전극은 제1 규소막

및 제2 규소막 중의 다른 하나인 것을 특징으로 하는 반도체 장치.

#### 청구항 16

제 5 항에 있어서, 상기 반도체 장치는 하층 전극 및 상층 전극 사이에 형성된 절연막을 포함하는 커패시터이며,

하층 전극은 제1 규소막이며, 절연막은 산화규소막이며, 상층 전극은 제2 규소막인 것을 특징으로 하는 반도체 장치.

#### 청구항 17

제 5 항에 있어서, 화학량론적(stoichiometrical)으로 대략 3:4의 규소:질소 비율을 가지는 질화규소막이 산화규소막 및 제2 규소막 사이에 존재하는 것을 특징으로 하는 반도체 장치.

#### 청구항 18

제 5 항에 있어서, 상기 반도체 장치는 능동층 및 게이트 전극 사이에 형성된 절연막을 포함하는 MOS 트랜지스터이며,

능동층은 제1 규소막 및 제2 규소막 중의 하나이며, 절연막은 산화규소막이며, 게이트 전극은 제1 규소막 및 제2 규소막 중의 다른 하나인 것을 특징으로 하는 반도체 장치.

#### 청구항 19

제 18 항에 있어서, 제1 규소막이 유리 기판상에 제공된 것을 특징으로 하는 반도체 장치.

#### 청구항 20

제 5 항에 있어서, 제1 및 제2 규소막은 각각 비정질 규소 또는 다결정 규소로 이뤄진 것을 특징으로 하는 반도체 장치.

#### 청구항 21

기판상의 제1 규소막과 제2 규소막 사이의 산화규소막을 구비하는 반도체 장치에 있어서,

상기 산화규소막은  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 수소 원자 농도를 가지며,

제1 및 제2 규소막은 각각 비정질 규소 또는 다결정 규소로 이뤄진 것을 특징으로 하는 반도체 장치.

#### 청구항 22

제 21 항에 있어서, 상기 산화규소막에는 질소가 포함되는 있는 것을 특징으로 하는 반도체 장치.

#### 청구항 23

제 22 항에 있어서, 상기 산화규소막에 포함된 최대 질소량이  $2 \times 10^{20}$  atoms/cm<sup>3</sup> 이상인 것을 특징으로 하는 반도체 장치.

#### 청구항 24

반도체 장치 제조 방법에 있어서,

기판에 놓인 제1 규소막 형성 단계;

제1 규소막에 인접한 산화규소막 형성 단계;

최대 900°C 온도에서의 질소를 함유하는 환경에서 산화규소막을 어닐링(annealing)하여, 어닐링 동안 산화규소막에 질소를 적용하는 단계;

어닐링 이후, 산화규소막에 인접한 제2 규소막을 형성하는 단계

를 구비하는 반도체 장치 제조 방법.

#### 청구항 25

제 24 항에 있어서, 산화규소막이 화학적 기상 성장법에 의해 산화규소층을 퇴적시킴으로써 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 26

제 24 항에 있어서, 질소를 함유하는 환경은 암모니아 환경인 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 27

제 26 항에 있어서, 상기 어닐링이 산화규소막 형성 직후에 실행되는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 28

제 26 항에 있어서, 산화규소막에 습식 산화(wet oxidation)를 적용하여 산화규소막에서의 수소 농도를

감소시키는 단계를 더 구비하는 반도체 장치 제조 방법.

#### 청구항 29

제 28 항에 있어서, 습식 산화가 제2 규소막 형성 이전, 그리고 상기 어닐링 이후에 실행되는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 30

제 29 항에 있어서, 습식 산화가 800℃에서 900℃ 범위의 온도에서 실행되는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 31

제 25 항에 있어서, 화학적 기상 성장법은 소스 가스로서  $\text{SiH}_4$  와  $\text{N}_2\text{O}$ 를 사용하는 저압 화학적 기상 성장법인 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 32

제 24 항에 있어서, 제1 및 제2 규소막은 다결정 또는 비정질 규소막인 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 33

제 24 항에 있어서, 제1 규소막이 유리 기판에 놓여 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 34

제 24 항에 있어서, 제1 규소막이 단결정 반도체 기판에 놓여 형성되는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 청구항 35

부유 상태 전극, 절연막, 또 다른 전극을 가지는 불휘발성 기억소자를 제조하는 방법에 있어서,

기판상에 부유 상태 전극 형성 단계;

화학적 기상 성장법에 의하여 형성된 산화규소막이며, 상기 부유 상태 전극에 인접한 절연막 형성 단계;

질소를 포함하는 대기에서 상기 산화규소막을 어닐링하여 상기 산화규소막에 질소를 적용하는 단계;

상기 어닐링 이후, 상기 산화규소막에 인접하여 상기 또 다른 전극을 형성하는 단계

를 구비하는 불휘발성 기억소자 제조 방법.

#### 청구항 36

제 35 항에 있어서, 질소를 포함하는 대기가 암모니아 대기인 것을 특징으로 하는 불휘발성 기억소자 제조 방법.

#### 청구항 37

제 35 항에 있어서, 부유 상태의 전극을 형성하기 이전에 상기 기판의 열산화에 의하여, 기판과 부유 상태의 전극과의 사이에 산화터널막을 형성하는 단계를 더 구비하는 불휘발성 기억소자 제조 방법.

#### 청구항 38

제 37 항에 있어서, 상기 기판이 단결정 규소로 이뤄지며, 부유 상태의 전극이 산화터널막 상에 형성되는 것을 특징으로 하는 불휘발성 기억소자 제조 방법.

#### 청구항 39

제 38 항에 있어서, 부유 상태의 전극 및 또 다른 전극은 각각 비정질 또는 다결정 규소로 이뤄진 것을 특징으로 하는 불휘발성 기억소자 제조 방법.

#### 청구항 40

제 35 항에 있어서, 상기 어닐링이 실행되어, 어닐링된 산화규소막이  $2 \times 10^{20} \text{ atoms/cm}^3$  이상의 최대량의 질소를 가지는 것을 특징으로 하는 불휘발성 기억소자 제조 방법.

#### 청구항 41

제 40 항에 있어서, 어닐링된 산화규소막에 포함된 최대 질소량이  $2 \times 10^{20} \text{ atoms/cm}^3$  에서  $2 \times 10^{21} \text{ atoms/cm}^3$  범위 이내인 것을 특징으로 하는 불휘발성 기억소자 제조 방법.

#### 청구항 42

제 41 항에 있어서, 산화규소막에 습식 산화를 적용하여 산화규소막에서의 수소 농도를 감소시키는 단계를 더 구비하는 불휘발성 기억소자 제조 방법.

**청구항 43**

제 42 항에 있어서, 습식 산화가 실행되어  $5 \times 10^{20} \text{ atoms/cm}^3$  이하의 최대 수소 농도로 감소시키는 것을 특징으로 하는 불휘발성 기억소자 제조 방법.

**청구항 44**

제 43 항의 제조 방법에 의하여 형성된 제품.

**청구항 45**

제 41 항의 제조 방법에 의하여 형성된 제품.

**청구항 46**

제 28 항의 제조 방법에 의하여 형성된 제품.

**청구항 47**

제 46 항에 있어서, 산화규소막은  $5 \times 10^{20} \text{ atoms/cm}^3$  이하의 최대 수소 농도를 가지는 것을 특징으로 하는 제품.

**청구항 48**

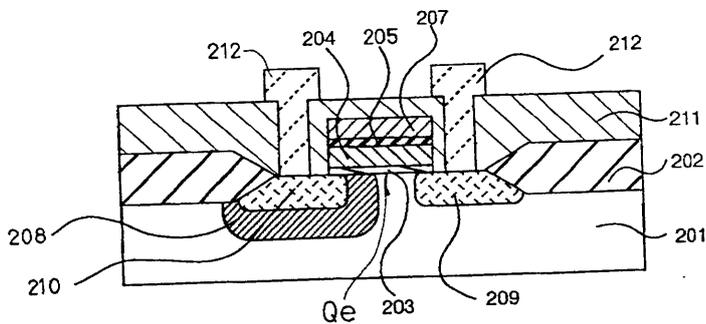
제 26 항의 제조 방법에 의하여 형성된 제품.

**청구항 49**

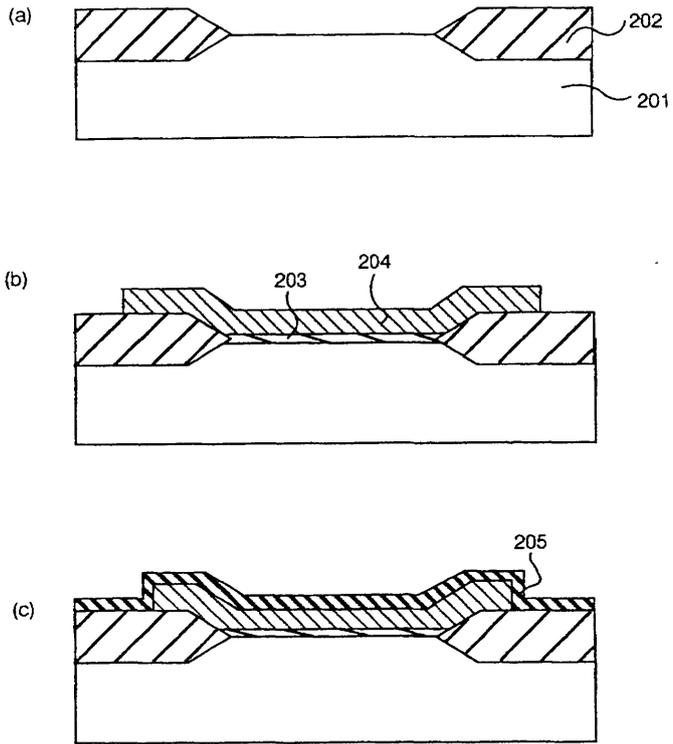
제 24 항의 제조 방법에 의하여 형성된 제품.

**청구항 50**

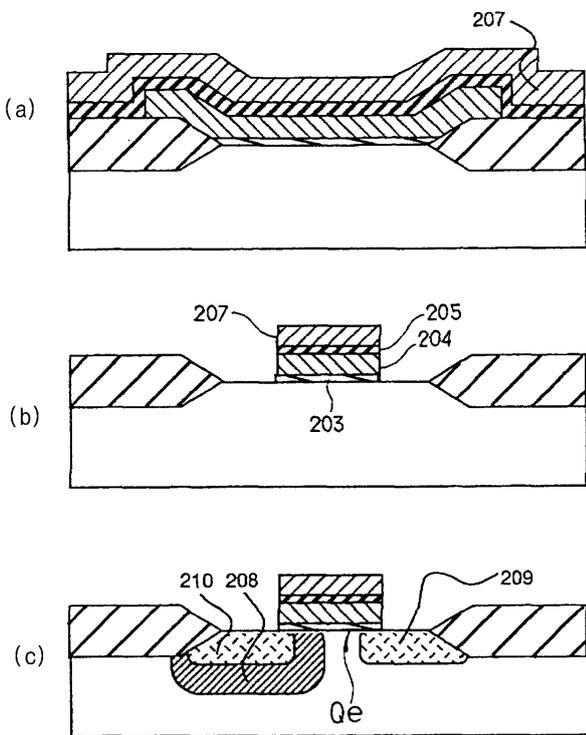
제 49 항에 있어서, 산화규소막의 최대 질소 농도가  $2 \times 10^{20} \text{ atoms/cm}^3$  에서  $2 \times 10^{21} \text{ atoms/cm}^3$  범위내인 것을 특징으로 하는 제품.

**도면****도면1**

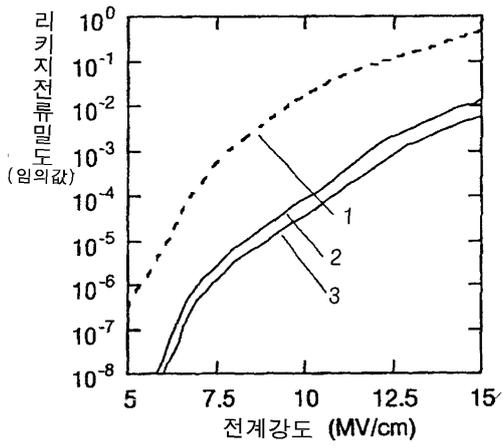
도면2



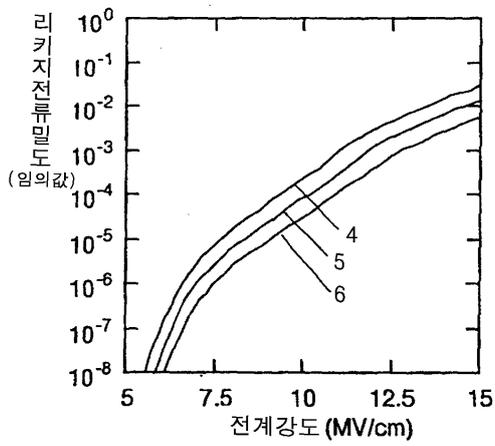
도면3



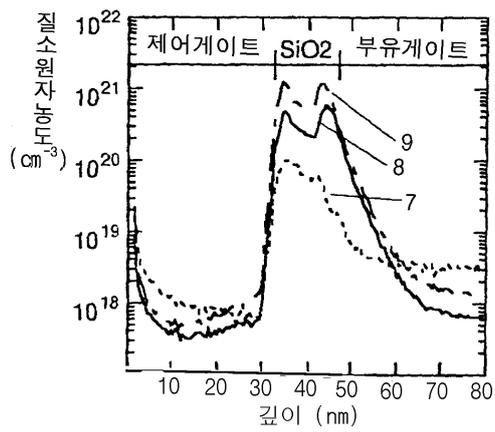
도면4



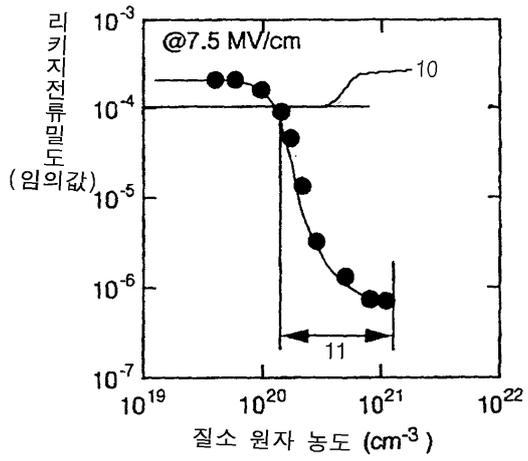
도면5



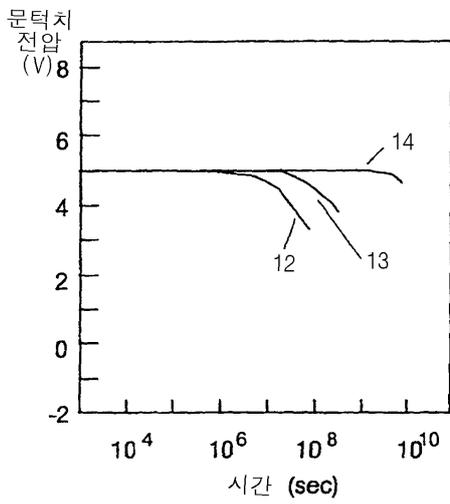
도면6



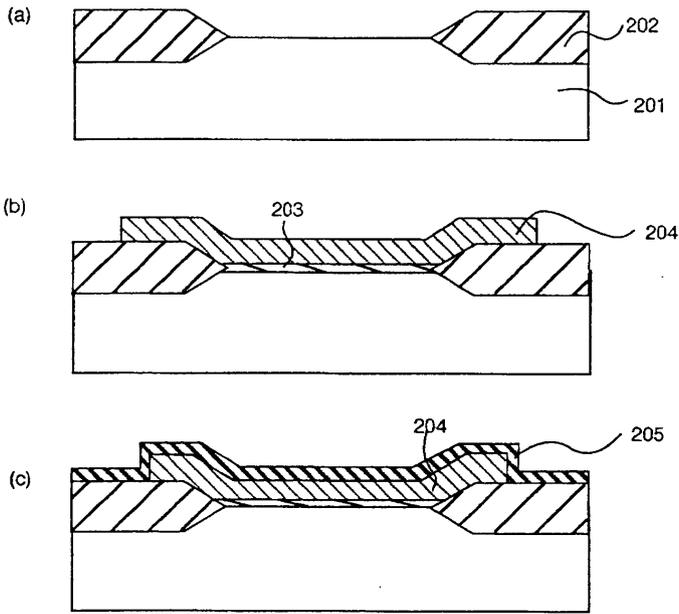
도면7



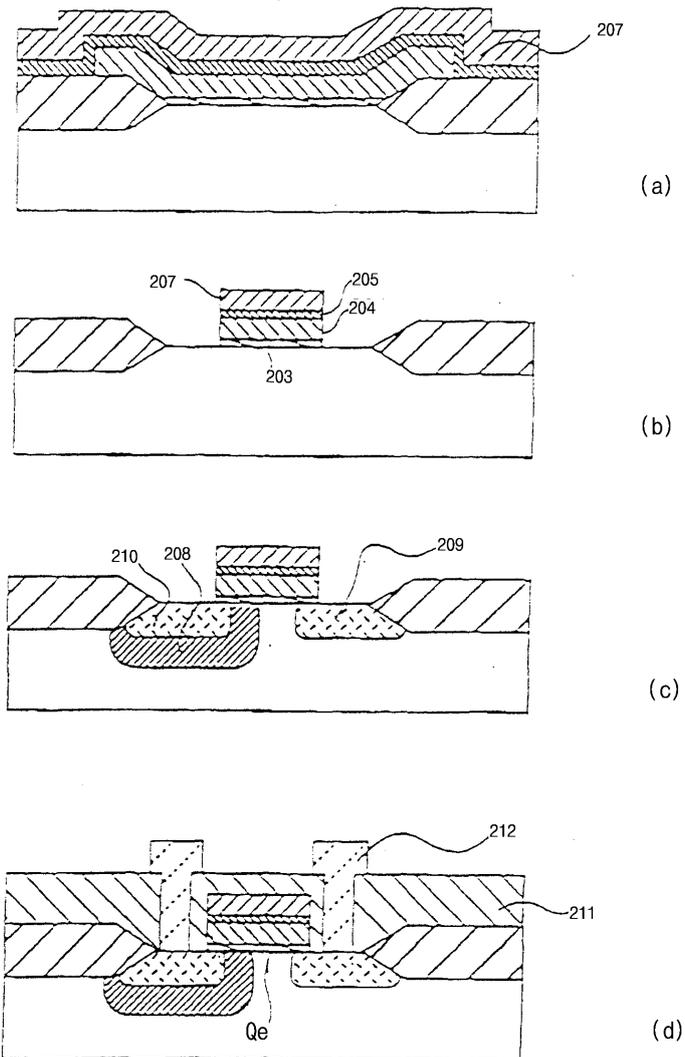
도면8



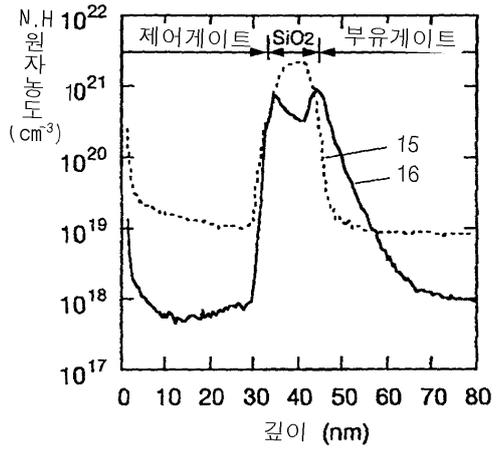
도면9



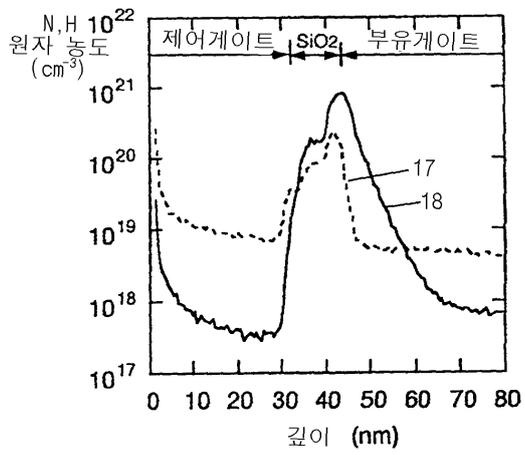
도면10



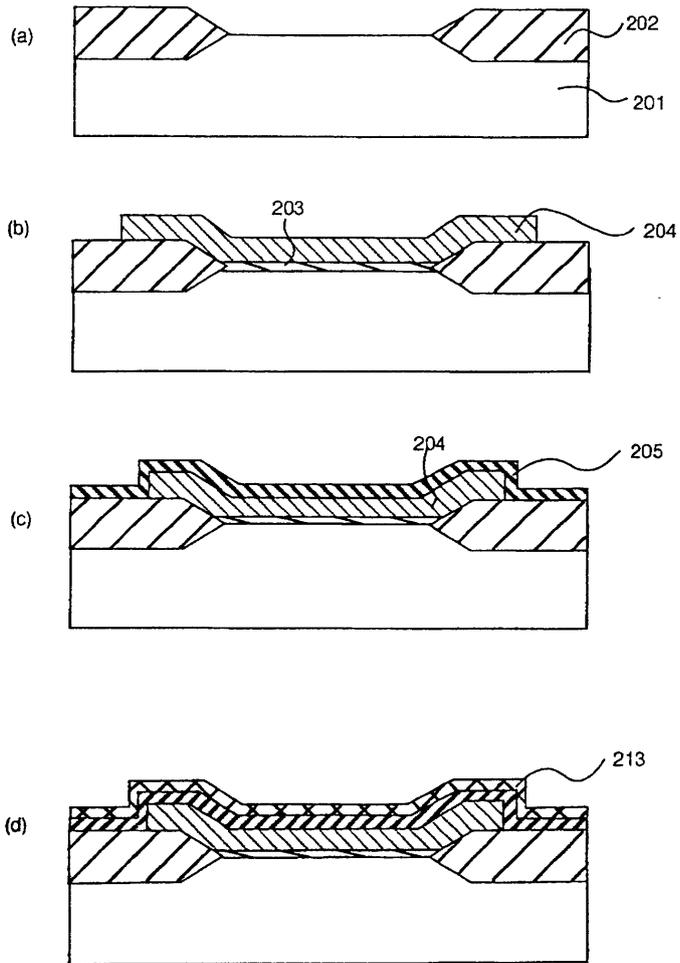
도면11



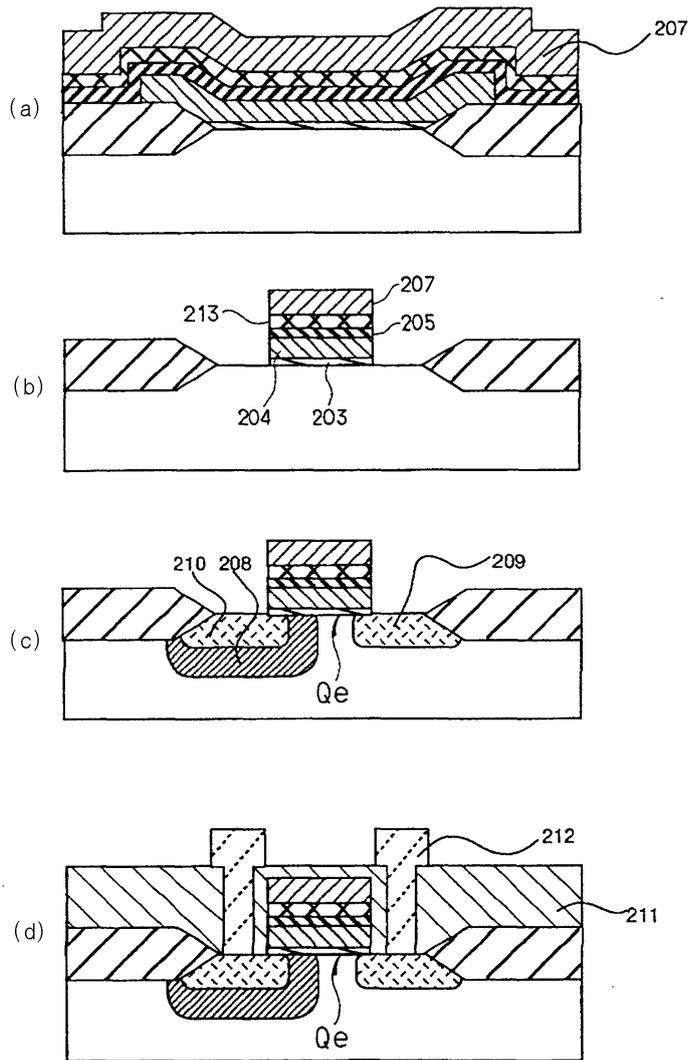
도면12



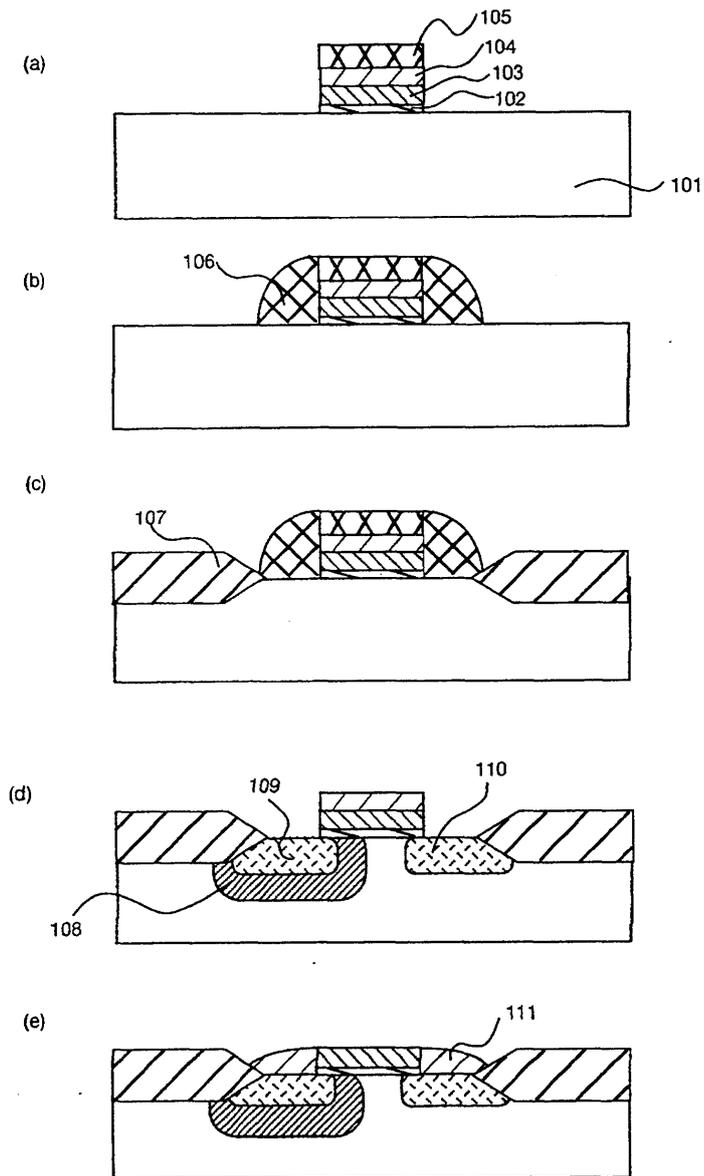
도면 13



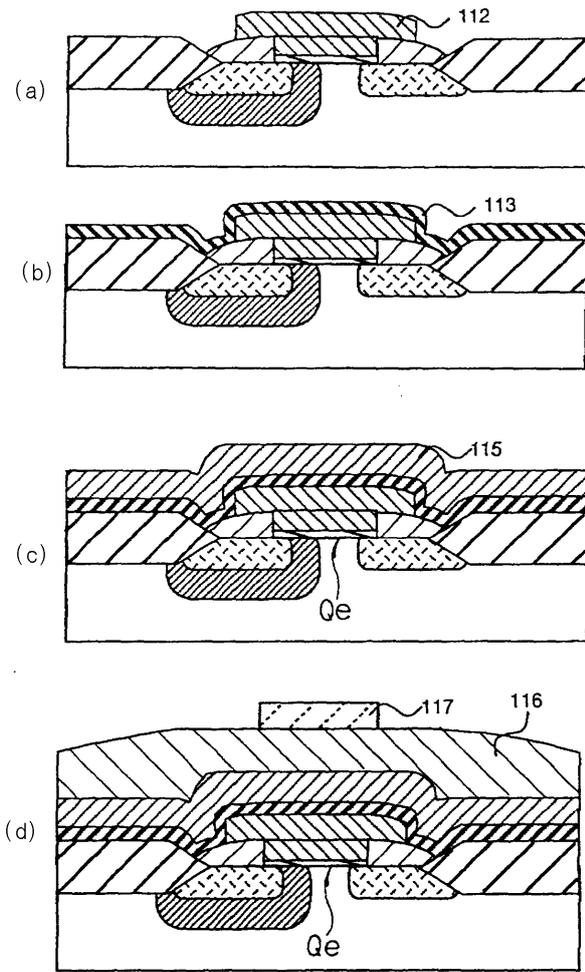
도면 14



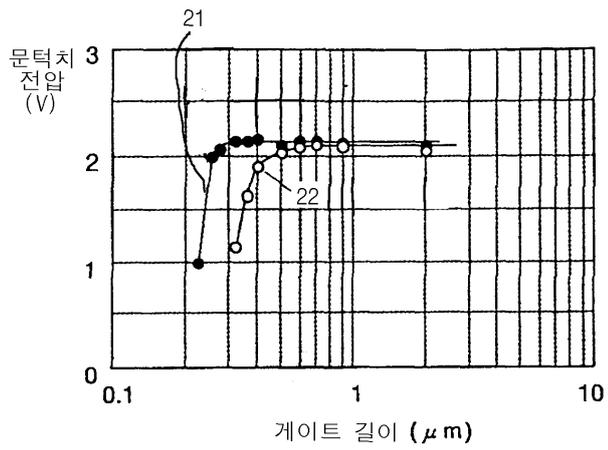
도면 15



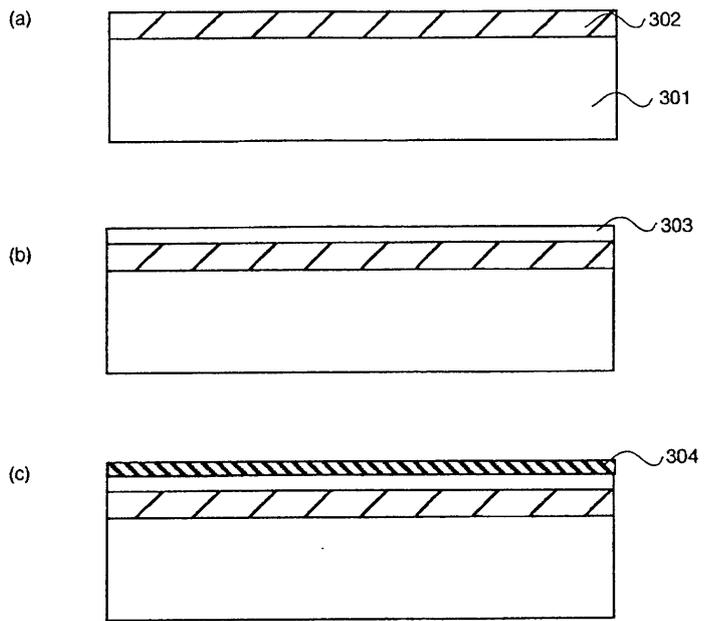
도면 16



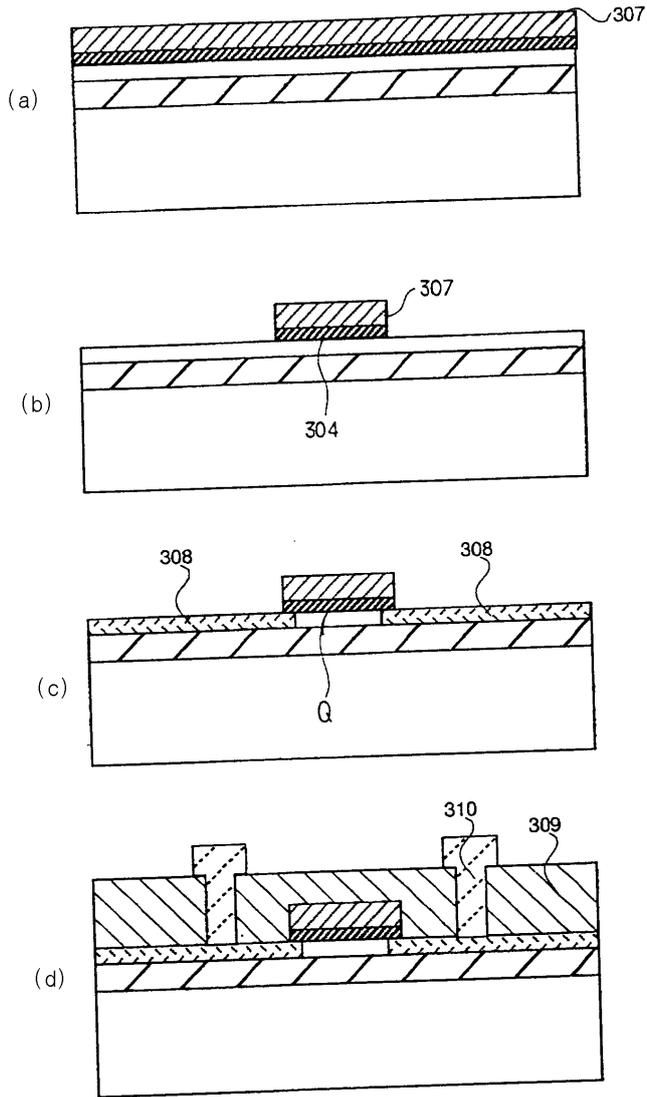
도면 17



도면 18



도면19



도면20

