

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11B 20/12

(45) 공고일자 1995년06월08일
(11) 공고번호 특1995-0006085

(21) 출원번호	특1991-0011964	(65) 공개번호	특1992-0003293
(22) 출원일자	1991년07월13일	(43) 공개일자	1992년02월29일
(30) 우선권주장	2-184014 1990년07월13일 일본(JP)		
(71) 출원인	가부시기가이샤 도시바 아오이 죠이치 일본국 가나가와켄 가와사키시 사이와이쿠 호리가와초오 72		
(72) 발명자	사가자키 요시히사 일본국 가나가와켄 요코하마시 이소고쿠 신스기타초오 8 가부시기가이샤 도시바 가전 기술연구소내		
(74) 대리인	나영환, 도두형		

심사관 : 김영수 (책자공보 제4001호)

(54) 부호변조장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

부호변조장치

[도면의 간단한 설명]

제1도는 본 발명에 관한 부호 변조 방식의 일 실시예를 설명하기 위한 도면.

제2도는 동 실시예에서 설정한 조건을 만족시키는 비트 패턴을 가지는 변조코드 데이터의 수를 CDS 치마다 나타낸 도면.

제3도는 동 실시예에서 설정한 8비트 단위의 디지털 데이터와 14비트 단위의 변조 코드 데이터와의 대응관계를 나타낸 도면.

제4도는 동 실시예에 설정한 각 변환 테이블에 포함되는 변조 코드 데이터의 수를 나타낸 도면.

제5도는 본 발명의 방식을 이용한 8-14변조 회로의 구체예를 나타내는 블록 구성도.

제6도는 DSV의 제어 수단을 설명하기 위한 도면.

제7도는 종래의 8-14변조 방식에 있어서의 변조 코드 데이터의 이음매 부분을 설명하기 위한 도면.

제8도는 EFM변조 방식에 있어서의 연결 코드 데이터를 설명하기 위한 도면.

제9a 내지 f는 도 본 발명의 제2실시예로서, 제5도에 도시한 회로 구성에 적용할 수 있는 테이블의 구성 도면.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------|-----------------|
| 11 : 입력 단자 | 12 : ROM |
| 13 : 정·부 반전 회로 | 14 : 스위치 |
| 15 : 가산회로 | 16,21,23 : FF회로 |
| 17 : 비교기 | 18 : ROM |
| 19 : 시프트 레지스터 | 20 : X-OR회로 |

[발명의 상세한 설명]

본 발명은, 예를들어 헬리컬 스캔 방식의 VTR(비디오 테이프 레코더) 등과 같이 회전 트랜스를 통하여 디지털 기록을 행하는 시스템에 있어서 고밀도 기록을 행하기 위한 부호 변조 방식에 관한 것으로서, 특히 영(0)비트의 연속수의 상한을 작게하도록 한 부호 변조 장치에 관한 것이다.

주지하는 바와 같이, 상기한 헬리컬 스캔 방식의 VTR등과 같이 회전 트랜스를 통하여 디지털 데이터의 기록을 행하는 시스템에 있어서는 저역 성분을 전송하는 것이 곤란하므로, 저주파의 전력 스펙트럼을 갖지 않는 소위 DC(직류) 프리의 변조 방식이 요구되게 된다. 그리고, 상기 DC프리 변조 방식 및 고밀도 기록을 실현하기 위한 디지털 데이터의 변조 방식은 종래부터 여러가지가 고려되어 왔는바, 예컨대 문헌(1986년 9월호, 제32권, 제4호, National Technical Report)에는 디지털 데이터를 8비트 단위에서 14비트의 코드 데이터로 변환하는 8-14변조 방식이라 불리우는 코드 변환 방식이 기재되어 있다. 이 방식은 밀도비가 1.14이고, 종래보다 일반적인 MFM변조 방식의 1.0보다도 고밀도이며, DC프리로 되어 있다.

여기서, 상기 8-14변조 방식에 있어서의 코드 할당에서는 CDS(Codeword Digital Sum)치가 [0]인 변조 코드에 대하여는 디지털 데이터에 1대 1로 대응시키고, CDS치가 [0]이외의 변조 코드에 대하여는 CDS치가 정인 그룹과 부인 그룹으로 나누어지며, 하나의 디지털 데이터에 2개의 변조 코드를 대응시키는 결국 1대 2로 대응시키도록 되어 있다. 그리고 제6도는 이와 같은 대응 관계를 나타내고 있다. 즉, DSV (Digital Sum Variation)치는 변조 코드 열을 NRZI(Non Return to Zero InVerted)변환한 후의 파형이 H(하이) 레벨인 때, [1](정극성)로 하고, L(로우) 레벨인 때 [-1](부극성)로 정한 경우의 적분치이다. 다만, NRZI 변환의 파형은 L레벨에서 개시되는 것으로 한다. 또 CDS치는 하나의 변조 코드내의 DSV이다. 그리고 변조 코드가 DC프리라고 하는 것은 DSV의 절대치가 항상 작다는 것이기 때문에 코드 변환에 있어서는 직전의 DSV와 파형 극성을 감기하고, DSV의 변동 범위가 유한하게 되도록 적당한 그룹에서 변조 코드를 선택하도록 하고 있다.

한편, 8-14변조 방식에서는 변조후의 14비트 단위로 전송되는 코드 데이터 열에 있어서 데이터 "0"의 비트(이하 0비트라 한다)가 연속하는 것이 허용되는 최소치 d를 1, 최대치 k를 8로 정하고 있다. 즉, 데이터 "1"의 비트와 다음의 데이터 "1"의 비트와의 사이에 개재되는 영비트의 연속수는 1이상 8이하로 되어 있다. 반대로 말하면 데이터 "1"의 비트가 연속하지 않고 데이터 "1"의 비트와 다음에 데이터 "1"의 비트와의 사이에는 최저라도 하나의 영비트가 개재되게 된다. 이 때문에 14비트의 코드 데이터내에서 영비트의 연속수를 8이하로 하는 것은 물론, 14비트의 코드 데이터 끼리의 이음매에 있어서도 영비트의 연속수를 8이하로 하기 위하여 14비트의 코드 데이터의 시단측 및 종단측의 영비트의 연속수를 각각 4이하로 하고 있다. 이와같이 하면 제7a도에 보이는 선행하는 14비트 코드 데이터의 종단측의 영비트의 연속수가 4이고, 이에 계속되는 제7b도에 보이는 14비트 코드 데이터의 시단측의 영비트의 연속수가 4일지라도 양코드 데이터의 이음매에 있어서의 영비트의 연속수를 제7도(c)에 보이는 바와 같이 8로 할 수 있다.

그런데, 디지털 데이터를 기록하는 VTR등에서는 자기 비트 동기나 크로스토크 억압 등의 목적에서 비트의 극성 반전은 짧은 쪽은 좋지 않은 것으로 되어 있다. 이 때문에 8-14변조 방식에 있어서, 예컨대 영비트의 연속수의 상한을 상술한 8에서 6으로 인하는 것을 고려하여 상기와 같은 수법으로 14비트의 코드 데이터내에서의 영비트의 연속수에 6, 14비트의 코드 데이터의 시단측 및 종단측의 영비트의 연속수에 3의 상한을 부여해 보면 사용할 수 있는 코드 데이터가 부족하여 변조 코드를 짜낼 수 없다는 문제가 생긴다.

또, 콤팩트 디스크 등에 이용되고 있는 EFM변조 방식에서는 제8도에 도시하는 바와 같이 8비트 단위의 디지털 데이터를 14비트 단위의 코드 데이터로 변환하고, 각 코드 데이터의 이음매에 3비트의 연결 코드 데이터를 삽입하도록 하고 있다. 이 연결 코드 데이터는 코드 데이터 열을 NRZI 변환하여 기록할 때에 전후의 기록 파형의 H레벨과 L레벨과의 관계가 대응하도록 강제적으로 파형의 반전을 행하기 위하여 삽입되어 있다. 이 경우 상기 8-14변조 방식과 같이, 영비트의 연속수에 상한을 부여한다는 사용 방법을 하고 있는 것은 아니나 필요한 장소에서 극성 반전을 행하게 한다는 의미에서 결과적으로 동일한 조작을 행하게 하는 것이 되고, 3비트의 장황한 연결 코드 데이터를 가함으로써 기록 효율이 떨어져 고밀도 기록에 반하는 것으로 된다.

이상과 같이 종래의 부호 변조 방식에서는, 예컨대 8-14변조 방식의 경우 영비트의 연속수의 상한은 8이하이고 그 이상으로 작게하려면 새로운 용장 비트의 부가를 허용할 필요가 있고 고밀도 기록의 방해가 된다는 문제를 지니고 있다.

따라서, 본 발명은 상기 사정을 고려하여 이루어진 것으로서 새로운 용장비트 등을 부가하지 않고 영비트의 연속수의 상한을 작게할 수 있는 극히 양호한 부호 변조 방식을 제공하는 것을 목적으로 한다.

본 발명에 관한 부호 변조 방식은 m비트 단위의 디지털 데이터를, 이 m비트 보다도 비트수가 많은 n비트 단위의 코드 데이터로 변환한 후, NRZI변환하는 것으로서, CDS치가 [0]의 코드 데이터는 디지털 데이터와 1:1대응시키는 동시에 CDS치가 [0]이외의 코드 데이터는 CDS치가 정과 부의 각 그룹으로부터 각각 선출한 코드 데이터와 1대 2 대응시켜 두고, DSV치와 NRZI변환의 파형극성에 의거하여 DSV치가 [0]이 되도록 코드 데이터를 선택하는 것을 대상으로 하고 있다.

그리고 코드 데이터내에서 영비트의 연속수의 상한치 K와 코드 데이터의 종단측의 영비트의 연속수의 상한치 Ke($\leq K$)가 설정된 때 코드 데이터를 시단측의 영비트의 연속수 Ks가

$$K < K + Ke$$

를 만족하는 A군과 만족하지 않는 B군과 시단 비트가 영비트가 아닌 C군으로 나누고, 코드 데이터의 종단비트가 영비트가 아닌 때 이 코드 데이터에 이어지는 코드 데이터를 A군, B군에서 선택하고 코드 데이터의 종단 비트가 영비트인 때 이 코드 데이터에 이어지는 코드 데이터를 A군, C군에서 선택할 때 B군의 코드 데이터와 CDS의 극성이 같거나 또는 CDS치가 [0]인 C군의 코드 데이터를 준비해 두고, B군의 코드 데이터가 선택될 경우, 이 코드 데이터에 대응하는 C군의 코드 데이터를 변조 출력으로서 선택하도록 한 것이다.

상기와 같은 수단에 의하면 디지털 데이터에 대응하는 코드 데이터를 선정할 때에 코드 데이터의 시단측의 0비트의 연속수의 제한을 완화할 수 있으므로 사용할 수 있는 코드 데이터의 수를 유기적으로 증가시킬 수 있기 때문에 새로운 용장 비트 등을 부가하지 않아도 0비트의 연속수의 상한을 작게 할 수 있는 것이다.

이하 본 발명의 일실시에에 대해 도면을 참조하면서 상세히 설명한다. 본 실시예에서는 8비트 단위의 입력 디지털 데이터를 14비트 단위의 변조 코드 데이터로 변환하는 8-14변조 방식에 대하여 기술한다. 즉 14 비트의 변조 코드 데이터(2¹⁴개)중에서 다음에 도시하는 (1)~(3)의 모든 조건을 만족시키는 비트 패턴을 가지는 것의 수를 CDS치 별로 조사한다.

(1) 14비트의 변조 코드 데이터중, 데이터 "1"의 비트가 2개 이상 연속하는 패턴이 존재하지 않은 것.

(2) 14비트의 변조 코드 데이터중 0비트의 연속수가 6이하인 것.

(3) 14비트의 변조 코드 데이터중 종단측에서의 0비트의 연속수가 4이하의 것.

그리고, 제2도는 상기 (1)~(3)의 모든 조건을 만족시키는 비트 패턴을 갖는 변조 코드 데이터의 수를 CDS치마다 나타낸 것이다. 다만 제2도에서는, 같은 CDS치의 변조 코드 데이터를 다음에 제시한 A군, B군 C군의 각 조건을 충족시키는 셋으로 분류하여 그 수를 나타내고 있다.

A군 : 14비트의 변조 코드 데이터중 시단 비트가 영비트이고 또한 시단측의 영비트의 연속수가 "2" 이하의 것.

B군 : 14비트의 변조 코드 데이터중 시단 비트가 영비트이고 또한 시단측의 영비트의 연속수가 "3" 이상의 것.

C군 : 14비트의 변조 코드 데이터중 시단 비트가 데이터"1"인 것.

여기서, 8비트(2⁸개=256개)의 입력 디지털 데이터에 대하여 제2도에 도시한 각군의 변조 코드 데이터를 제3도에 도시하도록 대응시키는데 그 입력 디지털 데이터와 변조 코드 데이터와의 조합 방법의 루울은 첫번째, 전술한 바와 같이 CDS치가 [0]의 변조 코드 데이터에 대하여는 입력 디지털 데이터에 1대 1로 대응시키고, CDS치가 [0] 이외의 변조 코드 데이터에 대하여는 CDS치가 정인 그룹과 부인 그룹으로 나누고 하나의 입력 디지털 데이터에 대하여 각 그룹에서 하나씩 변조 코드 데이터를 대응, 즉 1대 2대응시킨다.

그리고 이 때에 사용하는 변조 코드 데이터는 상기 A군 및 B군에서 선택하고, 둘째로 B군의 변조 코드 데이터를 선택한 경우에는, 이 B군의 변조 코드 데이터와 CDS의 극성이 같은 혹은 CDS치가 [0]인 C군의 변조 코드 데이터를 B군의 변조 코드 데이터의 서브 코드 데이터로하여 대응시킨다. 예컨대, 하나의 8비트 입력 디지털 데이터에 대하여 CDS치가 정 및 부의 양쪽 모든 B군의 변조코드 데이터를 선택한 경우에는 선택된 2개의 변조 코드 데이터에 대하여 각각 C군의 변조 코드 데이터가 서브 코드 데이터로서 대응되기 때문에 입력 디지털 데이터 대 변조 코드 데이터는 1대 4대응이 된다.

여기서, 입력된 디지털 데이터에 대하여 이상과 같이 대응 관계가 결정된 변조 코드 데이터를 얻기 위해서는 입력 디지털 데이터와 변조 코드 데이터를 1대 1로 대응시킨, 이하에 제시한 바와 같은 6종류의 변환 테이블 a~f를 미리 설정해 두고, 이들 각 변환 테이블 a~f를 후술하는 루울에 의거하여 선택하고, 그 선택된 변환 테이블에서 입력 디지털 데이터에 대응하는 변조 코드 데이터를 꺼냄으로써 실현된다. 그리고 이들 6종류의 변환 테이블 a~f에는 각각 다음과 같은 조건의 변조 코드 데이터가 입력 디지털 데이터와 1대 1의 대응 관계로 설정되어 있다.

a : A군 및 B군의 변조 코드 데이터중 CDS가 0 또는 정의 변조 코드 데이터로 구성되는 것.

b : A군 및 B군의 변조 코드 데이터중, CDS가 0 또는 부의 변조 코드 데이터로 구성되는 것.

c : 변환 테이블 a, b 각각을 사용한 변환시에 CDS의 절대치가 크지 않은 쪽의 변조 코드 데이터로 구성되는 것.

d : 변환 테이블 a의 변조 코드 데이터중, B군을 C군으로 치환한 변조 코드 데이터로 구성되는 것.

e : 변환 테이블 b의 변조 코드 데이터중, B군을 C군으로 치환한 변조 코드 데이터로 구성되는 것.

f : 변환 테이블 d, e 각각을 사용한 변환시에 CDS의 절대치가 크지 않은 쪽의 변조 코드 데이터로 구성되는 것.

그리고 제4도는 앞에서 제2도에 도시한 A군, B군 및 C군의 각 변조 코드 데이터중, CDS의 극성이 정인 것을 A+, B+, C+로 하고, 0인 것을 Ao, Bo, Co로 하며, 부인 것을 A-, B-, C-로 하도록 분류하고, 각 변환 테이블 a~f마다 이들 9개의 코드 데이터 군에 포함하는 변조 코드 데이터의 수를 각각 도시한 것이다.

이상과 같이 입력 디지털 데이터 대 변조 코드 데이터가 1대 1로 대응하는 6종류의 변환 테이블 a~f를 설정한 후, 다음의 2개의 루울 I, II에 의거하여 변조 코드 데이터의 선택이 행해진다.

I : 앞서 기술한 8-14변조 방식의 경우와 같이 DSV치가 "0"에 가까워지는 변조 코드 데이터를 선택한다.

II : 직전의 변조 코드 데이터의 종단 비트가 데이터 "1"인 때는 A 또는 B군에서 변조 코드 데이터를 선택하고, 직전의 변조 코드 데이터의 종단 비트가 데이터 "0"인 때는 A 또는 C군에서 변조 코드 데이터를 선택한다.

그리고, 상기 2개의 루울 I, II를 만족한다는 것은 상술한 6종류의 변환 테이블 a~f를 선택하는 것이라고 말하면, DSV와 파형 극성과 직전의 변조 코드 데이터의 종단 비트와의 관계에서, 제1도에 도시하는 바와 같이 변환 테이블 a~f를 선택하게 된다. 즉, 직전의 변조 코드 데이터의 종단 비트가 데이터 "1"인 때에 있어서, 영비트의 연속수의 상한은 그에 계속되는 변조 코드 데이터의 시단측에서만 보증되어 있으면 좋고, 하한은 그에 계속되는 변조 코드 데이터의 시단 비트로 보증되지 않으면 안되게 된다. 본 실시예에서는 영비트의 연속수의 하한은 1이므로, 시단 비트가 영비트인 A, B군에서, 즉 변환 테이블 a, b, c에서 변조 코드 데이터가 선택되게 된다.

또 직전의 변조 코드 데이터의 종단 비트가 영비트인 때에 있어서, 영비트의 연속수의 상한은 그에 이어지는 변조 코드 데이터의 시단 비트와 합쳐서 보증되지 않으면 안된다. 본 실시예에서는 전술한 조건(3)에서, 14비트의 변조 코드 데이터중 종단측에서의 영비트의 연속수의 상한은 4이고, 또 상기 조건(2)에서, 14비트의 변조 코드 데이터중, 영비트의 연속수의 상한은 6으로 하고 있기 때문에 그에 이어지는 변조 코드 데이터의 시단측의 영비트의 연속수의 상한은 2까지로 된다. 더욱이, 이 경우에는, 영비트의 연속수의 하한이 1이라는 조건은, 직전의 변조 코드 데이터의 종단 비트로 보증되어 있으므로, 그에 이어지는 변조 코드 데이터의 시단 비트가 데이터 "1"이라는 데에 아무런 지장은 발생하지 않는다. 이 때문에 직전의 변조 코드 데이터의 종단 비트가 영비트인 때는 A, B군에서 즉 변환 테이블 d, e, f에서 변조 코드 데이터가 선택되게 된다.

다음으로 제5도는, 본 발명의 방식을 사용한 8-14변조 회로의 구체적 구성을 도시하고 있다. 즉, 입력 단자(11)에는 8비트 단위의 디지털 데이터가 입력되고 전술한 변환 테이블 a~f가 기억되어서, 8-14변환 회로를 구성하는 ROM(Read only memory)(18)에 공급된다. 상기 ROM(18)에서는 비교기(17)로부터 직전의 DSV의 극성(정, 영, 부)을 나타내는 출력과, 배타적 논리합 회로(이하 X-OR 회로라 칭한다)(20)로부터 직전의 NRZI변환 후의 파형 극성을 나타내는 출력과, 플립플롭 회로(이하 FF회로라 칭한다)(23)로부터 직전의 변조 코드 데이터의 최종 비트의 값을 나타내는 출력에 따라, 앞서 제1도에 도시한 루울에 따라 변환 테이블 a~f가 선택되고, 14비트의 변조 코드 데이터가 병렬로 독출된다.

또 각 변조 코드 데이터의 CDS치(여기서는 NRZI변환의 개시점의 파형 극성을 부로 한다)를 기억하고 있는 ROM(12)에는 상기 ROM(18)와 같은 입력이 공급되어, ROM(18)에서 출력되는 변조 코드 데이터의 CDS치가 출력된다. 이 경우 직전의 파형 극성이 정인 때는 DSV치에 가산되는 실효적인 CDS치는 정·부가 반전하므로 정·부 회로(13)와 스위치(14)를 사용하여 가산 회로(15)와 FF회로(16)로 구성되는 DSC산출 회로에서 실효적인 CDS치가 공급되도록 하고 있다. 그리고, 이 DSV산출 회로를 구성하는 가산 회로(15)에서는 스위치(14)에서 도출된 출력과 FF회로(16)의 출력으로부터 항상 새로운 DSV를 산출하고 있고, 이 산출된 DSV치는 상기 비교기(17)에 공급되어 데이터 "0"과 비교되고, 정인지 영인지 부인지를 나타내는 데이터가 출력된다.

또한 상기 ROM(18)에서 14비트 병렬로 출력되는 변조 코드 데이터는 시프트 레지스터(19)에서 직렬 데이터로 변환된 뒤, 상기 X-OR회로(20)와 FF회로(21)로 구성되는 NRZI변환 회로에서 NRZI변환되어 출력 단자(22)에서 취출된다.

제2실시예로서, 제9a도 내지 제9f도의 구성을 도시한다. 표준 좌단의 0~255는 피변조 데이터로, 이 입력에 대한 각 테이블의 출력 변조 코드를 좌측에 도시하고 있다. 각 테이블의 코드 선택 루울은 제1실시예와 동일하지만, 코드의 구성 내용은 약간 다르다. 본 테이블을 이용한 변조 동작시의 테이블 선택 루울도 제1실시예와 동일하며, 따라서 본 테이블은 제5도에 도시한 회로 구성에 적용할 수 있는 것이다.

이하에서, 본 제2실시예에 테이블은 이용한 변조 동작의 일예에 대해 설명한다. 여기서, 초기 상태에서 DSV는 "0", 파형 극성은 "부", 종단 비트는 "0"으로 한다. 이 때 입력된 피변조 데이터가 "255"라면, 제1도의 테이블 선택 루울에 따라 테이블 f로부터 14비트 코드 "010101010100"를 선택한다. NRZI변조후는 "01100110011000"인 변조 출력이 얻어지고 이 때 DSV는 "-2", 파형 극성은 "부", 종단 비트는 "0"이다. 이 조건으로부터 다음 변조에 이용하는 테이블은 d인 것이 결정된다. 다음으로 입력 피변조 데이터가 "220"이라면 선택되는 14비트 코드는 "010000010101"이다. 이 때 DSV는 "+2", 파형 극성은 "정", 종단 비트는 "1"이다. 이 조건으로부터 다음 변조에 이용하는 테이블은 a인 것이 결정된다. 이상과 같은 동작을 반복해 변조 동작을 행하면, DSV는 발산할 없이 일정한 진폭내에서 변동하고, 또 NRZI변조후의 연속하는 동일 비트의 발생은 2이상 7이하가 보증된다.

그리고, 본 발명은 상기 실시예에 한정되는 것은 아니고, 이외 그 요지를 벗어나지 않는 범위에서 여러가지로 변형하여 실시할 수 있다.

이상 상술한 바와 같이 본 발명에 의하면 새로운 용장 비트 등을 부가하지 않고 영비트의 연속수의 상한을 작게할 수 있는 극히 양호한 부호 변조 방식을 제공할 수 있다.

(57) 청구의 범위

청구항 1

m비트 디지털 데이터 코드를 수신하기 위한 입력 수단(11)과 ; 다수의 변환 테이블을 포함하며, m비트의 디지털 데이터 코드로부터 n비트 변조 데이터 코드로 변환하는 (n>m) 각각의 테이블을 저장하기 위한 테이블 수단(12)과 ; 상기 변조 데이터 코드의 디지털 합 편차(DSV) 극성치를 결정하기 위

한 디지털할 편차 계산 수단(13,14,15,16)과) ; 상기 디지털 데이터 코드를 정 또는 부로 되는 상기 파형 극성치로 전환하기 위한 0로의 비복귀 반전 변환 수단(20,21)과 ; 선행 변조 데이터 코드의 소정 비트 치를 결정하기 위한 파형 극성 결정 수단(24)과 ; DSV극성치, 파형 극성치 및 선행 변조 데이터 코드의 소정 비트치에 따라 복수개의 변환 테이블중 하나를 선택하기 위한 테이블 선택 수단(18)과 ; 상기 디지털 데이터 코드에 대응하는 상기 변환 테이블로부터 변조 데이터 코드를 선택하기 위한 변조 데이터 코드 선택 수단(23)과 ; 상기 변조 데이터 코드를 출력하기 위한 출력 수단(22)을 구비하는 것을 특징으로 하는 변조 회로 장치.

청구항 2

제1항에 있어서, 상기 테이블 수단은 n비트 변조 데이터 코드를 생성하기 위한 변조 데이터 코드 생성 수단과 ; n비트의 변조 데이터 코드중 시단 비트가 “0” 비트이고 시단 비트의 영비트의 개시 및 계산 수가 “2” 이하인 제1군과, n비트의 변조 데이터 코드중 시단 비트가 “0” 비트이고 시단 비트의 영비트의 개시 및 계산 수가 “3” 이하인 제2군과, n비트의 변조 데이터 코드중 시단 비트가 “1” 인 제3군을 포함한 적어도 3개의 군으로 생성된 n비트의 변조 데이터 코드를 그룹핑하기 위한 그룹 수단과 ; 상기 제1군 및 제2군의 변조 데이터 코드중 CDS가 부가 아닌 변조 데이터 코드로 구성되는 제1테이블과, 제1군 및 제2군의 변조 데이터 코드중 CDS가 정이 아닌 변조 데이터 코드로 구성되는 제2테이블과, 각각의 테이블 a 및 b를 사용하여 변환할 때 CDS의 절대치가 크지 않은 쪽의 변조 데이터 코드로 구성되는 제3테이블과, 상기 제1군 및 제3군의 변조 데이터 코드중 CDS가 부가 아닌 변조 데이터 코드로 구성되는 제4테이블과, 상기 제1군 및 제3군의 변조 데이터 코드중 CDS가 정이 아닌 변조 데이터 코드로 구성되는 제5테이블과, 각각의 테이블 d, e를 사용하여 변환할 때 CDS치가 크지 않은 쪽의 변조 데이터 코드로 구성되는 제6테이블을 가지며, n비트의 변조 데이터 코드를 포함하는 적어도 상기 6개의 테이블을 생성하기 위한 테이블 생성 수단을 추가로 구비하는 것을 특징으로 하는 변조 회로 장치.

청구항 3

제2항에 있어서, n비트의 변조 데이터 코드만 생성하는 상기 변조 데이터 코드 생성 수단은, (1) 데이터 “1”의 비트가 2이상 연속하는 패턴이 존재하지 않고, (2) n비트 코드의 한부분에서 0비트의 연속수가 6이하로 되며, (3) n비트의 코드중 시단 및 중단측에서의 0비트의 연속수가 4이하로 되는 것을 특징으로 하는 변조 회로 장치.

청구항 4

제2항에 있어서, 상기 테이블 선택 수단은, 상기 DSV비교기 수단이 정이고, 0로의 비복귀 반전 변환 수단이 정이며, 상기 비트 결정 수단이 1인 경우와, 상기 DSV비교기 수단이 부이고, 0로의 비복귀 반전 변환 수단이 부이며, 상기 비트 결정 수단이 1인 경우 양쪽 모두에 상기 제1테이블을 선택하기 위한 제1테이블 선택 수단과 ; 상기 DSV비교기 수단이 정이고, 0로의 비복귀 반전 변환 수단이 부이며, 상기 비트 결정 수단이 1인 경우와, 상기 DSV비교기 수단이 부이고, 0로의 비복귀 반전 변환 수단이 정이며, 상기 비트 결정 수단이 1인 경우 양쪽 모두에 상기 제2테이블을 선택하기 위한 제2테이블 선택 수단과 ; 상기 DSV비교기 수단이 0이고, 0로의 비복귀 반전 변환 수단이 정이며, 상기 비트 결정 수단이 1인 경우와, 상기 DSV비교기 수단이 0이고, 0로의 비복귀 반전 변환 수단이 부이며, 상기 비트 결정 수단이 1인 경우 양쪽 모두에 상기 제3테이블을 선택하기 위한 제3테이블 선택 수단과 ; 상기 DSV비교기 수단이 정이고, 0로의 비복귀 반전 변환 수단이 정이며, 상기 비트 결정 수단이 1인 경우와, 상기 DSV비교기 수단이 부이고, 0로의 비복귀 반전 변환 수단이 부이며, 상기 비트 결정 수단이 0인 경우 양쪽 모두에 상기 제4테이블을 선택하기 위한 제4테이블 선택 수단과 ; 상기 DSV비교기 수단이 정이고, 0로의 비복귀 반전 변환 수단이 부이며, 상기 비트 결정 수단이 0인 경우와, 상기 DSV비교기 수단이 부이고, 0로의 비복귀 반전 변환 수단이 정이며, 상기 비트 결정 수단이 0인 경우 양쪽 모두에 상기 제5테이블을 선택하기 위한 제5테이블 선택 수단과 ; 상기 DSV비교기 수단이 0이고, 0로의 비복귀 반전 변환 수단이 정이며, 상기 비트 결정 수단이 0인 경우와, 상기 DSV비교기 수단이 0이고, 0로의 비복귀 반전 변환 수단이 부이며, 상기 비트 결정 수단이 0인 경우 양쪽 모두에 상기 제6테이블을 선택하기 위한 제6테이블 선택 수단을 포함하는 것을 특징으로 하는 변조 회로 장치.

도면

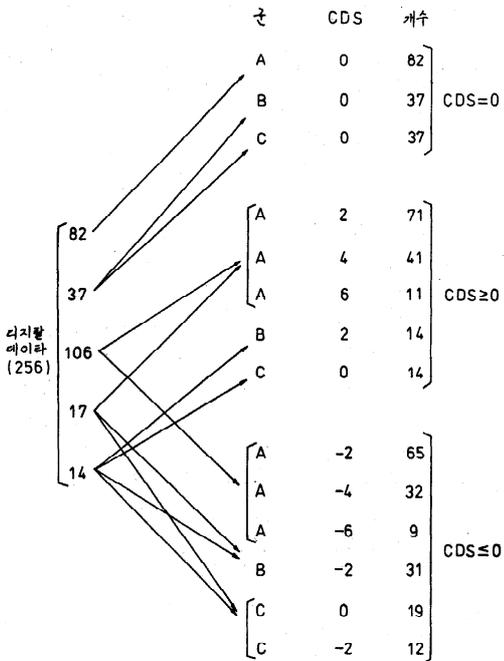
도면1

DSV	파형극성	종단비트	선택하는 변환레이블
정	정	1	a
		0	d
	부	1	b
		0	e
영	정	1	c
		0	f
	부	1	c
		0	f
부	부	1	b
		0	e
	부	1	a
		0	d

도면2

CDS	준	A	B	C
-8		0	4	0
-6		9	24	3
-4		32	41	14
-2		65	48	40
0		82	37	70
2		71	15	76
4		41	4	62
6		11	0	33
8		2	0	6

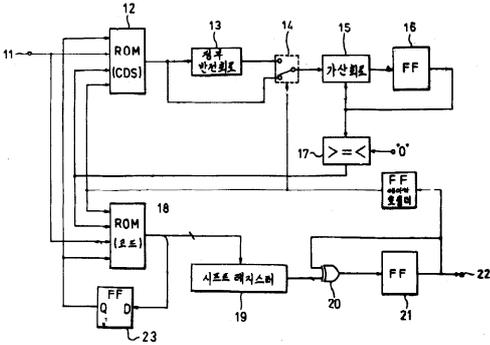
도면3



도면4

변환 데이터	구 성 요 소 관								
	Ao	Bo	Co	A+	B+	C+	A-	B-	C-
a	82	37	0	123	14	0	0	0	0
b	82	37	0	0	0	0	106	31	0
c	82	37	0	24	0	0	85	48	0
d	82	0	51	123	0	0	0	0	0
e	82	0	68	0	0	0	106	0	0
f	82	0	68	71	0	0	35	0	0

도면5



도면6

DSV	파 램 구성	선택 변조 코드
정	정	CDS 가 정인 변조 코드
	부	CDS 가 부인 변조 코드
병	정	CDS 정역치의 작은쪽의 변조 코드
	부	
부	정	CDS 가 부인 변조 코드
	부	CDS 가 정인 변조 코드

도면7

- (a) ----0 1 0 0 0 0
- (b) 0 0 0 0 1 0----
- (c) ----0 1 0 0 0 0 | 0 0 0 0 1 0----

도면8

