

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2022-541146

(P2022-541146A)

(43)公表日 令和4年9月22日(2022.9.22)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 25/065(2006.01)	H 0 1 L 25/08	D 4 C 1 2 7
A 6 1 B 5/293(2021.01)	A 6 1 B 5/293	
H 0 1 L 25/18 (2006.01)	H 0 1 L 25/04	Z

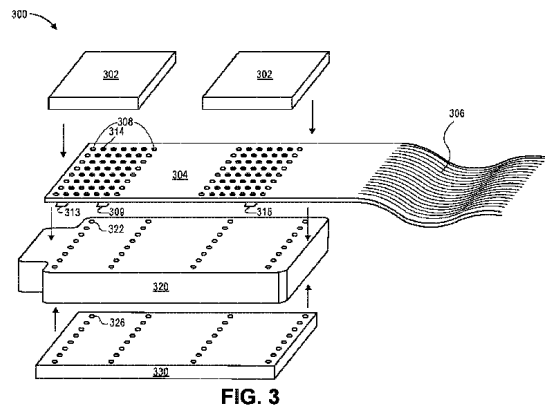
審査請求 未請求 予備審査請求 未請求 (全26頁)

(21)出願番号	特願2022-501014(P2022-501014)	(71)出願人	521109589 ニューラルリンク コーポレーション NEURALINK CORP. アメリカ合衆国 カリフォルニア州 9 4 5 5 5 フレモント パセオ パードレ パ ークウェイ 7 4 0 0
(86)(22)出願日	令和2年7月9日(2020.7.9)	(74)代理人	100147485 弁理士 杉村 憲司
(85)翻訳文提出日	令和4年3月1日(2022.3.1)	(74)代理人	230118913 弁護士 杉村 光嗣
(86)国際出願番号	PCT/US2020/041345	(74)代理人	100213333 弁理士 鹿山 昌代
(87)国際公開番号	WO2021/011286	(72)発明者	スピン チェン アメリカ合衆国 カリフォルニア州 9 4 5 5 5 フレモント パセオ パドレ パー ークウェイ 7 4 0 0
(87)国際公開日	令和3年1月21日(2021.1.21)		
(31)優先権主張番号	62/873,497		
(32)優先日	令和1年7月12日(2019.7.12)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		

(54)【発明の名称】 プリント回路基板(PCB)が両面において薄膜電極アレイと複数の集積回路(IC)とで挟まれて配置される部品、および製造方法

(57)【要約】

高密度な複数の電極が使用される薄膜電極アレイを含むサンドイッチ構造が開示されている。関連する複数の電子機器に必要とされる体積を最小限に抑えるために、電極アレイおよび複数の集積回路は、プリント回路基板で挟まれる。プリント回路基板は、反対側に他の複数の集積回路を備えよ。とりわけ、開示された装置、システム、および方法は、プリント回路基板上のカスタムチップと下側のFPGAとの間の通信を容易にする複数のホールおよび複数のビアを提供することによって、以前のシステムよりも改善される。薄膜電極アレイは、薄膜屈曲回路をリベットで留めるために、積み重ねられた複数の金または他の金属ボールからなる柱をバックングすることによって、固定されることが可能である。当該システムは、埋め込まれた複数のワイヤトレースおよび複数のホールを有する膜アレイ、複数のホールに複数のビアが位置合わせされたプリント回路基板、薄膜を挟むアナログデジタル変換器を含む複数のチップ、および複数のチップから複数のホールを通して複数のビアへと繋がる複数のはんだ接続を含むことができる。



【特許請求の範囲】

【請求項 1】

薄膜電極変換装置であって、

遠位端の電極から導電性パッドの 2 次元アレイへと繋がる埋め込まれた複数のワイヤトレースを有し、自身を貫通するホールを有する薄膜と、

前記薄膜を貫通する前記ホールと位置合わせされたビアを有するプリント回路基板と、

前記プリント回路基板との間に前記薄膜を挟み、前記薄膜における前記導電性パッドの第 1 列および第 2 列の少なくとも何れかに、電氣的に接続される複数の入力を有するアナログデジタル変換器と

前記アナログデジタル変換器の出力から前記薄膜の前記ホールを通り前記プリント回路基板の前記ビアまで繋がるはんだ接続と、

を備え、

複数の前記ワイヤトレースの一部は、前記導電性パッドの前記第 1 列に接続し、複数の前記ワイヤトレースの別の一部は、前記導電性パッドの前記第 2 列に接続し、前記第 2 列は、前記第 1 列より前記遠位端から離れている、

装置。

【請求項 2】

前記プリント回路基板における前記薄膜および前記アナログデジタル変換器が設けられている側の逆側に取り付けられた集積回路チップをさらに備え、

前記集積回路チップは、前記プリント回路基板の前記ビアに接続される、

請求項 1 に記載の装置。

【請求項 3】

前記集積回路チップは、FPGA を備える、

請求項 2 に記載の装置。

【請求項 4】

前記アナログデジタル変換器は、複数の電極からの複数のアナログ信号を複数のデジタル信号に変換し、それらを多重化するように構成され、

前記はんだ接続は、多重化された前記デジタル信号を、前記薄膜の一方の側に設けられる前記アナログデジタル変換器から、前記薄膜の他方の側に設けられる前記集積回路チップまで、転送するように構成され、

前記集積回路チップは、多重化された複数の前記デジタル信号を、シリアル化されたデータ構造に変換するように構成される、

請求項 2 に記載の装置。

【請求項 5】

前記シリアル化されたデータ構造は、Protocol Buffers、Avro、Thrift、Bond、および Extensible Markup Language (XML) からなる群から選択されるフォーマットである、

請求項 4 に記載の装置。

【請求項 6】

前記アナログデジタル変換器は、複数のデジタル信号を、一緒に多重化するように構成される、

請求項 1 に記載の装置。

【請求項 7】

前記薄膜におけるそれぞれの導電性パッドは、それぞれのワイヤトレースより少なくとも 5 倍広い、

請求項 1 に記載の装置。

【請求項 8】

前記第 1 列と前記第 2 列との間の前記薄膜を通る第 3 列の複数のホールと、

前記アナログデジタル変換器の出力から前記薄膜の前記第 3 列の複数の前記ホールを通り前記プリント回路基板の複数の前記ビアまで繋がる複数のはんだ接続と、

10

20

30

40

50

をさらに備える、請求項 1 に記載の装置。

【請求項 9】

前記薄膜のホール内部に取り付けられた表面実装キャパシタと、
前記表面実装キャパシタの複数の末端から前記プリント回路基板の複数のビアまで繋がる複数のはんだ接続と、

をさらに備える、請求項 1 に記載の装置。

【請求項 10】

前記薄膜の導電性パッドと接地素子との間を接続する静電気放電キャパシタをさらに備える、

請求項 1 に記載の装置。

10

【請求項 11】

前記プリント回路基板のビアは、ブラインドビアである、

請求項 1 に記載の装置。

【請求項 12】

前記はんだ接続は、金を含む、

請求項 1 に記載の装置。

【請求項 13】

複数の前記電極は、生体適合性がある、

請求項 1 に記載の装置。

【請求項 14】

前記薄膜は、埋め込まれた複数のワイヤトレースの 2 つ以上の層を含む、

請求項 1 に記載の装置。

20

【請求項 15】

前記薄膜を貫通する前記ホールは、前記第 1 列と前記第 2 列との間にある、

請求項 1 に記載の装置。

【請求項 16】

薄膜電極受容装置を製造する方法であって、

遠位端の電極から導電性パッドの 2 次元アレイへと繋がる埋め込まれた複数のワイヤトレースを有し、自身を貫通するホールを有する薄膜を提供するステップと、

ビアを有するプリント回路基板とアナログデジタル変換器との間に前記薄膜を挟むステップと、

30

前記薄膜における前記導電性パッドの第 1 列および第 2 列の少なくとも何れかに、前記アナログデジタル変換器の複数の入力第 1 セットを電氣的に接続するステップと、

前記アナログデジタル変換器の出力から前記薄膜の前記ホールを通り前記プリント回路基板の前記ビアまで繋がるはんだ接続を、加熱し、形成するステップと、

を含み、

複数の前記ワイヤトレースの一部は、前記導電性パッドの前記第 1 列に接続し、複数の前記ワイヤトレースの別の一部は、前記導電性パッドの前記第 2 列に接続し、前記第 2 列は、前記第 1 列より前記遠位端から離れている、

方法。

40

【請求項 17】

前記プリント回路基板における前記薄膜および前記アナログデジタル変換器が設けられている側の逆側に、集積回路チップを取り付けるステップと、

前記集積回路チップに、前記プリント回路基板の前記ビアを接続するステップと、

をさらに含む、請求項 16 に記載の方法。

【請求項 18】

薄膜フレックス回路を剛性部品と位置合わせおよび接合する方法であって、

ボールボンダを使用して、剛性部品の上に、底部金属ボールを堆積するステップと、

前記ボールボンダを使用して、前記底部金属ボールの上に、別の金属ボールを積み重ねて、積み重ねられた 2 つの金属ボールからなる第 1 柱を形成するステップと、

50

前記ボールボンダを使用して、積み重ねられた 2 つの金属ボールからなる第 2 柱を形成するステップと、

積み重ねられた 2 つの金属ボールからなる前記第 1 柱および前記第 2 柱が、前記薄膜フレックス回路における複数のホールを通して突出するように、前記薄膜フレックス回路を位置合わせして配置するステップと、

を含み、

前記第 1 柱および前記第 2 柱は、前記薄膜フレックス回路を、ぴんと張った状態に保ち、しわを防ぐ、

方法。

【請求項 19】

それぞれのホールを通して、突き出ている積み重ねられた複数の金属ボールからなるそれぞれの柱をバックングして、前記それぞれのホールの直径よりも大きい直径を有するバックテイルを形成することで、前記薄膜フレックス回路を、前記剛性部品にしっかりと固定するステップをさらに含む、

請求項 18 に記載の方法。

【請求項 20】

第 1 柱および第 2 柱は、フリップチップボンダを使用して、バックングされる、

請求項 19 に記載の方法。

【請求項 21】

前記ボールボンダを使用して、前記ホールを通して、突き出ている第 1 柱と第 2 柱との間に、連続するワイヤを引くことで、前記剛性部品の上に、前記薄膜フレックス回路を覆うステーブルを形成するステップをさらに含む、

請求項 18 に記載の方法。

【請求項 22】

位置合わせして配置するステップの後、剛性を有するキャリアから前記薄膜フレックス回路を取り外すステップをさらに含む、

請求項 18 に記載の方法。

【請求項 23】

前記剛性部品は、集積回路チップであり、

前記集積回路チップのボールグリッドアレイを、前記薄膜フレックス回路の露出されたパッドに結合するステップをさらに含む、

請求項 18 に記載の方法。

【請求項 24】

前記薄膜フレックス回路は、5 μm から 20 μm までの範囲の厚さである、

請求項 18 に記載の方法。

【請求項 25】

前記剛性部品は、プリント回路基板および集積回路チップからなる群から選択される、

請求項 18 に記載の方法。

【請求項 26】

複数の前記金属ボールは、金、銅、またはアルミニウムを含む、

請求項 18 に記載の方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

本出願は、米国特許出願 62 / 873,497 号 (2019 年 7 月 12 日出願) の優先権を主張するものであり、当該出願の開示全体を、ここに参照のために取り込む。

【技術分野】

【0002】

本発明の実施形態は、一般的な半導体集積回路チップと多層可撓性絶縁基板との間の相互接続構造に関する。より具体的には、実施形態は、生体適合性のある可撓性基板にお

10

20

30

40

50

る複数の電極およびプリント回路ボード、ならびに集積回路チップに関する省スペース部材のための装置およびプロセスに関する。

【背景技術】

【0003】

埋め込み型装置は、脳などの神経組織に埋め込むことができ、ブレイン・コンピュータインターフェースを形成できる。特定の例では、埋め込み型装置は、ニューロン（光、電流、電圧、または薬物など）の刺激および/またはニューロン信号の記録のための電極などの経路を備える生体適合性のある基板を含むことができる。

【0004】

このようなニューロン信号は、アナログの、未処理の信号であってよく、それらがデジタルコンピュータによって処理される前に、アナログからデジタルへの変換、集約、およびデータパケットならびに/または人間もしくは機械で読み取り可能なフォーマットへの変換を必要としてよい。このような変換、前処理、およびフォーマットは、脳のインプラントに、多くの体積を占め、かつ、かなりの重量が加わる電子機器を必要とする場合がある。したがって、ブレイン・コンピュータインターフェースを実行可能にするには、軽量でコンパクトな電子機器パッケージが必要とされる。

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

一般的に、当該技術分野において、複数の集積回路と外界からの刺激物との間に、よりコンパクトな電子機器およびインターフェースが必要とされている。

20

【課題を解決するための手段】

【0006】

一般的に、微細加工された薄膜電極と接続する複数のワイヤのリボンケーブルは、アナログデジタル変換器（ADC）の集積回路チップの本体とプリント回路基板との間に挟まれている。一部の電極ワイヤは、アナログデジタル変換器のチップの第1側のピンの第1列に接続し、リボンケーブルがアナログデジタル変換器の下を進んだ後、別の一部の電極ワイヤは、アナログデジタル変換器のピンの第2列に接続する。アナログデジタル変換器の出力、デジタルピンは、リボンケーブルのホールを通過して、プリント回路基板の下および/またはプリント回路基板の反対側に取り付けられた別の集積回路チップに到達する。

30

【0007】

アナログデジタル変換器の集積回路チップは、アナログデジタル変換器およびデジタルアナログ変換器（DAC）の二重機能が1つのチップ上にあり、アナログデジタル変換器の出力、デジタルピンが、デジタルアナログ変換器の入力、デジタルピンとして機能するように、デジタルアナログ変換器も収容してよい。

【0008】

一実施形態に係る装置は、薄膜電極変換装置であって、遠位端の電極から導電性パッドの2次元アレイへと繋がる埋め込まれた複数のワイヤトレースを有し、自身を貫通するホールを有する薄膜と、前記薄膜を貫通する前記ホールと位置合わせされたビアを有するプリント回路基板と、前記プリント回路基板との間に前記薄膜を挟み、前記薄膜における前記導電性パッドの第1列および第2列の少なくとも何れかに、電気的に接続される複数の入力線を有するアナログデジタル変換器と前記アナログデジタル変換器の出力から前記薄膜の前記ホールを通り前記プリント回路基板の前記ビアまで繋がるはんだ接続と、を備え、複数の前記ワイヤトレースの一部は、前記導電性パッドの前記第1列に接続し、複数の前記ワイヤトレースの別の一部は、前記導電性パッドの前記第2列に接続し、前記第2列は、前記第1列より前記遠位端から離れている。

40

【0009】

さらに、一実施形態に係る装置において、前記プリント回路基板における前記薄膜および前記アナログデジタル変換器が設けられている側の逆側に取り付けられた集積回路チッ

50

ブをさらに備え、前記集積回路チップは、前記プリント回路基板の前記ビアに接続される。

【0010】

さらに、一実施形態に係る装置において、前記集積回路チップは、FPGAを備える。

【0011】

さらに、一実施形態に係る装置において、前記アナログデジタル変換器は、複数の電極からの複数のアナログ信号を複数のデジタル信号に変換し、それらを多重化するように構成され、前記はんだ接続は、多重化された前記デジタル信号を、前記薄膜の一方の側に設けられる前記アナログデジタル変換器から、前記薄膜の他方の側に設けられる前記集積回路チップまで、転送するように構成され、前記集積回路チップは、多重化された複数の前記デジタル信号を、シリアル化されたデータ構造に変換するように構成される。

10

【0012】

さらに、一実施形態に係る装置において、前記シリアル化されたデータ構造は、Protocol Buffers、Avro、Thrift、Bond、およびExtensible Markup Language (XML) からなる群から選択されるフォーマットである。

【0013】

さらに、一実施形態に係る装置において、前記アナログデジタル変換器は、複数のデジタル信号を、一緒に多重化するように構成される。

【0014】

さらに、一実施形態に係る装置において、前記薄膜におけるそれぞれの導電性パッドは、それぞれのワイヤトレースより少なくとも5倍広い。

20

【0015】

さらに、一実施形態に係る装置において、前記第1列と前記第2列との間の前記薄膜を通る第3列の複数のホールと、前記アナログデジタル変換器の出力から前記薄膜の前記第3列の複数の前記ホールを通り前記プリント回路基板の複数の前記ビアまで繋がる複数のはんだ接続と、をさらに備える。

【0016】

さらに、一実施形態に係る装置において、前記薄膜のホールの内部に取り付けられた表面実装キャパシタと、前記表面実装キャパシタの複数の末端から前記プリント回路基板の複数のビアまで繋がる複数のはんだ接続と、をさらに備える。

30

【0017】

さらに、一実施形態に係る装置において、前記薄膜の導電性パッドと接地素子との間を接続する静電気放電キャパシタをさらに備える。

【0018】

さらに、一実施形態に係る装置において、前記プリント回路基板のビアは、ブラインドビアである。

【0019】

さらに、一実施形態に係る装置において、前記はんだ接続は、金を含む。

【0020】

さらに、一実施形態に係る装置において、複数の前記電極は、生体適合性がある。

40

【0021】

さらに、一実施形態に係る装置において、前記薄膜は、埋め込まれた複数のワイヤトレースの2つ以上の層を含む。

【0022】

さらに、一実施形態に係る装置において、前記薄膜を貫通する前記ホールは、前記第1列と前記第2列との間にある。

【0023】

また、一実施形態に係る方法は、薄膜電極受容装置を製造する方法であって、遠位端の電極から導電性パッドの2次元レイへと繋がる埋め込まれた複数のワイヤトレースを有し、自身を貫通するホールを有する薄膜を提供するステップと、ビアを有するプリント回

50

路基板とアナログデジタル変換器との間に前記薄膜を挟むステップと、前記薄膜における前記導電性パッドの第1列および第2列の少なくとも何れかに、前記アナログデジタル変換器の複数の入力の第1セットを電氣的に接続するステップと、前記アナログデジタル変換器の出力から前記薄膜の前記ホールを通り前記プリント回路基板の前記ビアまで繋がるはんだ接続を、加熱し、形成するステップと、を含み、複数の前記ワイヤトレースの一部は、前記導電性パッドの前記第1列に接続し、複数の前記ワイヤトレースの別の一部は、前記導電性パッドの前記第2列に接続し、前記第2列は、前記第1列より前記遠位端から離れている。

【0024】

さらに、一実施形態に係る方法において、前記プリント回路基板における前記薄膜および前記アナログデジタル変換器が設けられている側の逆側に、集積回路チップを取り付けるステップと、前記集積回路チップに、前記プリント回路基板の前記ビアを接続するステップと、をさらに含む。

10

【0025】

また、一実施形態に係る方法は、薄膜フレックス回路を剛性部品と位置合わせおよび接合する方法であって、ボールボンダを使用して、剛性部品の上に、底部金属ボールを堆積するステップと、前記ボールボンダを使用して、前記底部金属ボールの上に、別の金属ボールを積み重ねて、積み重ねられた2つの金属ボールからなる第1柱を形成するステップと、前記ボールボンダを使用して、積み重ねられた2つの金属ボールからなる第2柱を形成するステップと、積み重ねられた2つの金属ボールからなる前記第1柱および前記第2柱が、前記薄膜フレックス回路における複数のホールを通して突出するように、前記薄膜フレックス回路を位置合わせして配置するステップと、を含み、前記第1柱および前記第2柱は、前記薄膜フレックス回路を、ぴんと張った状態に保ち、しわを防ぐ。

20

【0026】

さらに、一実施形態に係る方法において、それぞれのホールを通して、突き出ている積み重ねられた複数の金属ボールからなるそれぞれの柱をバックリングして、前記それぞれのホールの直径よりも大きい直径を有するバックテイルを形成することで、前記薄膜フレックス回路を、前記剛性部品にしっかりと固定するステップをさらに含む。

【0027】

さらに、一実施形態に係る方法において、第1柱および第2柱は、フリップチップボンダを使用して、バックリングされる。

30

【0028】

さらに、一実施形態に係る方法において、前記ボールボンダを使用して、前記ホールを通して、突き出ている第1柱と第2柱との間に、連続するワイヤを引くことで、前記剛性部品の上に、前記薄膜フレックス回路を覆うステーブルを形成するステップをさらに含む。

【0029】

さらに、一実施形態に係る方法において、位置合わせして配置するステップの後、剛性を有するキャリアから前記薄膜フレックス回路を取り外すステップをさらに含む。

【0030】

さらに、一実施形態に係る方法において、前記剛性部品は、集積回路チップであり、前記集積回路チップのボールグリッドアレイを、前記薄膜フレックス回路の露出されたパッドに結合するステップをさらに含む。

40

【0031】

さらに、一実施形態に係る方法において、前記薄膜フレックス回路は、5 μmから20 μmまでの範囲の厚さである。

【0032】

さらに、一実施形態に係る方法において、前記剛性部品は、プリント回路基板および集積回路チップからなる群から選択される。

【0033】

50

さらに、一実施形態に係る方法において、複数の前記金属ボールは、金、銅、またはアルミニウムを含む。

【図面の簡単な説明】

【0034】

【図1】本開示の実施形態に係るプリント回路基板上の薄膜電極アレイの一例を示す上面図である。

【図2】本開示の実施形態に係る複数のビアを備えるプリント回路基板と位置合わせされた複数のホールを有する薄膜電極アレイを含む電子機器パッケージの一例を示す垂直断面図である。

【図3】本開示の実施形態に係るFPGA(Field Programmable Gate Array)にチップを接続する複数のビアを備えるプリント回路基板上に、複数のホールを有する薄膜電極アレイの一例を示す正射影図である。 10

【図4】本開示の実施形態に係る薄膜電極アレイ上のスレッドおよび造られた複数のコンタクトパッドの一例を示す上面図である。

【図5】本開示の実施形態に係る電子機器パッケージに取り付けられたキャパシタの一例を示す垂直断面図である。

【図6A】本開示の実施形態に係るアレイ取り付け構造のための金属小球の配置の一例を示す垂直断面図である。

【図6B】本開示の実施形態に係るアレイ取り付け構造のための複数のリベットポストを形成するための複数の金属小球の積み重ねの一例を示す図である。 20

【図6C】本開示の実施形態に係るアレイ取り付け構造の組み立ての一例を示す図である。

【図6D】本開示の実施形態に係るアレイ整列構造でリベットを形成するために積み重ねられた複数の金属小球のパッキングの一例を示す図である。

【図6E】本開示の実施形態に係るアレイ整列構造を含む電子機器パッケージの組み立ての一例を示す図である。

【図6F】本開示の実施形態に係るアレイステーブル構造のために、積み重ねられた複数の金属小球を有する薄膜のステーブル留めした様子の一例を示す図である。

【図7】本発明の実施形態を示すフローチャートである。

【図8】本発明の実施形態を示すフローチャートである。 30

【発明を実施するための形態】

【0035】

薄膜電極アレイのためのサンドイッチ構造、および埋め込み型ブレイン・コンピュータインターフェースまたは他のセンサインターフェースで使用するための複数の集積回路が開示されている。電極アレイは、脳などの生体内神経組織に埋め込まれた電極に接続されたワイヤ(「スレッド」または「ケーブル」とも呼ばれる)を含んでよく、脳のインプラントシステムは、これらの電極および電子機器を含む電子機器保護筐体(「電子機器パッケージ」または「ピルボックス」とも呼ばれる)からの信号を処理するための電子機器をさらに含んでよい。電子機器保護筐体および/または脳のインプラント全体に必要とされる体積を最小限に抑えるために、電極アレイおよび複数の集積回路は、プリント回路基板上と一緒に挟まれることが可能であり、他のチップは、プリント回路基板の反対側に配置されてよい。電極ワイヤのトレースおよび/または接続の多くの部分は、プリント回路基板上で、実質的に高密度で薄膜アレイ上に配置されることが可能であり、これにより、体積をさらに小さくすることができる。 40

【0036】

特に、プリント回路基板の一方の側の部品は、チップ(例えば、カスタム特定用途向けの集積回路、またはASIC、NMICとも呼ばれる)、およびチップから情報を収集するために使用される他の部品を含んでよい。チップは、電極から収集された信号をデジタル化するためのアナログデジタル変換器として機能してよく、および/または部品として1つもしくは複数のアナログデジタル変換器を含んでよい。さらに、チップは、信号を増 50

幅および/またはパケット化する、あるいは、他の機能を実行してよい。「チップ」および「ADC」という用語は、本明細書では交換可能に使用されてよい。

【0037】

プリント回路基板の他方の側には、FPGAなどの集積回路およびその他の部品が、単一のコネクタを介して信号を集約するために、使用されてよい。プリント回路基板上のチップおよびその他の部品が、下の集積回路またはFPGAと通信できるようにするために、プリント回路基板上の薄膜電極アレイは、複数のホール（貫通穴とも呼ばれる）を含んでいてよく、プリント回路基板は、複数のホールと位置合わせされた複数のビアを含んでいてよく、これにより、2つの面が、電氣的に接続されてよい。

【0038】

開示された装置および方法は、そのような複数のホールおよび複数のビアを提供することによって以前のシステムよりも改善され得る。複数の電子部品がプリント回路基板の反対側から通信することを可能にし、これにより、それらが占める体積を減少させる。このシステムはまた、微細加工を使用して薄膜アレイ上に複数のワイヤトレースを高密度で堆積させることにより、体積を低減させる。このシステムは、積み重ねられた金またはその他の複数の金属ボールからなる柱をバックグランドして、薄膜屈曲回路をリベットで留めるといった接続方法または固定方法を利用することにより、さらなる改善を提供し得る。このシステムは、複数のワイヤトレースおよび複数のホールが埋め込まれた薄膜、薄膜を挟み、ホールと位置合わせされた複数のビアを備えるプリント回路基板、およびチップ（アナログデジタル変換器とも呼ばれる）から複数のホールを通り複数のビアまで繋がるはんだ接続を含むことができる。

【0039】

図1は、本開示の実施形態に係るプリント回路基板102上の薄膜アレイ108を含む、脳のインプラントの部品100を示している。薄膜アレイ108は、神経組織からの信号を処理する電子機器を収容する電子機器パッケージ（「電子機器パッケージ」または「ピルボックス」とも呼ばれる）の一部であってよい。図1に示されるように、薄膜アレイ108は、プリント回路基板102と、カスタムASICなどの複数のチップ104との間に配置されて（または「挟まれて」）よい。複数のチップ104は、電極から受信したアナログ信号をデジタル化するためのアナログデジタル変換器として機能してよく、および/または、部品としてアナログデジタル変換器を含んでよい。複数のチップ104は、信号を、さらに増幅および/またはパケット化してよい。本明細書では、複数のチップ104は、同じ意味で、アナログデジタル変換器と呼ばれてよい。薄膜アレイ108は、例えば、5 μm から20 μm までの間の厚さ、50 μm 未満の厚さであってよく、または、必要に応じて他の厚さであってよい。

【0040】

一実施形態では、薄膜アレイ108は、プリント回路基板102上に市販の印刷技術で可能な配置よりもはるかに近接して配置された複数の電極ワイヤトレースを有するように微細加工されてよく、これにより、電子機器パッケージ内の面積および/または体積が節約される。電子機器筐体は、プリント回路基板102の下で、信号を集約することができるFPGAなどの集積回路を含んでよい。複数のチップ104およびFPGAをプリント回路基板102の反対側に配置することによって、そして、薄膜アレイ108上に高密度で複数のワイヤトレースを堆積することによって、開示された電子機器パッケージは、より少ない体積を占めることができ、より小さく、より快適で、より突き出ない脳のインプラントを実現できる。

【0041】

薄膜アレイ108は、複数のチップ104の入力および/または出力に、電氣的に接続される複数のコンタクトパッドを含むことができる。薄膜アレイ108は、複数の電極、フレックスケーブル、および複数のワイヤ106を含んでよく、あるいは、これらに接続されてよい。そして、これらは、例えば、脳などの神経組織の活動を刺激および/または記録することができる。複数のワイヤ106は、非常に薄い直径、直径約20 μm ～約3

10

20

30

40

50

0 μm である支持電極を有する薄膜アレイ上に堆積させることができ、さらに、代わりに、「糸」または「フィラメント」と呼ぶことができる。プリント回路基板 102 は、ケーブルおよび/または他のコネクタをさらに含んでよい。

【0042】

薄膜アレイ 108 は、ポリマーで作製されてよい。薄膜アレイ 108 は、非常に薄い（例えば、5 μm から20 μm までの間の厚さ）ため、柔軟であってよい。いくつかの実施形態では、ファンデルワールス力または真空圧などの硬化方法が使用されてよい。いくつかの実施形態では、より厚いポリマーを使用することは、わずか数マイクロメートルの厚さを追加することでも、薄膜アレイ 108 を強化することを可能にし、ワイヤトレースを支持するために薄膜にとって十分な構造強度を提供することを可能にする。薄膜アレイに複数の種類のポリマー（例えば、2種類）を使用することでも、薄膜アレイを強化することが可能である。最後に、積み重ねられた複数の金属小球および/または複数のステープルから形成された複数の柱を使用するアレイ取り付け構造は、以下でさらに説明されるように、薄膜アレイを固定することができる。

10

【0043】

一実施形態では、薄膜アレイ 108 は、シリコンウェハ上に微細加工されることが可能である。微細加工後、薄膜は、ウェハから取り外されて、剛性を有するキャリアに取り付けられることができ、電子機器筐体のプリント回路基板-薄膜アレイ-カスタムチップという「サンドイッチ」構造を組み立てることができる。あるいは、処理効率を高め、ステップ数を減らすために、薄膜アレイ 108 は、キャリアを使用する代わりに、剛性を有するシリコンウェハ上に残存させたままにすることもできる。この場合、電子機器パッケージが組み立てられている間、薄膜アレイ 108 は、剛性を有するシリコンウェハ上に残存する。シリコンウェハは、電子機器パッケージが組み立てられた後、取り外されて、エッチングで取り除くことができる。

20

【0044】

図 2 は、本開示の実施形態に係る複数のビアを備えるプリント回路基板 220 と位置合わせされた複数のホール 212 を有する薄膜電極アレイ 210 を含む電子機器パッケージ 200 を示している。一実施形態では、薄膜電極アレイ 210 の複数のホール 212 は、円形または楕円形であり、サイズは約 95 μm × 85 μm である。プリント回路基板 220 は、略長方形であり、サイズは約 1.8 cm × 2.3 cm である。この例では、複数のホールおよび複数のビアは、薄膜電極アレイ 210 の上のアナログデジタル変換器 202 を、プリント回路基板 220 の下の FPG A 230 に電気的に接続することができる。いくつかの実施形態では、FPG A 230 は、別のタイプの集積回路で置き換えることができ、本開示の構成に限定されない。

30

【0045】

開示されたシステムが適切に機能するためには、薄膜アレイとプリント回路基板とを、厳密な許容範囲内、例えば、20 mm の距離で 5 μm または 10 μm 以内で、正確に位置合わせすることが重要な場合がある。このような正確な位置合わせは、以下でさらに説明するように、複数の柱および/または複数のリベットを使用するアレイ取り付け構造によって達成されてよい。いくつかの実施形態では、複数のビアは、複数のブラインドビアとすることができる。

40

【0046】

アナログデジタル変換器 202 上の複数のコンタクトパッド 206 は、フレックスケーブル 218 からアナログデジタル変換器 202 へ延びる複数のワイヤトレースと電気的に接続できる。複数のコンタクトパッド 206 は、はんだから作製されてよく、サイズは、約 50 μm から 100 μm までの範囲、例えば、85 μm であってよい。一実施形態では、アナログデジタル変換器 202 は、複数の電極 216、フレックスケーブル 218、および複数のワイヤトレースを介して、神経組織から受信したアナログ電気信号をデジタル信号に変換することが可能である。アナログデジタル変換器 202 は、信号を、多重化および/またはパケット化することも可能である。

50

【 0 0 4 7 】

典型的な例では、アナログデジタル変換器 2 0 2 から出力されたデジタル信号は、アナログデジタル変換器 2 0 2 の接続点 2 0 4 からはんだ経路 2 0 8 のホール 2 1 2 を通ってコンタクトパッド 2 2 2 へ送信されることが可能である。信号は、コンタクトパッド 2 2 2 から、プリント回路基板 2 2 0 のビア 2 2 4 を介して、プリント回路基板 2 2 0 の反対側、はんだパッド 2 2 6 へ送信されることが可能である。そこから、デジタル信号は、FPGA 2 3 0 に入力され、集約および / または多重化されることが可能である。したがって、電子機器パッケージ 2 0 0 は、複数の処理された信号を生成することができ、どのカスタムチップがそれぞれの信号を処理したかを追跡することが可能である。

【 0 0 4 8 】

いくつかの実施形態では、FPGA 2 3 0 および / または集積回路チップは、デジタル信号を、Protocol Buffers (例えば、Protobuf)、Avro、Thrift、Bond、および Extensible Markup Language (XML)、あるいは、別のデータ構造などのようなシリアル化されたデータ構造に変換することが可能である。

【 0 0 4 9 】

複数のワイヤトレースは、微細加工技術の使用により、非常に狭い間隔で薄膜電極アレイ 2 1 0 上に堆積させることができるので、多数のワイヤ (例えば、3, 0 0 0 または 6 0 0 0) を限られた体積で、インプラントに接続することができる。アナログデジタル変換器 2 0 2 は、カスタム ASIC などの複数のカスタムチップ、または、任意の他のタイプのアナログデジタル変換器を含んでよく、本開示の構成に限定されるものではない。

【 0 0 5 0 】

図 3 は、本開示の実施形態に係る複数のチップ 3 0 2、複数のワイヤ 3 0 6 および複数のホール 3 0 8 を有する薄膜電極アレイ 3 0 4、ならびに FPGA 3 3 0 に複数のチップ 3 0 2 を接続する複数のビア 3 2 2 を備えるプリント回路基板 3 1 0 を含む電子機器パッケージ 3 0 0 の正射影図を示す。いくつかの実施形態では、複数のビア 3 2 2 のいくつかまたは全ては、ブラインドビアであってよい。

【 0 0 5 1 】

この例では、複数の電極および電極からの複数のワイヤ 3 0 6 は、複数のコンタクトパッド 3 1 4 につながる複数のワイヤトレース (例えば、数千のワイヤトレース) として、薄膜電極アレイ 3 0 4 上に続く。一実施形態では、それぞれのワイヤトレースは、自身のコンタクトパッドに終端することが可能である。複数のコンタクトパッド 3 1 4 は、例えば、面積を節約するために、薄膜電極アレイ 3 0 4 上に列をなして、二次元的に配置されてよい。一実施形態では、複数のワイヤトレースの一部は、複数の導電性パッドのアレイ内の第 1 列 3 1 5 に接続することができ、複数のワイヤトレースの別の一部は、アレイ内の他のそれぞれの列 3 0 9 および列 3 1 3 に接続することができる。いくつかの実施形態では、薄膜電極アレイ 3 0 4 は、埋め込まれた複数のワイヤトレースの複数の層を含むことができる。特に、より細かいピッチで薄膜電極アレイ 3 0 4 上に複数のワイヤトレースを印刷すること、複数のワイヤトレースの複数の層を使用すること、および / または、複数のチップ 3 0 2 のサイズを小型化することは、所定の体積の電子機器パッケージにおいて、複数のチップ 3 0 2 に入力可能な信号の数を増加させる。

【 0 0 5 2 】

一実施形態では、複数のチップ 3 0 2 (NMIC と呼ばれる) は、複数の電極から複数の入力信号 (例えば、3 0 0 0 または 6 0 0 0 の入力信号) を受け取ることができ、複数の信号を多重化し、および / または、より少ない信号 (例えば、1 0 0 オーダーの信号) を出力することができる。典型的な例では、それぞれのカスタムチップは、FPGA 3 3 0 に送信される複数の入力信号 (例えば、6 4 または 2 5 6 の入力信号) のサブセットを、2 つのコンタクトパッドに集約することができる。別の例では、複数のチップは、より多くの入力信号を集約するためにスケールアップされてよく、本開示の構成に限定されるものではない。複数の出力信号は、複数のホール 3 0 8 および複数のビア 3 2 2 を介して、FPGA 3 3 0 に渡されることが可能である。したがって、FPGA 3 3 0 は、1 0 0

10

20

30

40

50

オーダーの複数のデジタル信号を受信してよく、さらに、これらのデジタル信号を集約することができる。

【0053】

図4は、本開示の実施形態に係る薄膜電極アレイ上の複数のスレッド402、404、ならびに、造られた複数のコンタクトパッド406、408を示している。いくつかの実施形態では、複数の金バンプなどの複数の金属小球は、複数のコンタクトパッド406、408などの複数のコンタクトパッドの上に配置されることが可能であり、複数のパッドを平らにして水平にするために造られることが可能である。この例では、複数のワイヤトレースまたは複数のスレッド402、404は、それぞれ、複数のコンタクト410、412で終端し、複数のコンタクト410、412は、複数のカスタム集積回路または複数のチップと接続することが可能である。複数のコンタクトパッドは、サイズが、約50μmから約100μmまでの範囲、例えば、85μmの範囲であり、電子機器パッケージの体積を最小化するために、二次元的（例えば、列）におよび/または層状に配置されることが可能である。

【0054】

〔キャパシタの取り付け〕

【0055】

図5は、本開示の実施形態に係る電子機器パッケージに取り付けられた複数のキャパシタ534を示している。いくつかの実施形態では、電子機器の体積を最小化するために、複数のキャパシタは、薄膜アレイ540の上（例えば、チップの上）に配置され、電子機器パッケージの回路の適切な点に電氣的に接続される。この場合、複数のキャパシタ534は、プリント回路基板530の複数のホールおよび複数のビアを介した接続を利用して、FPGAと電氣的に接続される。あるいは、複数のキャパシタ534は、薄膜アレイ540の複数のホールに適合させることが可能である。この場合、複数のキャパシタ534は、最初に、プリント回路基板530上に組み立てられてよく、次に、薄膜アレイ540は、複数のキャパシタ534が複数のホールに適合するように、位置合わせされ、適合されてよい。複数のキャパシタ534は、表面実装キャパシタ、静電気放電（ESD）キャパシタ、および/または任意の種類のカスタムキャパシタを含むことができ、本開示の構成に限定されるものではない。

【0056】

複数のキャパシタは、フリップチップボンディングで取り付けられることが可能である。複数の金属小球532は、微細加工されてよく、次いで、熱圧着によってキャパシタと相互接続するために結合されてよい。一実施形態では、この堆積は、180から250までの範囲の低い温度の範囲で実行されてよい。複数のキャパシタ534は、微細加工されたシリコン固定具536に手で装着され、フリップチップボンディングによって薄膜アレイ540および/またはカスタムチップに取り付けられることが可能である。

【0057】

いくつかの実施形態では、複数の金属小球532、例えば、複数の金バンプまたは複数の金属ボールは、複数の金属のコンタクトパッドを同じ高さにするため、プリント回路基板のパッドまたはビアの高さを増加させるために使用されることが可能である。特に、複数の金バンプは、複数のチップと接触しない複数の接触パッド538に使用されてよい。複数のチップとの接触が有る場合と無い場合とで、複数のパッド間の高さの差を防ぐことは、全体的な電氣的接続を改善し得るが、薄膜アレイ540は、薄くて柔軟であるため、必ずしも必要であるとは限らない。プリント回路基板530は、約3μmから約20μmまでの間、例えば、約15μm凹んでもよい。これらの凹みは、酸素プラズマによるエッチング、反応性イオンエッチング（RIE）、レーザ、化学機械研磨（CMP）/ラッピング、またはウェットエッチングによって形成可能である。

【0058】

〔アレイの取り付け〕

10

20

30

40

50

【 0 0 5 9 】

図 6 A 乃至図 6 F は、本開示の実施形態に係る金、銅、またはアルミニウムから作られた複数のボールまたは複数のパンプなどの複数の金属小球から作られたリベット、および/または、はんだ液滴に基づく薄膜電極アレイのアレイ取り付け構造を示す。様々な実施形態において、複数の金属小球から形成された複数の柱は、プリント回路基板上の薄膜アレイを保持および整列させることができ、リベットを形成するために座屈させられ、および/または、所定の位置にステーブルで固定されることが可能である。いくつかの実施形態では、複数の柱は、バックグまたはステーブルで固定されることなく、ガイド用の複数の柱として使用されることも可能である。開示されたアレイ取り付け構造および方法は、薄膜アレイおよびプリント回路基板を非常に厳しい公差、例えば、20 mm の距離で 5 μm または 10 μm 以内で整列させることができる。このような正確な位置合わせは、複数のワイヤ、複数の接触パッド、および複数の電気的接続の適切な位置合わせにとって重要であり、さらに開示されたシステムを適切に機能させるために重要である。

10

【 0 0 6 0 】

図 6 A は、本開示の実施形態に係るアレイ取り付け構造のための複数の金属小球 6 4 0 の配置を示している。この例では、複数の電気的接続のための複数のビアまたは複数のホールに加えて、プリント回路基板 6 2 0 および/または薄膜アレイは、複数の柱を保持するために使用される複数のホール（またはくぼみ）6 3 0 , 6 3 2 を有することも可能である。これらの複数の柱を使用して、薄膜アレイ（曲がる部品とも呼ばれる）を、プリント回路基板 6 2 0 に結合することが可能である。

20

【 0 0 6 1 】

一時的に剛性を有するキャリア（例えば、シリコンまたはガラスでできている）は、プリント回路基板に固定されている間、薄膜を所定の位置に保持するために使用されてよい。特に、キャリアは、薄膜に複数のホールが開けられている間、薄膜を保持してよい。例えば、複数のホールは、複数のピンを使用して機械的に開けられてよい。

【 0 0 6 2 】

例示的な実施形態では、複数の金属小球 6 4 0 は、直径が約 85 μm で、高さが約 60 μm の複数の金パンプである。複数の金属小球 6 4 0 は、ボールボンダで堆積させることができる。複数の小球は、微細加工され、例えば、熱圧着を使用して、他の部品と相互接続するために結合されることができる。この方法は、はんだと比較してより正確に堆積させることができ、さらに、金属の流れが悪いことで、はんだからの複数のコードを回避し得る。

30

【 0 0 6 3 】

図 6 B は、本開示の実施形態に係るアレイ取り付け構造のための複数のリベットポストを形成するための複数の金属小球の積み重ねを示している。この例では、第 2 の金属球 6 4 2（例えば、金、銅、またはアルミニウムのパンプ、および/または、はんだ液滴）は、例えば、ボールボンダを使用して、金属小球 6 4 0 の上に積み重ねられる。複数の金属小球により、プリント回路基板 6 2 0 における複数のホールまたは複数のホール 6 3 0 , 6 3 2 に、スタック 6 4 4 , 6 4 6（柱または支柱とも呼ばれる）を配置することができる。

40

【 0 0 6 4 】

薄膜アレイ 6 1 0 は、薄膜アレイ 6 1 0 の複数のホールが、プリント回路基板 6 2 0 における複数の柱および/または複数のホール 6 3 0 , 6 3 2 もしくは複数のビアと並ぶように、プリント回路基板 6 2 0 に整列させることができる。一例では、複数のポストは、それぞれ 2 つの積み重ねられた小球を含むことができるが、別の数を含んでもよく、本開示の個数に限定されるものではない。

【 0 0 6 5 】

いくつかの実施形態では、複数の柱は、薄膜アレイ 6 1 0 および/またはプリント回路基板 6 2 0 の穴に、金線などの金属を（例えば、ボールボンダまたはフリップチップを介して）堆積させることによって、金属をせん断するために、ボールボンダまたはフリップ

50

チップを少し動かして、引き離すことによって、形成することができる。これにより、リベットを形成するために、積み重ねられたおよび/または座屈させられた複数のパンプ、複数の液滴、または、複数の小球を作り出すことができる。

【0066】

図6Cは、本開示の実施形態に係るアレイ取り付け構造の組み立てを示している。図6Bの例に示されるように、薄膜アレイ610は、薄膜アレイ610の複数のホール634、636が、プリント回路基板620の複数の柱および/または複数のホール630、632もしくは複数のビアと整列するように、プリント回路基板620上に配置されることが可能である。一実施形態では、一時的に、剛性を有するキャリアを使用して、薄膜アレイ610およびプリント回路基板620が永久的に取り付けられるまで(例えば、複数のリベットを形成するために複数のポストをバックングすることによって、または、ステーブルで留めることによって)、薄膜アレイ610およびプリント回路基板620を整列させておくことができる。

10

【0067】

いくつかの実施形態では、薄膜アレイ610およびプリント回路基板620を第1柱の位置に整列させること、ならびに/または、薄膜アレイ610およびプリント回路基板620における対応する複数のホールを通して第1柱を挿入することにより、薄膜アレイ610およびプリント回路基板620を非常に正確に整列させることができる。例えば、まず、スタック644は、ホール634を通して整列させることができる。次に、第1柱は、ピボットとして使用されることができ、残りの複数の柱は、薄膜アレイ610およびプリント回路基板620の残りの複数のホールに挿入される。このようにして、薄膜アレイ610およびプリント回路基板620は、非常に厳しい公差、例えば、20mmの距離で5 μ mまたは10 μ m以内で整列させられることができる。いくつかの実施形態では、この正確な位置合わせは、複数の電極、複数のワイヤトレース、複数のコンタクトパッド、および複数の電子部品が正しく位置合わせされ、正しく機能することを確実にすることができる。

20

【0068】

いくつかの実施形態では、複数の柱は、リベットを形成するために、バックングすることなく、ガイドポストとして使用されることも可能である。複数の柱は、薄膜アレイ610をびんと張った状態に保つてよく、しわを防いでよい。

30

【0069】

図6Dは、本開示の実施形態に係るアレイ整列構造で、複数のリベット構造650を形成するために積み重ねられた複数の金属小球のバックングを示している。いくつかの実施形態では、積み重ねられた2つの金属小球のペアを含む柱は、リベット構造650を形成するために機械力によって座屈させることができ、リベット構造650は、薄膜アレイ610をプリント回路基板620に固定することができる。特に、複数の柱は、複数のホール630~660の直径よりも大きい直径を有するバックテイル648を形成するように座屈させられることが可能である。これにより、薄膜アレイ610をプリント回路基板620にしっかりと固定することが可能となる。

【0070】

複数の柱は、フリップチップボンダまたはボールボンダを使用して座屈させられてよい。複数のリベットは、薄膜屈曲回路をびんと張った状態に保つことができ、しわを防ぐこともできる。いくつかの実施形態では、2つの金属小球の代わりに、3つの小球が、リベットで留める前にアレイを整列させて保持するのに十分な高さの柱を生成するために、且つ、リベットを押し下げるためにバックテイルに十分に大きな直径を提供するために、積み重ねられることが可能である。いくつかの実施形態では、4つの小球などの別の個数の小球が積み重ねられることができ、本開示の個数に限定されるものではない。

40

【0071】

開示されたアレイ取り付け方法は、比較的低温での位置合わせおよび結合が可能となることにより、従来の技術よりも改善される。金属製の複数の柱は、リベットを形成するた

50

めに、機械的な力によって座屈させられることが可能である。これにより、結合方法など従来の方法で使用された加熱または硬化によるポリマーへの損傷を避けることが可能となる。一実施形態では、バッキングは、室温で実施されてよい。十分な機械的圧力があれば、金属製の複数の柱は、十分に展性があるため、接着剤を使用せずとも取り付けることができる。あるいは、例えば、複数の小球を物理的に溶解させるために、高い溶融温度が使用されてもよい。

【0072】

一実施形態では、複数の柱は、複数の金属小球から組み立てられ、一度に1つずつ座屈させることができる。特に、第1柱は、薄膜およびプリント回路基板を、第1柱の位置にうまく位置合わせするために組み立てられ、および/または、座屈させることができ、次に、第1柱をピボットとして使用して、他の部分を、よりよく位置合わせすることができる。あるいは、全ての柱は、同時に組み立てられて、座屈させることも可能である。複数の柱をバッキングした後、剛性を有するキャリアは、電子機器パッケージアセンブリから取り外されてよい。

10

【0073】

図6Eは、本開示の実施形態に係るアレイ整列構造を含む電子機器パッケージの組み立てを示している。この例では、複数の柱をバッキングすることによって、薄膜アレイ610およびプリント回路基板620が、一緒にリベット留めされると、集積回路または複数のチップ602は、薄膜アレイ610上に配置され、電子機器パッケージの主要なサンドイッチ構造を形成することができる。複数のチップ602は、複数のコンタクトパッド614と電気的に接続することができる。いくつかの実施形態では、複数のチップ602は、複数のはんだボール606によって複数のコンタクトパッド614と電気的に接続することができる。

20

【0074】

特に、複数のチップ602は、複数のはんだボール606が事前に取り付けられた複数のカスタムチップ(NMICとも呼ばれる)のうちの一つとすることができる。一実施形態では、複数のはんだボール606は、直径が約80 μ mから100 μ mであり、高さが約60 μ mであることが可能である。複数のはんだボール606は、薄膜アレイ610のホールを通過することができ、下に存在するプリント回路基板620に結合することができる。薄膜アレイ610は、非常に薄い(例えば、5 μ mから20 μ m)ので、複数のはんだボール606は、複数のホールを通過するのに十分な大きさであり、プリント回路基板620、FPGA、および/または他の部品の複数のビアに、複数のチップ602を電気的に接続させるのに十分な大きさである。これにより、開示されたシステムおよび方法は、導電的な充填を使用しなけりなかつた従来のシステムよりも改善される。さらに、薄膜アレイ610は、薄いので、異なるサイズの複数のはんだボールを使用しなくてよい。

30

【0075】

図6Fは、本開示の実施形態に係るアレイステープル構造のために、積み重ねられた複数の金属小球を有する薄膜をステープル留めした様子を示している。いくつかの実施形態では、ステープル652は、金線またはアルミニウム線から作製することができる。一実施形態では、ステープル652は、薄膜アレイ610における複数のホール634、636、および/または、プリント回路基板620における複数のホール630、632に挿入されることが可能である。ステープル652は、積み重ねられた複数の金属小球からなるスタック644、646、例えば、複数の金バンプ、または、複数のアルミニウムもしくは銅のボールに結合されることも可能である。一実施形態では、ステープルは、例えば、金属がホール(例えば、ホール630およびホール634)に堆積している間、ボールボンダを引っ張ることによって、ボールボンダを緩やかに引き上げることによって、そして、金属を次のホール(例えば、ホール632およびホール636)に堆積させることによって、ワイヤとして形成されることが可能である。複数の小球は、同様の技術を使用して形成されることが可能であるが、小球を形成するために金属を引っ張るのではなく、剪

40

50

断することも可能である。

【 0 0 7 6 】

複数の柱または積み重ねられた複数の金属小球からなる 6 4 4 , 6 4 6 は、正確な位置合わせを可能にするために、ステーブル 6 5 2 と一緒に使用されることが可能である。あるいは、特に、電子機器パッケージがより大きく、および/または、より高い位置合わせ公差が実行可能である用途の場合、ステーブルは、複数の柱なしで堆積させることができる。

【 0 0 7 7 】

図 7 は、一実施形態に係るプロセス 7 0 0 のフローチャートである。動作 7 0 1 において、埋め込まれたワイヤトレースを有する薄膜が提供される。複数のワイヤトレースは、薄膜の遠位端にある複数の電極から、複数の導電性パッドの 2 次元 (2 D) アレイへと導かれる。複数のワイヤトレースの一部は、複数の導電性パッドの第 1 列に接続し、複数のワイヤトレースの別の一部は、複数の導電性パッドの第 2 列に接続する。第 2 列は第 1 列よりも該遠位端から遠くに存在する。薄膜は、自身を貫通するホールを有している。動作 7 0 2 において、薄膜は、ビアを有するプリント回路基板とアナログデジタル変換器との間に挟まれている。動作 7 0 3 において、アナログデジタル変換器の複数の入力の第 1 セットは、薄膜における複数の導電性パッドの第 1 列および第 2 列のうちの少なくとも 1 つと電気的に接続されている。動作 7 0 4 において、アナログデジタル変換器の出力から薄膜のホールを通してプリント回路基板のビアまで繋がるはんだ接続は、加熱され、形成される。

【 0 0 7 8 】

図 8 は、一実施形態に係るプロセス 8 0 0 のフローチャートである。動作 8 0 1 において、底部金属ボールは、ボールボンダを使用して、剛性部品上に堆積される。動作 8 0 2 において、別の金属ボールは、ボールボンダを使用して、底部金属ボールの上に積み重ねられて、積み重ねられた 2 つの金属ボールからなる第 1 柱を形成する。動作 8 0 3 において、積み重ねられた 2 つの金属ボールからなる第 2 柱は、ボールボンダを使用して、形成される。動作 8 0 4 において、薄膜屈曲回路は、積み重ねられた 2 つの金属ボールからなる第 1 柱および第 2 柱が、薄膜屈曲回路における複数のホールを通して突出するように、位置合わせされ、配置される。

【 0 0 7 9 】

脳インプラントまたは他のシステム、および脳インプラントのそれぞれの制御システムは、さらに全体の装置の構成要素となることが可能な 1 つまたは複数のマイクロプロセッサ/処理装置を有することができることを理解されたい。制御システムは、一般に、電子通信 (有線または無線) において、それぞれのデバイスに近接しており、それぞれのシステムを監視し、それぞれの構成を変更するためにユーザーによって処理されるように構成された表示インターフェースおよび/または操作制御を含むこともできる。システム、およびそれぞれのシステムとそのサブ部分のプログラムされた命令を操作、直接ガイド、または設定する。このような処理装置は、バスを介して不揮発性メモリ装置に通信可能に結合することができる。不揮発性メモリデバイスは、電源をオフにしたときに保存された情報を保持する任意のタイプのメモリデバイスを含むことができる。メモリデバイスの非限定的な例には、電気的に消去可能なプログラム可能な読み取り専用メモリ (「 R O M 」) 、フラッシュメモリ、または任意の他のタイプの不揮発性メモリが含まれる。いくつかの態様では、メモリデバイスの少なくとも一部は、処理デバイスが命令を読み取ることができる非一時的な媒体またはメモリデバイスを含むことができる。非一時的なコンピュータ可読媒体は、処理装置にコンピュータ可読命令または他のプログラムコードを提供することができる電子、光学、磁気、または他の記憶装置を含むことができる。非一時的なコンピュータ可読媒体の非限定的な例には、磁気ディスク、メモリチップ、R O M、ランダムアクセスメモリ (「 R A M 」) 、ASIC、設定されたプロセッサ、光記憶装置、および/またはコンピュータプロセッサが命令を読み取ることができるその他の媒体が含まれるが、これらに限定されない。命令には、コンパイラおよび/またはインタプリタによって、

たとえばC、C ++、C #、Java、Python、Perl、JavaScriptなどの適切なコンピュータプログラミング言語で記述されたコードから生成されたプロセッサ固有の命令が含まれてよい。

【0080】

上述した説明は、本発明の様々な実施形態および熟考された最良の様式を説明しているが、上述したテキストがどれほど詳細であるかにかかわらず、本発明は多くの方法で実施することができる。システムの詳細は、本開示に含まれているが、その特定の実装においてかなり異なっていてよい。上述したように、本発明の特定の特定の特徴または側面を説明するときに使用される特定の用語は、その用語が関連する本発明の特定の特性、特徴、または側面に限定されるように本明細書で再定義されていることを意味すると解釈されるべきではない。一般に、以下の特許請求の範囲で使用される用語は、上述した詳細な説明のセクションでそのような用語が明示的に定義されていない限り、本発明を明細書に開示された特定の例に限定すると解釈されるべきではない。したがって、本発明の実施の範囲は、開示された例だけでなく、特許請求の範囲に基づいて本発明を実施または実行する全ての同等の方法も包含する。

10

【0081】

いくつかの実施形態では、本開示のシステムおよび方法は、神経外科技術に関連して使用することができる。しかしながら、当技術分野の当業者は、神経外科技術が非限定的な用途であり、本開示のシステムおよび方法を任意の生体組織に関連して使用できることを認識するであろう。生物学的組織には、脳、筋肉、肝臓、膵臓、脾臓、腎臓、膀胱、腸、心臓、胃、皮膚、結腸などが含まれ得るが、これらに限定されない。

20

【0082】

本開示のシステムおよび方法は、無脊椎動物、脊椎動物、魚、鳥、哺乳類、齧歯動物（マウス、ラットなど）、有蹄動物、牛、羊、豚、馬、非ヒト霊長類、およびヒトを含むがこれらに限定されるものではなく、任意の適切な多細胞生物に使用することができる。さらに、生物学的組織は、エクスピボ（例えば、組織外植片）、またはインピボ（例えば、この方法は、患者に対して行われる外科的処置である）であることが可能である。

【0083】

本明細書で提供される本発明の教示は、必ずしも上記のシステムではなく、他のシステムに適用することができる。上記の様々な実施例の要素および行為を組み合わせ、本発明のさらなる実施を提供することができる。本発明のいくつかの代替の実施は、上記の実施に追加の要素を含むだけでなく、より少ない要素を含み得る。さらに、本明細書に記載されている特定の番号は単なる例である。代替の実装は、異なる値または範囲を使用する場合があります、そのような範囲内および境界での値のさまざまな増分および勾配に対応できる。

30

【0084】

特徴、利点、または同様の言語への前述の説明全体での言及は、本技術で実現され得るすべての特徴および利点が本発明の任意の単一の実施形態であるべきである、またはそうであることを意味するものではない。むしろ、特徴および利点を指す言語は、実施形態に関連して説明される特定の特定の特徴、利点、または特性が、本技術の少なくとも1つの実施形態に含まれることを意味すると理解される。したがって、本明細書全体にわたる特徴および利点、ならびに同様の言語の議論は、必ずしもそうではないが、同じ実施形態を参照することができる。さらに、本技術の記載された特徴、利点、および特徴は、1つまたは複数の実施形態において任意の適切な方法で組み合わせることができる。関連技術の当業者は、本技術が、特定の実施形態の1つまたは複数の特定の特定の特徴または利点なしで実施できることを認識するであろう。他の例では、本技術のすべての実施形態に存在しない可能性がある特定の特定の実施形態では、追加の特徴および利点が認識され得る。

40

【符号の説明】

【0085】

100 部品

50

1 0 2	プリント回路基板	
1 0 4	チップ	
1 0 6	ワイヤ	
1 0 8	薄膜電極アレイ	
2 0 0	電子機器パッケージ	
2 0 2	アナログデジタル変換回路	
2 0 4	接続点	
2 0 6	コンタクトパッド	
2 0 8	はんだ経路	
2 1 0	薄膜電極アレイ	10
2 1 2	ホール	
2 1 6	電極	
2 1 8	フレックスケーブル	
2 2 0	プリント回路基板	
2 2 2	コンタクトパッド	
2 2 4	ビア	
2 2 6	はんだパッド	
2 2 8	はんだパッド	
2 3 0	F P G A	
3 0 0	電子機器パッケージ	20
3 0 2	チップ	
3 0 4	薄膜電極アレイ	
3 0 6	ワイヤ	
3 0 8	ホール	
3 0 9	行	
3 1 3	行	
3 1 4	コンタクトパッド	
3 1 5	行	
3 2 0	プリント回路基板	
3 2 2	ビア	30
3 2 6	ビア	
3 3 0	F P G A	
4 0 2	スレッド	
4 0 4	スレッド	
4 0 6	コンタクトパッド	
4 0 8	コンタクトパッド	
4 1 0	コンタクト	
4 1 2	コンタクト	
5 3 0	プリント回路基板	
5 3 2	金属球	40
5 3 4	キャパシタ	
5 3 6	シリコン部材	
5 3 8	コンタクトパッド	
5 4 0	薄膜アレイ	
6 0 2	チップ	
6 0 6	はんだボール	
6 1 0	薄膜アレイ	
6 1 4	コンタクトパッド	
6 2 0	プリント回路基板	
6 3 0	ホール	50

- 6 3 2 ホール
- 6 3 4 ホール
- 6 3 6 ホール
- 6 4 0 金属球
- 6 4 2 金属球
- 6 4 4 スタック
- 6 4 6 スタック
- 6 4 8 バックテイル
- 6 5 0 リベット構造
- 6 5 2 ステープル

10

【図面】

【図 1】

【図 2】

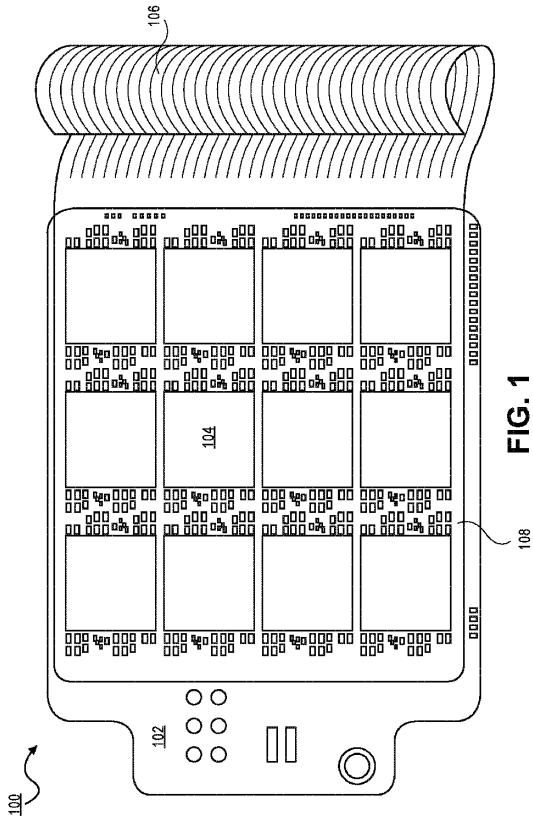


FIG. 1

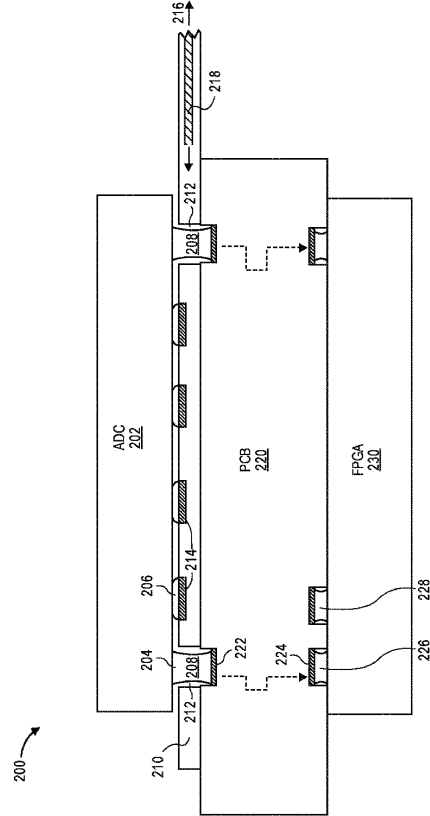


FIG. 2

20

30

40

50

【 図 3 】

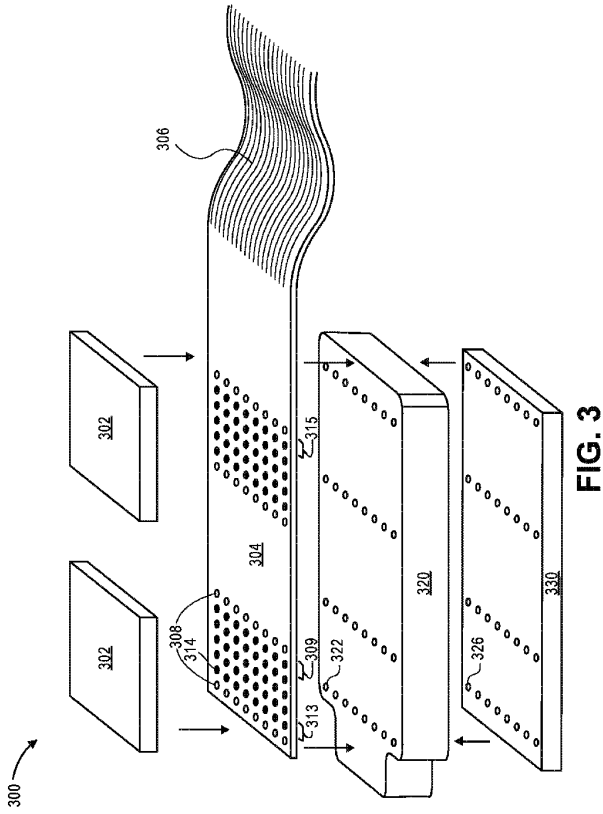


FIG. 3

【 図 4 】

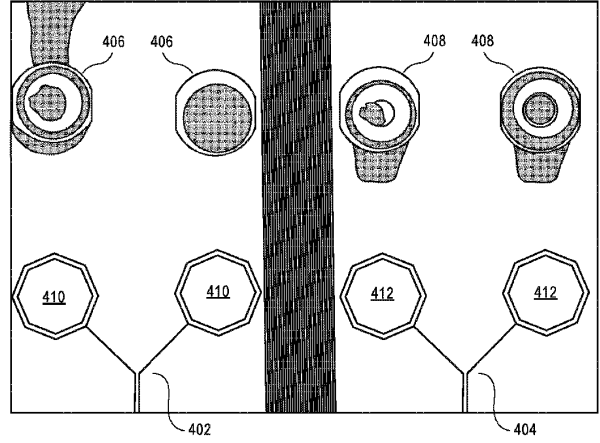


FIG. 4

10

20

【 図 5 】

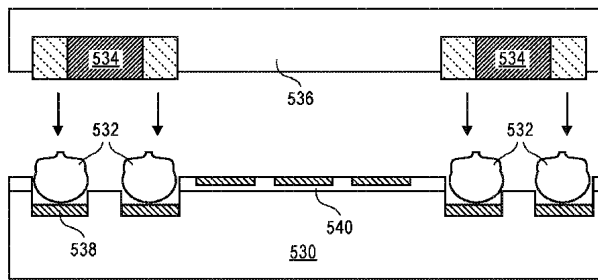


FIG. 5

【 図 6 A 】

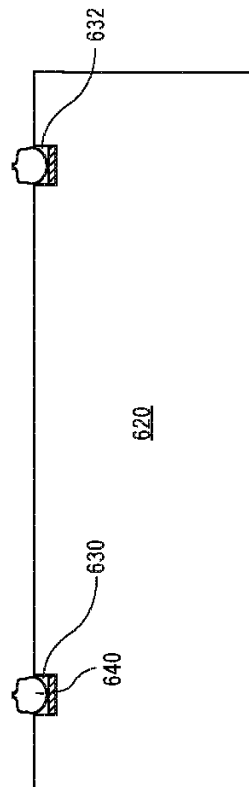


FIG. 6A

30

40

50

【 6 B 】

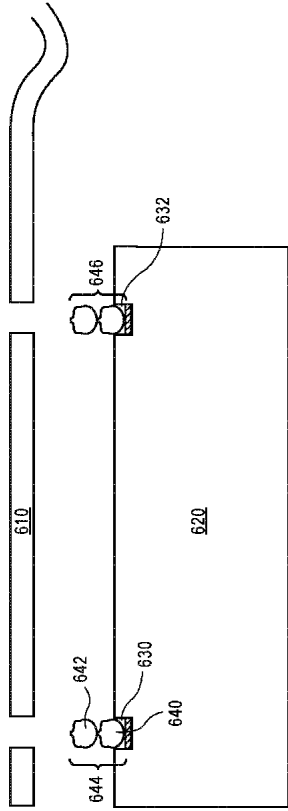


FIG. 6B

【 6 C 】

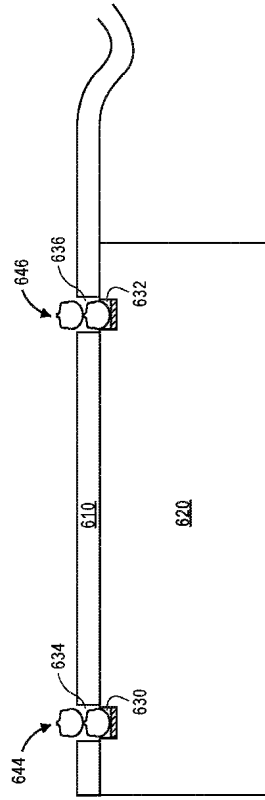


FIG. 6C

【 6 D 】

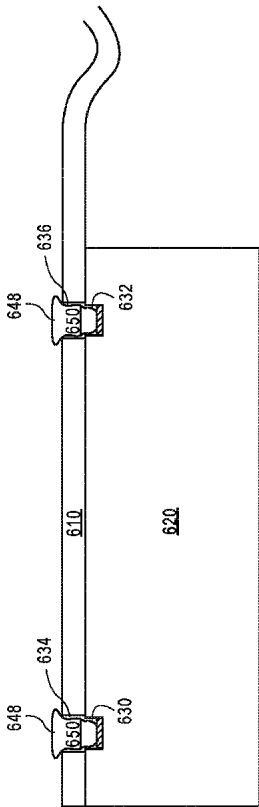


FIG. 6D

【 6 E 】

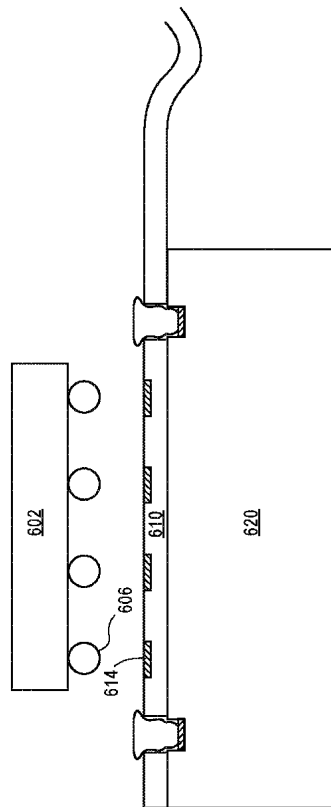


FIG. 6E

10

20

30

40

50

【 図 6 F 】

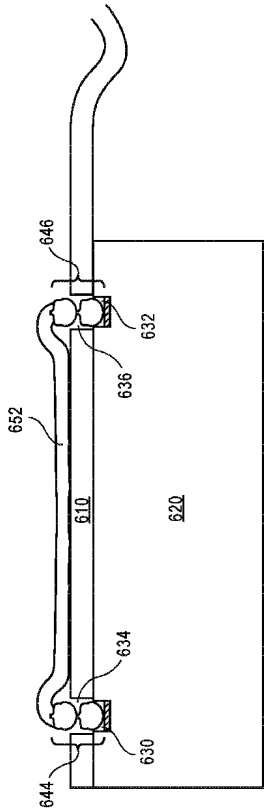
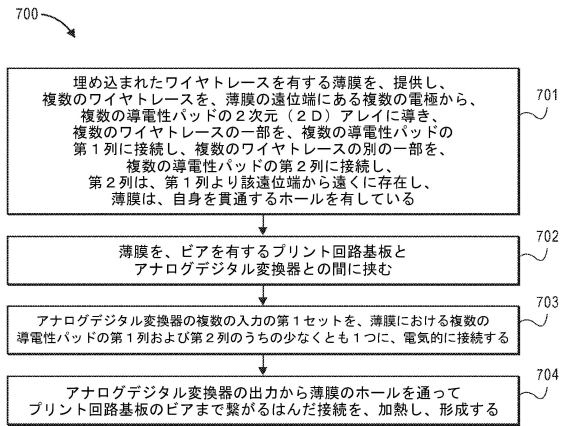


FIG. 6F

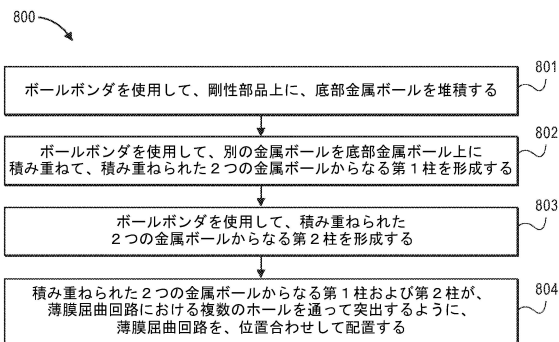
【 図 7 】



10

20

【 図 8 】



30

40

50

PCT/US2020/041345 10.12.2020

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US20/41345

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

10

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

20

This International Searching Authority found multiple inventions in this international application, as follows:

-Continued within extra sheet-

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

30

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

40

PCT/US2020/041345 10.12.2020

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US20/41345

A. CLASSIFICATION OF SUBJECT MATTER
 IPC - A61N 1/05, 1/04; H05K 1/18, 1/14; H03M 1/12, 1/00 (2020.01)
 CPC - A61N 1/0529, 1/0526, 1/0531, 1/0534, 1/05, 1/04; H05K 1/18, 1/14; H03M 1/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 See Search History document

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 See Search History document

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 See Search History document

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0305643 A1 (UNIVERSITY OF UTAH RESEARCH FOUNDATION) 29 October 2015 (29.10.2015); paragraphs [0057] & [0058]	1-26
A	US 9,486,641 B2 (LAWRENCE LIVERMORE NATIONAL SECURITY, LLC) 08 November 2016 (08.11.2016); figure 2, column 3, lines 42-67	1-26
A	US 2011/0237921 A1 (ASKIN, R et al.) 29 September 2011 (29.09.2011); figure 9, paragraphs [0047] & [0049]	1-26
A	US 5,133,495 A (ANGULAS, C et al.) 28 July 1992 (28.07.1992); abstract, figures 9 & 10, column 4, lines 40-47, column 8, lines 15-57	1-26
A	US 7,021,521 B2 (SAKURAI, H et al.) 04 April 2006 (04.04.2006); figure 12, column 5, lines 34-65	1-26
A	US 7,226,821 B2 (PRIMAVERA, A et al.) 05 June 2007 (05.06.2007); abstract, column 1, lines 58-67, column 4, lines 32-47	1-26
A	US 9,420,953 B2 (THE TRUSTEES OF THE UNIVERSITY OF PENNSYLVANIA) 23 August 2016 (23.08.2016); see entire document	1-26
A	WO 2017/199052 A2 (IMPERIAL INNOVATIONS LIMITED et al.) 23 November 2017 (23.11.2017); see entire document	1-26

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "D" document cited by the applicant in the international application
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
26 October 2020 (26.10.2020)

Date of mailing of the international search report
10 DEC 2020

Name and mailing address of the ISA/US
Mail Stop PCT, Attn: ISA/US, Commissioner for Patents
P.O. Box 1450, Alexandria, Virginia 22313-1450
Facsimile No. 571-273-8300

Authorized officer
Shane Thomas
Telephone No. PCT Helpdesk: 571-272-4300

10

20

30

40

50

PCT/US2020/041345 10.12.2020

INTERNATIONAL SEARCH REPORT

International application No. PCT/US20/41345

Continued from Box No. III Observations where unity of invention is lacking-

This application contains the following inventions or groups of inventions which are not so linked as to form a single general inventive concept under PCT Rule 13.1. In order for all inventions to be examined, the appropriate additional examination fee must be paid.

Group I: Claims 1-17 are directed towards a thin film electrode apparatus and method of manufacturing.
Group II: Claims 18-26 are directed towards a method of aligning a thin film flex circuit with a rigid component using ball bonders.

The inventions listed as Groups I-II do not relate to a single general inventive concept under PCT Rule 13.1 because, under PCT Rule 13.2, they lack the same or corresponding special technical features for the following reasons:

The special technical features of Group I include at least a thin film having embedded wire traces, the wire traces leading from electrodes at a distal end of the thin film to a two-dimensional (2D) array of conductive pads, wherein some of the wire traces connect with a first row of the conductive pads and other of the wire traces connect with a second row of the conductive pads, the second row being farther from the distal end than the first row, the thin film having a hole through the thin film; a printed circuit board (PCB) having a via; an analog-to-digital converter (ADC) sandwiching the thin film between the ADC and the PCB and having ADC inputs electrically connected with at least one of the first and second rows of conductive pads of the thin film; and a solder connection running from an output of the ADC through the thin film hole to the PCB via, which are not present in Group II.

The special technical features of Group II include at least depositing, using a ball bonder, a bottom metal ball on a rigid component; stacking, using the ball bonder, another metal ball on top of the bottom metal ball to form a first pillar of stacked metal balls; forming, using the ball bonder, a second pillar of stacked metal balls; and aligning and placing a thin film flex circuit such that the first and second pillars of stacked metal balls project through holes in the thin film flex circuit; wherein the pillars keep the thin film flex circuit taut and prevent wrinkling, which are not present in Group I.

Since none of the special technical features of the Groups I-II inventions are found in more than one of the inventions, unity is lacking.

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1 . J A V A

2 . J A V A S C R I P T

3 . P y t h o n

クウェイ 7400 ニューラリンク コーポレーション内

(72)発明者 カミロ エイ ディアス - ボティア

アメリカ合衆国 カリフォルニア州 95030 モンテ セレノ カール アベニュー 15344

(72)発明者 ドンジン セオ

アメリカ合衆国 カリフォルニア州 94555 フレモント パセオ パドレ パークウェイ 7400 ニューラリンク コーポレーション内

(72)発明者 ヴァネッサ エム トロサ

アメリカ合衆国 カリフォルニア州 94608 エメリービル ハーリック ストリート 4238

Fターム(参考) 4C127 AA03 JJ03 LL08 LL15 LL18 LL21