



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월04일
(11) 등록번호 10-2211934
(24) 등록일자 2021년01월29일

(51) 국제특허분류(Int. Cl.)
H01L 23/12 (2006.01) H01L 21/60 (2006.01)
(21) 출원번호 10-2014-0026595
(22) 출원일자 2014년03월06일
심사청구일자 2019년02월08일
(65) 공개번호 10-2015-0104803
(43) 공개일자 2015년09월16일
(56) 선행기술조사문헌
US06320757 B1*
US06621155 B1*
US6476506 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김용훈
경기도 수원시 영통구 청명북로 33 (영통동, 청명마을4단지아파트) 434동 1901호
(74) 대리인
특허법인가산

전체 청구항 수 : 총 9 항

심사관 : 정구원

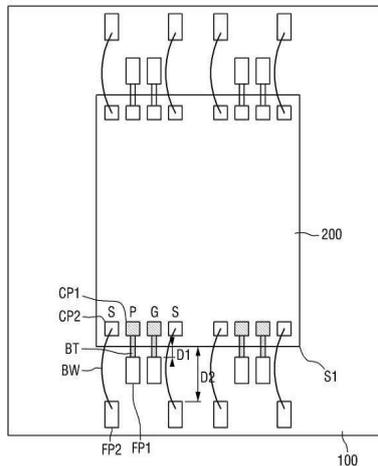
(54) 발명의 명칭 반도체 패키지

(57) 요약

반도체 패키지가 제공된다. 상기 반도체 패키지는, 제1 핑거 패드와 제2 핑거 패드를 포함하는 반도체 기판, 상기 반도체 기판 상에 실장되고, 제1 칩 패드와 제2 칩 패드를 포함하는 반도체 칩, 상기 제1 핑거 패드와 상기 제1 칩 패드를 전기적으로 연결하는 본딩 테이프, 및 상기 제2 핑거 패드와 상기 제2 칩 패드를 전기적으로 연결하는 본딩 와이어를 포함하되, 상기 본딩 테이프는, 상기 반도체 칩의 일 측벽에, 상기 반도체 칩의 높이 방향을 따라 접촉하여 형성된다.

대표도 - 도1

1



명세서

청구범위

청구항 1

제1 핑거 패드와 제2 핑거 패드를 포함하는 반도체 기관;
 상기 반도체 기관 상에 실장되고, 제1 칩 패드와 제2 칩 패드를 포함하는 반도체 칩;
 상기 제1 핑거 패드와 상기 제1 칩 패드를 전기적으로 연결하는 본딩 테이프; 및
 상기 제2 핑거 패드와 상기 제2 칩 패드를 전기적으로 연결하는 본딩 와이어를 포함하되,
 상기 본딩 테이프는, 상기 반도체 칩의 일 측벽에, 상기 반도체 칩의 높이 방향을 따라 접촉하여 형성되고,
 상기 본딩 테이프는, 상기 제1 핑거 패드로부터 상기 제1 칩 패드까지, 상기 반도체 기관과 상기 반도체 칩에 접촉하여 형성되는 반도체 패키지.

청구항 2

삭제

청구항 3

제 1항에 있어서,
 상기 반도체 칩의 일면과 상기 제1 핑거 패드 사이에 수평 방향으로의 제1 이격 거리보다,
 상기 반도체 칩의 상기 일면과 상기 제2 핑거 패드 사이에 수평 방향으로의 제2 이격 거리가 더 먼 반도체 패키지.

청구항 4

제 3항에 있어서,
 상기 반도체 기관 상에 실장되고, 상기 제1 핑거 패드와 전기적으로 연결된 디커플링 커패시터를 더 포함하는 반도체 패키지.

청구항 5

제 1항에 있어서,
 상기 제1 핑거 패드는 파워 단자 또는 그라운드 단자에 연결되고, 상기 제2 핑거 패드는 신호 단자에 연결되는 반도체 패키지.

청구항 6

제1 내지 제4 핑거 패드를 포함하는 반도체 기관;
 상기 반도체 기관 상에 실장되고, 제1 칩 패드와 제2 칩 패드를 포함하는 제1 반도체 칩;
 상기 반도체 기관 상에 상기 제1 반도체 칩과 나란하게 배치되도록 실장되고, 제3 칩 패드와 제4 칩 패드를 포함하는 제2 반도체 칩;
 상기 제1 및 제3 핑거 패드를 각각, 상기 제1 및 제3 칩 패드와 전기적으로 연결하는 제1 및 제2 본딩 테이프; 및
 상기 제2 및 제4 핑거 패드를 각각, 상기 제2 및 제4 칩 패드와 전기적으로 연결하는 제1 및 제2 본딩 와이어를 포함하되,
 상기 제1 및 제2 본딩 테이프는, 상기 제1 및 제2 반도체 칩의 일 측벽에 각각, 상기 제1 및 제2 반도체 칩의

높이 방향을 따라 접촉하여 형성되는 반도체 패키지.

청구항 7

제 6항에 있어서,

상기 제1 본딩 테이프는, 상기 제1 핑거 패드로부터 상기 제1 칩 패드까지, 상기 반도체 기판과 상기 제1 반도체 칩에 접촉하여 형성된 반도체 패키지.

청구항 8

제 6항에 있어서,

상기 제2 본딩 테이프는, 상기 제3 핑거 패드로부터 상기 제3 칩 패드까지, 상기 반도체 기판과 상기 제2 반도체 칩에 접촉하여 형성된 반도체 패키지.

청구항 9

제 6항에 있어서,

상기 제1 반도체 칩의 제1 면과 상기 제1 핑거 패드 사이에 수평 방향으로의 제1 이격 거리보다, 상기 제1 반도체 칩의 상기 제1 면과 상기 제2 핑거 패드 사이에 수평 방향으로의 제2 이격 거리가 더 멀고,

상기 제2 반도체 칩의 제2 면과 상기 제3 핑거 패드 사이에 수평 방향으로의 제3 이격 거리보다, 상기 제2 반도체 칩의 상기 제2 면과 상기 제4 핑거 패드 사이에 수평 방향으로의 제4 이격 거리가 더 먼 반도체 패키지.

청구항 10

제 9항에 있어서,

상기 반도체 기판 상에 실장되고, 상기 제1 또는 제3 핑거 패드와 전기적으로 연결된 디커플링 커패시터를 더 포함하는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지에 관한 것이다.

배경 기술

[0002] 반도체 소자의 고집적화, 고속화 경향에 따라 반도체 칩 안팎의 배선 및 패키징에 관련된 신호/전력의 충실성 (signal/power integrity) 문제가 전체 시스템의 성능과 관련하여 대두되고 있다.

[0003] 특히, 최근의 반도체 소자는 동시에 전달되는 신호의 수가 점차 증가하고 있으며, 신호 전달 속도도 계속 증가하고 있다. 이는 기생 인덕턴스 성분의 영향에 의하여 잡음으로 나타나게 되며, 이를 파워/그라운드 잡음 (power/ground noise)이라고 한다.

[0004] 파워/그라운드 잡음은 반도체 소자의 동작 속도가 빠를수록, 그리고 동시 전달 신호 수가 많을수록 증가하게 되며, 반도체 소자의 고속 동작에 심각한 저해 요소가 된다. 이러한 파워/그라운드 잡음 문제를 해결하기 위하여, 기판 표면에 디커플링 커패시터(decoupling capacitor)를 추가하여 파워/그라운드 공급을 안정화 시켜주는 방법이 사용되고 있다.

[0005] 한국공개특허 제2012-0088013호에는 디커플링 반도체 커패시터를 포함하는 반도체 패키지에 관하여 개시되어 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는, 전력 충실성(power integrity)을 개선하기 위하여, VCI(Vertical Chip Interconnection)를 이용하여 디커플링 커패시터를 반도체 칩에 인접하도록 배치할 수 있는 구조를 갖는

반도체 패키지를 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 반도체 패키지의 일 실시예는, 제1 핑거 패드와 제2 핑거 패드를 포함하는 반도체 기판, 상기 반도체 기판 상에 실장되고, 제1 칩 패드와 제2 칩 패드를 포함하는 반도체 칩, 상기 제1 핑거 패드와 상기 제1 칩 패드를 전기적으로 연결하는 본딩 테이프, 및 상기 제2 핑거 패드와 상기 제2 칩 패드를 전기적으로 연결하는 본딩 와이어를 포함하되, 상기 본딩 테이프는, 상기 반도체 칩의 일 측벽에, 상기 반도체 칩의 높이 방향을 따라 접촉하여 형성된다.

[0009] 여기에서, 상기 본딩 테이프는, 상기 제1 핑거 패드로부터 상기 제1 칩 패드까지, 상기 반도체 기판과 상기 반도체 칩에 접촉하여 형성될 수 있다.

[0010] 상기 반도체 칩의 일면과 상기 제1 핑거 패드 사이에 수평 방향으로의 제1 이격 거리보다, 상기 반도체 칩의 상기 일면과 상기 제2 핑거 패드 사이에 수평 방향으로의 제2 이격 거리가 더 멀 수 있다.

[0011] 상기 반도체 기판 상에 실장되고, 상기 제1 핑거 패드와 전기적으로 연결된 디커플링 커패시터를 더 포함할 수 있다.

[0012] 상기 반도체 칩의 상기 일면과 상기 디커플링 커패시터 사이에 수평 방향으로의 제3 이격 거리는, 상기 제2 이격 거리보다 가까울 수 있다.

[0013] 상기 제1 핑거 패드는 파워 단자 또는 그라운드 단자에 연결되고, 상기 제2 핑거 패드는 신호 단자에 연결될 수 있다.

[0014] 상기 제1 및 제2 핑거 패드와, 상기 제1 및 제2 칩 패드는 복수 개 형성될 수 있다.

[0015] 상기 제1 및 제2 칩 패드는 상기 반도체 칩 상에 형성되고, 상기 제1 칩 패드는 한 쌍의 상기 제2 칩 패드 사이에 배치될 수 있다.

[0016] 상기 과제를 해결하기 위한 본 발명의 반도체 패키지의 다른 실시예는, 제1 내지 제4 핑거 패드를 포함하는 반도체 기판, 상기 반도체 기판 상에 실장되고, 제1 칩 패드와 제2 칩 패드를 포함하는 제1 반도체 칩, 상기 반도체 기판 상에 상기 제1 반도체 칩과 나란하게 배치되도록 실장되고, 제3 칩 패드와 제4 칩 패드를 포함하는 제2 반도체 칩, 상기 제1 및 제3 핑거 패드를 각각, 상기 제1 및 제3 칩 패드와 전기적으로 연결하는 제1 및 제2 본딩 테이프, 및 상기 제2 및 제4 핑거 패드를 각각, 상기 제2 및 제4 칩 패드와 전기적으로 연결하는 제1 및 제2 본딩 와이어를 포함하되, 상기 제1 및 제2 본딩 테이프는, 상기 제1 및 제2 반도체 칩의 일 측벽에 각각, 상기 제1 및 제2 반도체 칩의 높이 방향을 따라 접촉하여 형성된다.

[0017] 여기에서, 상기 제1 본딩 테이프는, 상기 제1 핑거 패드로부터 상기 제1 칩 패드까지, 상기 반도체 기판과 상기 제1 반도체 칩에 접촉하여 형성될 수 있다.

[0018] 상기 제2 본딩 테이프는, 상기 제3 핑거 패드로부터 상기 제3 칩 패드까지, 상기 반도체 기판과 상기 제2 반도체 칩에 접촉하여 형성될 수 있다.

[0019] 상기 제1 또는 제2 반도체 칩은, 복수 개의 반도체 칩 레이어를 포함할 수 있다.

[0020] 상기 제1 내지 제4 칩 패드는, 상기 제1 또는 제2 반도체 칩 상에 형성될 수 있다.

[0021] 상기 제1 반도체 칩의 제1 면과 상기 제1 핑거 패드 사이에 수평 방향으로의 제1 이격 거리보다, 상기 제1 반도체 칩의 상기 제1 면과 상기 제2 핑거 패드 사이에 수평 방향으로의 제2 이격 거리가 더 멀고, 상기 제2 반도체 칩의 제2 면과 상기 제3 핑거 패드 사이에 수평 방향으로의 제3 이격 거리보다, 상기 제2 반도체 칩의 상기 제2 면과 상기 제4 핑거 패드 사이에 수평 방향으로의 제4 이격 거리가 더 멀 수 있다.

[0022] 상기 반도체 기판 상에 실장되고, 상기 제1 또는 제3 핑거 패드와 전기적으로 연결된 디커플링 커패시터를 더 포함할 수 있다.

[0023] 상기 제1 또는 제3 핑거 패드는 파워 단자 또는 그라운드 단자에 연결되고, 상기 제2 또는 제4 핑거 패드는 신호 단자에 연결될 수 있다.

[0024] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 제1 실시예에 따른 반도체 패키지의 레이아웃도이다.
- 도 2는 본 발명의 제1 실시예에 따른 반도체 패키지의 단면도이다.
- 도 3은 본 발명의 제2 실시예에 따른 반도체 패키지의 레이아웃도이다.
- 도 4는 본 발명의 제2 실시예에 따른 반도체 패키지의 단면도이다.
- 도 5는 본 발명의 제3 실시예에 따른 반도체 패키지의 단면도이다.
- 도 6은 본 발명의 제4 실시예에 따른 반도체 패키지의 레이아웃도이다.
- 도 7은 본 발명의 제4 실시예에 따른 반도체 패키지의 제1 단면도이다.
- 도 8은 본 발명의 제4 실시예에 따른 반도체 패키지의 제2 단면도이다.
- 도 9는 본 발명의 제5 실시예에 따른 반도체 패키지의 제1 단면도이다.
- 도 10은 본 발명의 제5 실시예에 따른 반도체 패키지의 제2 단면도이다.
- 도 11은 본 발명의 제6 실시예에 따른 반도체 패키지의 제1 단면도이다.
- 도 12는 본 발명의 제6 실시예에 따른 반도체 패키지의 제2 단면도이다.
- 도 13은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- 도 14 및 도 15는 본 발명의 몇몇 실시예들에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- [0027] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0028] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0029] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위 뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0030] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어

있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0031] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0032] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0033] 이하에서 언급되는 본 발명에서의 반도체 패키지는, 전력 충실성(power integrity; PI)을 개선할 수 있는 구조를 제공하는 반도체 패키지에 관한 것이다. 메모리 집적도(density)가 증가되면서, 멀티 스택(multi-stack) 구조의 메모리가 제품에 적용되고 있다. 이러한 구조에서는 신호 전달 속도 증가 및 전력 증가에 따라 PI 개선 문제가 대두된다. 이에 따라, 반도체 기판에 실장되는 디커플링 커패시터(decoupling capacitor)를 반도체 패키지 내로 포함시킬 필요성이 있으며, 본 발명에 따르면 VCI(Vertical Chip Interconnection) 구조를 이용하여 디커플링 커패시터를 반도체 소자에 인접하여 배치할 수 있다.
- [0034] 도 1은 본 발명의 제1 실시예에 따른 반도체 패키지의 레이아웃도이다. 도 2는 본 발명의 제1 실시예에 따른 반도체 패키지의 단면도이다.
- [0035] 도 1 및 도 2를 참조하면, 본 발명의 제1 실시예에 따른 반도체 패키지(1)는, 반도체 기판(100), 반도체 칩(200), 본딩 테이프(BT), 본딩 와이어(BW)를 포함한다.
- [0036] 반도체 기판(100)은 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)를 포함한다. 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)는 반도체 기판(100) 상에 실장되는 반도체 칩(200)과 전기적으로 연결되는 패드로서, 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)는 도전성 물질을 포함할 수 있다. 예를 들어, 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)는 금(Au), 은(Ag), 구리(Cu), 니켈(Ni) 또는 알루미늄(Al)을 포함할 수 있다.
- [0037] 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)는 반도체 기판(100)의 상면에 형성될 수 있다. 반도체 기판(100)의 상면 상에는 반도체 칩(200)이 실장될 수 있으며, 반도체 기판(100)과 반도체 칩(200)은 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)를 통하여 전기적으로 연결될 수 있다.
- [0038] 제1 핑거 패드(FP1)는 파워/그라운드 단자에 연결되고, 제2 핑거 패드(FP2)는 신호 단자에 연결될 수 있다. 그리고, 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)는 각각, 반도체 기판(100) 상에 복수 개 형성될 수 있다. 도 1에서는, 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)가 각각, 8개 형성되는 것으로 도시되어 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0039] 반도체 기판(100)의 하면 상에는 외부 단자가 배치될 수 있다. 즉, 반도체 기판(100)이 포함된 반도체 패키지를 다른 반도체 패키지와 전기적으로 연결하거나, 다른 반도체 소자와 전기적으로 연결될 때 외부 단자에 의해 연결될 수 있다. 도 1에서는, 외부 단자의 예시로 솔더 볼(SB)이 배치된 것이 도시되어 있으나, 이에 한정되는 것은 아니다. 예를 들어, 외부 단자는 솔더 범프(solder bump), 그리드 어레이(grid array), 또는 도전성 탭(conductive tab) 등일 수 있다.
- [0040] 반도체 기판(100)은 패키지용 기판일 수 있으며, 예를 들어, 인쇄 회로 기판(Printed Circuit Board; PCB), 리드 프레임(Lead Frame; LF), 세라믹 기판, 실리콘 웨이퍼, 또는 배선 기판일 수 있다. 상기 인쇄 회로 기판은 경성 인쇄 회로 기판(Rigid PCB), 연성 인쇄 회로 기판(Flexible PCB), 또는 경연성 인쇄 회로 기판(Rigid Flexible PCB)을 포함할 수 있다.
- [0041] 반도체 칩(200)은 반도체 기판(100) 상에 실장되고, 제1 칩 패드(CP1)와 제2 칩 패드(CP2)를 포함한다. 제1 칩 패드(CP1)는 파워/그라운드 단자에 연결되고, 제2 칩 패드(CP2)는 신호 단자에 연결될 수 있다. 즉, 제1 칩 패드(CP1)는 제1 핑거 패드(FP1)와 전기적으로 연결되고, 제2 칩 패드(CP2)는 제2 핑거 패드(FP2)와 전기적으로 연결되어, 반도체 기판(100)과 반도체 칩(200)이 전기적으로 연결될 수 있다. 도 1에 도시된 것과 같이, 제1 칩 패드(CP1)와 제2 칩 패드(CP2)는 반도체 칩(200) 상에 형성되고, 제1 칩 패드(CP1)는 한 쌍의 제2 칩 패드(CP2)

사이에 배치될 수 있다. 즉, 신호 단자와 전기적으로 연결되는 제2 칩 패드(CP2)가 배치되고, 그 옆에 인접하여 파워 단자와 전기적으로 연결되는 제1 칩 패드(CP1)가 배치되고, 그 옆에 인접하여 그라운드 단자와 전기적으로 연결되는 제1 칩 패드(CP1)가 배치되고, 그 옆에 인접하여 신호 단자와 전기적으로 연결되는 제2 칩 패드(CP2)가 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

- [0042] 예를 들어, 반도체 칩(200)은 디램 칩(Dynamic Random Access Memory chip; DRAM chip), 플래시 메모리 칩(Flash memory chip), 또는 저항 변화 메모리 칩(Resistance changeable memory chip)을 포함할 수 있다.
- [0043] 또한, 반도체 칩(200)은 몰딩 부재에 의하여 몰딩됨으로써, 외부의 충격, 온도, 습기 등으로부터 보호될 수 있다.
- [0044] 본딩 테이프(BT)는 제1 핑거 패드(FP1)와 제1 칩 패드(CP1)를 전기적으로 연결한다. 본딩 테이프(BT)는 반도체 칩(200)의 일 측면에, 반도체 칩(200)의 높이 방향을 따라 접촉하여 형성될 수 있다. 즉, 본딩 테이프(BT)는 제1 핑거 패드(FP1)로부터 제1 칩 패드(CP1)까지, 반도체 기판(100)과 반도체 칩(200)에 접촉하여 형성될 수 있다. 이러한 구조에서는, 디커플링 커패시터(300)를 반도체 칩(200)에 인접하여 배치할 수 있도록 한다. 반도체 칩(200) 가까이에 디커플링 커패시터(300)를 배치함으로써, 효과적으로 PI 특성을 개선할 수 있다.
- [0045] 더 구체적으로, 도 2를 참조하면, 반도체 기판(100) 상에 반도체 칩(200)이 실장되고, 반도체 기판(100) 상에 형성된 제1 핑거 패드(FP1)와 반도체 칩(200) 상에 형성된 제1 칩 패드(CP1)가 본딩 테이프(BT)에 의하여 전기적으로 연결된다. 이 때, 본딩 테이프(BT)는 도전성 물질로 형성되며, 예를 들어, 본딩 테이프(BT)는 금(Au), 은(Ag), 구리(Cu), 니켈(Ni) 또는 알루미늄(Al)을 포함할 수 있다. 본딩 테이프(BT)는, 제1 핑거 패드(FP1) 상에 접촉하여 형성되고, 제1 핑거 패드(FP1)로부터 반도체 기판(100)을 따라 반도체 기판(100) 상에 접촉하여 형성되고, 반도체 기판(100)과 반도체 칩(200)이 만나는 지점까지 연장되고, 반도체 기판(100)과 반도체 칩(200)이 만나는 지점에서부터 반도체 칩(200)의 측면을 따라 높이 방향으로 반도체 칩(200)의 상기 측면에 접촉하여 형성되고, 반도체 칩(200) 상에 형성된 제1 칩 패드(CP1) 상에 접촉하여 형성될 수 있다.
- [0046] 본 발명에 따르면, 디커플링 커패시터(300)를 반도체 패키지 내에 내장할 때, VCI 기술을 이용하여 디커플링 커패시터(300)를 반도체 칩(200) 가까이에 인접하여 배치할 수 있다. 본 발명에 따르면, 와이어 본딩 후 트레이스(trace)를 통해 디커플링 커패시터(300)를 반도체 칩(200)에 연결하는 구조에 비하여, 디커플링 커패시터(300)를 반도체 칩(200) 가까이에 인접하여 배치할 수 있기 때문에, 디커플링 커패시터(300)와 반도체 칩(200) 사이의 인덕턴스(inductance)를 80% 이상 감소시킬 수 있어, PI 특성을 개선할 수 있다.
- [0047] 본딩 와이어(BW)는 제2 핑거 패드(FP2)와 제2 칩 패드(CP2)를 전기적으로 연결한다. 본딩 와이어(BW)는 반도체 칩(200) 상에 형성된 제2 칩 패드(CP2)로부터 소정 높이까지 상승하였다가 하강하여 반도체 기판(100) 상에 형성된 제2 핑거 패드(FP2)에 접합될 수 있다. 즉, 본딩 와이어(BW)는 반도체 기판(100)의 상면을 기준으로 볼록한(convex) 곡선 형상일 수 있다.
- [0048] 본 발명에 따르면, 반도체 칩(200)의 일면(S1)과 제1 핑거 패드(FP1) 사이에 수평 방향으로의 제1 이격 거리(D1)보다, 반도체 칩(200)의 일면(S1)과 제2 핑거 패드(FP2) 사이에 수평 방향으로의 제2 이격 거리(D2)가 더 멀다. 이는, 디커플링 커패시터(300)를 반도체 칩(200) 가까이에 인접하여 배치할 수 있는 VCI 구조이다.
- [0049] 이하에서는, 본 발명의 다른 실시예들에 따른 반도체 패키지에 관하여 설명한다.
- [0050] 도 3은 본 발명의 제2 실시예에 따른 반도체 패키지의 레이아웃도이다. 도 4는 본 발명의 제2 실시예에 따른 반도체 패키지의 단면도이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 반도체 패키지를 설명한 것과 실질적으로 동일한 부분의 설명은 생략하기로 한다.
- [0051] 도 3 및 도 4를 참조하면, 본 발명의 제2 실시예에 따른 반도체 패키지(2)는, 반도체 기판(100), 반도체 칩(200), 본딩 테이프(BT), 본딩 와이어(BW), 디커플링 커패시터(300)를 포함한다.
- [0052] 반도체 기판(100)은 제1 핑거 패드(FP1)와 제2 핑거 패드(FP2)를 포함한다. 그리고, 반도체 칩(200)은 반도체 기판(100) 상에 실장되고, 제1 칩 패드(CP1)와 제2 칩 패드(CP2)를 포함한다. 제1 핑거 패드(FP1)와 제1 칩 패드(CP1)는 본딩 테이프(BT)에 의하여 전기적으로 연결되고, 제2 핑거 패드(FP2)와 제2 칩 패드(CP2)는 본딩 와이어(BW)에 의하여 전기적으로 연결된다.
- [0053] 이 때, 반도체 칩(200)의 일면(S1)과 제1 핑거 패드(FP1) 사이에 수평 방향으로의 제1 이격 거리(D1)보다, 반도체 칩(200)의 일면(S1)과 제2 핑거 패드(FP2) 사이에 수평 방향으로의 제2 이격 거리(D2)가 더 멀다. 왜냐하면, 제1 핑거 패드(FP1) 상에 디커플링 커패시터(300)가 배치되어, 디커플링 커패시터(300)를 반도체 칩(200)에 인

접하여 배치할 수 있도록 하기 위함이다.

- [0054] 디커플링 커패시터(300)는 반도체 기판(100) 상에 실장되고, 제1 핑거 패드(FP1)와 전기적으로 연결된다. 반도체 칩(200)의 일면(S1)과 디커플링 커패시터(300) 사이에 수평 방향으로의 제3 이격 거리(D3)는, 반도체 칩(200)의 일면(S1)과 제2 핑거 패드(FP2) 사이에 수평 방향으로의 제2 이격 거리(D2)보다 가깝다. 디커플링 커패시터(300)는 기생 인덕턴스를 낮추고, 과위/그라운드를 안정화 시키기 위하여 사용된다. 디커플링 커패시터(300)는 부하 전류의 급격한 변화시 전류를 반도체 칩(200)으로 공급함으로써, 전원 전압의 변동이나 고주파 노이즈에 의한 반도체 칩(200)의 오동작을 방지하는 기능을 할 수 있다. 그리고, 디커플링 커패시터(300)는 반도체 칩(200)의 측면에 인접하여 배치됨으로써, 반도체 칩(200)과의 전류 경로에서 발생하는 인덕턴스가 낮아질 수 있다. 또한, 디커플링 커패시터(300)는 축적된 전력을 필요시에 반도체 칩(200)으로 제공하는 역할도 한다.
- [0055] 디커플링 커패시터(300)는 양 측면의 전극부와 상기 전극부 사이에 배치된 유전막을 포함하도록 형성된다. 이 때, 디커플링 커패시터(300)의 전극부는 도전성 범프 자체이거나, 도전성 범프의 일부와 접하도록 배치되는 추가의 도전성 막일 수 있다. 즉, 본 발명에서는 제1 핑거 패드(FP1)가 디커플링 커패시터(300)의 전극부로 이용될 수 있다. 이에 따라, 디커플링 커패시터(300)는 제1 핑거 패드(FP1)에 의하여 반도체 기판(100) 및 반도체 칩(200)과 전기적으로 연결될 수 있다.
- [0056] 디커플링 커패시터(300)는 통상의 반도체 공정을 이용하여 제조될 수 있으므로 작은 크기로 형성될 수 있다. 또한, 디커플링 커패시터(300) 기판의 하면을 그라인딩(grinding)할 수 있으므로, 디커플링 커패시터(300)의 높이(height)를 낮게 할 수 있다. 따라서, 디커플링 커패시터(300)를 적용함으로써, 반도체 패키지의 크기를 작게 할 수 있다. 예를 들어, MLCC(Multi Layer Ceramic Capacitor)가 적용된 반도체 패키지는, 패키지 기판 상에 상기 MLCC를 직접 실장할 수 밖에 없다. 그러나, 디커플링 커패시터(300)는 크기가 작고, 높은 정전 용량을 구현할 수 있어서, 반도체 패키지(2) 내에서 디커플링 커패시터(300)가 다양하게 실장될 수 있다.
- [0057] 도 5는 본 발명의 제3 실시예에 따른 반도체 패키지의 단면도이다. 설명의 편의상, 본 발명의 제1 및 제2 실시예에 따른 반도체 패키지를 설명한 것과 실질적으로 동일한 부분의 설명은 생략하기로 한다.
- [0058] 도 5를 참조하면, 본 발명의 제3 실시예에 따른 반도체 패키지(3)는, 반도체 기판(100), 제1 반도체 칩(200), 제2 반도체 칩(210), 본딩 테이프(BT), 본딩 와이어(BW), 디커플링 커패시터(300)를 포함한다.
- [0059] 반도체 패키지(3)는, 제2 반도체 칩(210)이 제1 반도체 칩(200) 상에 적층된 구조를 갖는다. 제품의 소형화 및 반도체 소자의 집적도(density) 증가에 따라, 최근에는 멀티 스택(multi-stack) 구조의 반도체 패키지가 이용되고 있다. 도 5에 도시된 것과 같이, 반도체 패키지(3)는 반도체 칩(200, 210)들이 적층된 구조를 포함하며, 도 5에서는 2개의 반도체 칩(200, 210)이 적층된 구조가 도시되어 있으나, 본 발명은 이에 한정되는 것은 아니다. 즉, 반도체 패키지(3)는 3개 이상의 복수 개의 반도체 칩이 적층된 구조를 포함할 수 있다.
- [0060] 이 때, 제1 반도체 칩(200)과 제2 반도체 칩(210)은 동종 칩일 수 있다. 제1 반도체 칩(200)과 제2 반도체 칩(210)이 수직 방향으로 적층되어 배치되고, 제1 반도체 칩(200)과 제2 반도체 칩(210) 각각의, 제1 칩 패드(CP1)는 디커플링 커패시터(300)의 전극부와 전기적으로 연결된다. 반도체 기판(100) 상의 제1 핑거 패드(FP1)가 디커플링 커패시터(300)의 전극부로 이용되기 때문에, 제1 핑거 패드(FP1)에 의하여, 반도체 기판(100), 제1 반도체 칩(200), 제2 반도체 칩(210), 디커플링 커패시터(300)는 모두 전기적으로 연결될 수 있다.
- [0061] 반도체 패키지(3)에서 본딩 테이프(BT)는, 디커플링 커패시터(300)의 전극부에 접촉하여 형성되고, 디커플링 커패시터(300)의 전극부로부터 반도체 기판(100)을 따라 반도체 기판(100) 상에 접촉하여 형성되고, 반도체 기판(100)과 제1 반도체 칩(200)이 만나는 지점까지 연장되고, 반도체 기판(100)과 제1 반도체 칩(200)이 만나는 지점에서부터 제1 반도체 칩(200) 및 제2 반도체 칩(210)의 측벽(SW)을 따라 높이 방향으로 제1 반도체 칩(200) 및 제2 반도체 칩(210)의 측벽(SW)에 접촉하여 형성되고, 제2 반도체 칩(210) 상에 형성된 제1 칩 패드(CP1) 상에 접촉하여 형성될 수 있다.
- [0062] 또한, 본딩 테이프(BT)가 형성된 루트에 제1 반도체 칩(200)의 제1 칩 패드(CP1)도 접촉하도록 형성되어, 제1 반도체 칩(200)이 본딩 테이프(BT)에 전기적으로 연결될 수 있다.
- [0063] 도 6은 본 발명의 제4 실시예에 따른 반도체 패키지의 레이아웃도이다. 도 7은 본 발명의 제4 실시예에 따른 반도체 패키지의 제1 단면도이다. 도 8은 본 발명의 제4 실시예에 따른 반도체 패키지의 제2 단면도이다. 설명의 편의상, 본 발명의 제1 내지 제3 실시예에 따른 반도체 패키지를 설명한 것과 실질적으로 동일한 부분의 설명은 생략하기로 한다.

- [0064] 도 6 내지 도 8을 참조하면, 본 발명의 제4 실시예에 따른 반도체 패키지(4)는, 반도체 기판(100), 제1 반도체 칩(200), 제3 반도체 칩(220), 제1 본딩 테이프(BT1), 제2 본딩 테이프(BT2), 제1 본딩 와이어(BW1), 제2 본딩 와이어(BW2)를 포함한다.
- [0065] 반도체 기판(100)은 제1 내지 제4 핑거 패드(FP1, FP2, FP3, FP4)를 포함한다. 제1 내지 제4 핑거 패드(FP1, FP2, FP3, FP4)는 반도체 기판(100) 상에 실장되는 제1 반도체 칩(200) 또는 제3 반도체 칩(220)과 전기적으로 연결되는 패드로서, 제1 내지 제4 핑거 패드(FP1, FP2, FP3, FP4)는 도전성 물질을 포함할 수 있다. 예를 들어, 제1 내지 제4 핑거 패드(FP1, FP2, FP3, FP4)는 금(Au), 은(Ag), 구리(Cu), 니켈(Ni) 또는 알루미늄(Al)을 포함할 수 있다.
- [0066] 제1 내지 제4 핑거 패드(FP1, FP2, FP3, FP4)는 반도체 기판(100)의 상면에 형성될 수 있다. 반도체 기판(100)의 상면 상에는 제1 반도체 칩(200) 및 제3 반도체 칩(220)이 실장될 수 있으며, 반도체 기판(100)과 제1 반도체 칩(200) 및 제3 반도체 칩(220)은 제1 내지 제4 핑거 패드(FP1, FP2, FP3, FP4)를 통하여 전기적으로 연결될 수 있다.
- [0067] 제1 핑거 패드(FP1) 및 제3 핑거 패드(FP3)는 파워/그라운드 단자에 연결되고, 제2 핑거 패드(FP2) 및 제4 핑거 패드(FP4)는 신호 단자에 연결될 수 있다. 그리고, 제1 내지 제4 핑거 패드(FP1, FP2, FP3, FP4)는 각각, 반도체 기판(100) 상에 복수 개 형성될 수 있다.
- [0068] 제1 반도체 칩(200) 및 제3 반도체 칩(220)은 반도체 기판(100) 상에 실장되고, 제1 반도체 칩(200)은 제1 칩 패드(CP1)와 제2 칩 패드(CP2)를 포함하고, 제3 반도체 칩(220)은 제3 칩 패드(CP3)와 제4 칩 패드(CP4)를 포함한다. 제1 칩 패드(CP1)와 제3 칩 패드(CP3)는 파워/그라운드 단자에 연결되고, 제2 칩 패드(CP2)와 제4 칩 패드(CP4)는 신호 단자에 연결될 수 있다.
- [0069] 즉, 제1 칩 패드(CP1)는 제1 핑거 패드(FP1)와 전기적으로 연결되고, 제2 칩 패드(CP2)는 제2 핑거 패드(FP2)와 전기적으로 연결되고, 제3 칩 패드(CP3)는 제3 핑거 패드(FP3)와 전기적으로 연결되고, 제4 칩 패드(CP4)는 제4 핑거 패드(FP4)와 전기적으로 연결되어, 반도체 기판(100)과 제1 및 제3 반도체 칩(200, 220)이 전기적으로 연결될 수 있다.
- [0070] 제1 본딩 테이프(BT1)는 제1 핑거 패드(FP1)와 제1 칩 패드(CP1)를 전기적으로 연결하고, 제2 본딩 테이프(BT2)는 제3 핑거 패드(FP3)와 제3 칩 패드(CP3)를 전기적으로 연결한다. 제1 본딩 테이프(BT1)는 제1 반도체 칩(200)의 일 측벽에, 제1 반도체 칩(200)의 높이 방향을 따라 접촉하여 형성될 수 있다. 그리고, 제2 본딩 테이프(BT2)는 제3 반도체 칩(220)의 일 측벽에, 제3 반도체 칩(220)의 높이 방향을 따라 접촉하여 형성될 수 있다. 즉, 제1 본딩 테이프(BT1)는 제1 핑거 패드(FP1)로부터 제1 칩 패드(CP1)까지, 반도체 기판(100)과 제1 반도체 칩(200)에 접촉하여 형성될 수 있다. 그리고, 제2 본딩 테이프(BT2)는 제3 핑거 패드(FP3)로부터 제3 칩 패드(CP3)까지, 반도체 기판(100)과 제3 반도체 칩(220)에 접촉하여 형성될 수 있다.
- [0071] 더 구체적으로, 도 7 및 도 8을 참조하면, 반도체 기판(100) 상에 제1 및 제3 반도체 칩(200, 220)이 실장되고, 반도체 기판(100) 상에 형성된 제1 핑거 패드(FP1)와 제1 반도체 칩(200) 상에 형성된 제1 칩 패드(CP1)가 제1 본딩 테이프(BT1)에 의하여 전기적으로 연결되고, 제3 핑거 패드(FP3)와 제3 반도체 칩(220) 상에 형성된 제3 칩 패드(CP3)가 제2 본딩 테이프(BT2)에 의하여 전기적으로 연결된다. 이 때, 제1 및 제2 본딩 테이프(BT1, BT2)는 도전성 물질로 형성되며, 예를 들어, 본딩 테이프(BT)는 금(Au), 은(Ag), 구리(Cu), 니켈(Ni) 또는 알루미늄(Al)을 포함할 수 있다.
- [0072] 제1 본딩 테이프(BT1)는, 제1 핑거 패드(FP1) 상에 접촉하여 형성되고, 제1 핑거 패드(FP1)로부터 반도체 기판(100)을 따라 반도체 기판(100) 상에 접촉하여 형성되고, 반도체 기판(100)과 제1 반도체 칩(200)이 만나는 지점까지 연장되고, 반도체 기판(100)과 제1 반도체 칩(200)이 만나는 지점에서부터 제1 반도체 칩(200)의 측벽을 따라 높이 방향으로 제1 반도체 칩(200)의 상기 측벽에 접촉하여 형성되고, 제1 반도체 칩(200) 상에 형성된 제1 칩 패드(CP1) 상에 접촉하여 형성될 수 있다.
- [0073] 제2 본딩 테이프(BT2)는, 제3 핑거 패드(FP3) 상에 접촉하여 형성되고, 제3 핑거 패드(FP3)로부터 반도체 기판(100)을 따라 반도체 기판(100) 상에 접촉하여 형성되고, 반도체 기판(100)과 제3 반도체 칩(220)이 만나는 지점까지 연장되고, 반도체 기판(100)과 제3 반도체 칩(220)이 만나는 지점에서부터 제3 반도체 칩(220)의 측벽을 따라 높이 방향으로 제3 반도체 칩(220)의 상기 측벽에 접촉하여 형성되고, 제3 반도체 칩(220) 상에 형성된 제3 칩 패드(CP3) 상에 접촉하여 형성될 수 있다.

- [0074] 제1 본딩 와이어(BW1)는 제2 핑거 패드(FP2)와 제2 칩 패드(CP2)를 전기적으로 연결하고, 제2 본딩 와이어(BW2)는 제4 핑거 패드(FP4)와 제4 칩 패드(CP4)를 전기적으로 연결한다. 제1 또는 제2 본딩 와이어(BW1, BW2)는 제1 또는 제3 반도체 칩(200, 220) 상에 형성된 제2 또는 제4 칩 패드(CP2, CP4)로부터 소정 높이까지 상승하였다가 하강하여 반도체 기판(100) 상에 형성된 제2 또는 제4 핑거 패드(FP2, FP4)에 접합될 수 있다. 즉, 제1 또는 제2 본딩 와이어(BW1, BW2)는 반도체 기판(100)의 상면을 기준으로 볼록한(convex) 곡선 형상일 수 있다.
- [0075] 제1 반도체 칩(200)과 제3 반도체 칩(220)은 반도체 기판(100) 상에 나란하게 배치된다. 본 발명에 따르면, 제1 반도체 칩(200)의 제1 면(S1)과 제1 핑거 패드(FP1) 사이에 수평 방향으로의 제1 이격 거리(D1)보다, 제1 반도체 칩(200)의 제1 면(S1)과 제2 핑거 패드(FP2) 사이에 수평 방향으로의 제2 이격 거리(D2)가 더 멀다. 또한, 제3 반도체 칩(220)의 제1 면(S2)과 제3 핑거 패드(FP3) 사이에 수평 방향으로의 제3 이격 거리(D3)보다, 제3 반도체 칩(220)의 제1 면(S2)과 제4 핑거 패드(FP4) 사이에 수평 방향으로의 제4 이격 거리(D4)가 더 멀다.
- [0076] 도 9는 본 발명의 제5 실시예에 따른 반도체 패키지의 제1 단면도이다. 도 10은 본 발명의 제5 실시예에 따른 반도체 패키지의 제2 단면도이다. 설명의 편의상, 본 발명의 제1 내지 제4 실시예에 따른 반도체 패키지를 설명한 것과 실질적으로 동일한 부분의 설명은 생략하기로 한다.
- [0077] 도 9 및 도 10을 참조하면, 본 발명의 제5 실시예에 따른 반도체 패키지(5)는, 반도체 기판(100), 제1 반도체 칩(200), 제3 반도체 칩(220), 제4 반도체 칩(230), 제5 반도체 칩(240), 제1 본딩 테이프(BT1), 제2 본딩 테이프(BT2), 제1 본딩 와이어(BW1), 제2 본딩 와이어(BW2)를 포함한다.
- [0078] 반도체 패키지(5)는, 제4 반도체 칩(230)이 제1 반도체 칩(200) 상에 적층된 구조를 갖고, 제5 반도체 칩(240)이 제3 반도체 칩(220) 상에 적층된 구조를 갖는다.
- [0079] 도 9 및 도 10에 도시된 것과 같이, 반도체 패키지(5)는 반도체 칩(200, 220, 230, 240)들이 적층된 구조를 포함하며, 도 9 및 도 10에서는 2개의 반도체 칩이 각각 적층된 구조가 도시되어 있으나, 본 발명은 이에 한정되는 것은 아니다. 즉, 반도체 패키지(5)는 3개 이상의 복수 개의 반도체 칩이 적층된 구조를 포함할 수 있다.
- [0080] 반도체 패키지(5)에서 제1 본딩 테이프(BT1)는, 제1 핑거 패드(FP1)로부터 반도체 기판(100)을 따라 반도체 기판(100) 상에 접촉하여 형성되고, 반도체 기판(100)과 제1 반도체 칩(200)이 만나는 지점까지 연장되고, 반도체 기판(100)과 제1 반도체 칩(200)이 만나는 지점에서부터 제1 반도체 칩(200) 및 제4 반도체 칩(230)의 측벽(SW)을 따라 높이 방향으로 제1 반도체 칩(200) 및 제4 반도체 칩(230)의 측벽(SW)에 접촉하여 형성되고, 제4 반도체 칩(230) 상에 형성된 제1 칩 패드(CP1) 상에 접촉하여 형성될 수 있다.
- [0081] 또한, 제1 본딩 테이프(BT1)가 형성된 루트에 제1 반도체 칩(200)의 제1 칩 패드(CP1)도 접촉하도록 형성되어, 제1 반도체 칩(200)이 제1 본딩 테이프(BT1)에 전기적으로 연결될 수 있다.
- [0082] 제2 본딩 테이프(BT2)는, 제3 핑거 패드(FP3)로부터 반도체 기판(100)을 따라 반도체 기판(100) 상에 접촉하여 형성되고, 반도체 기판(100)과 제3 반도체 칩(220)이 만나는 지점까지 연장되고, 반도체 기판(100)과 제3 반도체 칩(220)이 만나는 지점에서부터 제3 반도체 칩(220) 및 제5 반도체 칩(240)의 측벽(SW)을 따라 높이 방향으로 제3 반도체 칩(220) 및 제5 반도체 칩(240)의 측벽(SW)에 접촉하여 형성되고, 제5 반도체 칩(240) 상에 형성된 제3 칩 패드(CP3) 상에 접촉하여 형성될 수 있다. 제2 본딩 테이프(BT2)가 형성된 루트에 제3 반도체 칩(220)의 제3 칩 패드(CP3)도 접촉하도록 형성되어, 제3 반도체 칩(220)이 제2 본딩 테이프(BT2)에 전기적으로 연결될 수 있다.
- [0083] 도 11은 본 발명의 제6 실시예에 따른 반도체 패키지의 제1 단면도이다. 도 12는 본 발명의 제6 실시예에 따른 반도체 패키지의 제2 단면도이다. 설명의 편의상, 본 발명의 제1 내지 제5 실시예에 따른 반도체 패키지를 설명한 것과 실질적으로 동일한 부분의 설명은 생략하기로 한다.
- [0084] 도 11 및 도 12를 참조하면, 본 발명의 제6 실시예에 따른 반도체 패키지(6)는, 반도체 기판(100), 제1 반도체 칩(200), 제3 반도체 칩(220), 제4 반도체 칩(230), 제5 반도체 칩(240), 제1 본딩 테이프(BT1), 제2 본딩 테이프(BT2), 제1 본딩 와이어(BW1), 제2 본딩 와이어(BW2), 제1 디커플링 커패시터(300), 제2 디커플링 커패시터(310)를 포함한다.
- [0085] 제1 또는 제2 디커플링 커패시터(300, 310)는 반도체 기판(100) 상에 실장되고, 제1 또는 제3 핑거 패드(FP1, FP3)와 전기적으로 연결된다. 이는, 제1 또는 제2 디커플링 커패시터(300, 310)를 제1 또는 제3 반도체 칩(200, 220) 가까이에 인접하여 배치할 수 있는 VCI 구조이다. 이러한 구조에서는, 제1 또는 제2 디커플링 커패시터(300, 310)를 제1 또는 제3 반도체 칩(200, 220)에 인접하여 배치할 수 있도록 한다. 제1 또는 제3 반도체 칩

(200, 220) 가까이 제1 또는 제2 디커플링 커패시터(300, 310)를 배치함으로써, 효과적으로 PI 특성을 개선할 수 있다.

- [0086] 도 13은 본 발명의 몇몇 실시예들에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- [0087] 도 13을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 버스(1150)를 통하여 서로 결합될 수 있다. 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0088] 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치등을 포함할 수 있다. 기억 장치(1130)는 데이터 및/또는 명령어등을 저장할 수 있다. 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(1140)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다. 도시하지 않았지만, 전자 시스템(1100)은 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램 등을 더 포함할 수도 있다. 본 발명의 실시예들에 따른 핀 전계효과 트랜지스터는 기억 장치(1130) 내에 제공되거나, 컨트롤러(1110), 입출력 장치(1120, I/O) 등의 일부로 제공될 수 있다.
- [0089] 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0090] 도 14 및 도 15는 본 발명의 몇몇 실시예들에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다. 도 14는 태블릿 PC이고, 도 15는 노트북을 도시한 것이다. 본 발명의 실시예들에 따른 반도체 장치(1~6) 중 적어도 하나는 태블릿 PC, 노트북 등에 사용될 수 있다. 본 발명의 몇몇 실시예들에 따른 반도체 장치는 예시하지 않는 다른 집적 회로 장치에도 적용될 수 있음은 당업자에게 자명하다.
- [0091] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

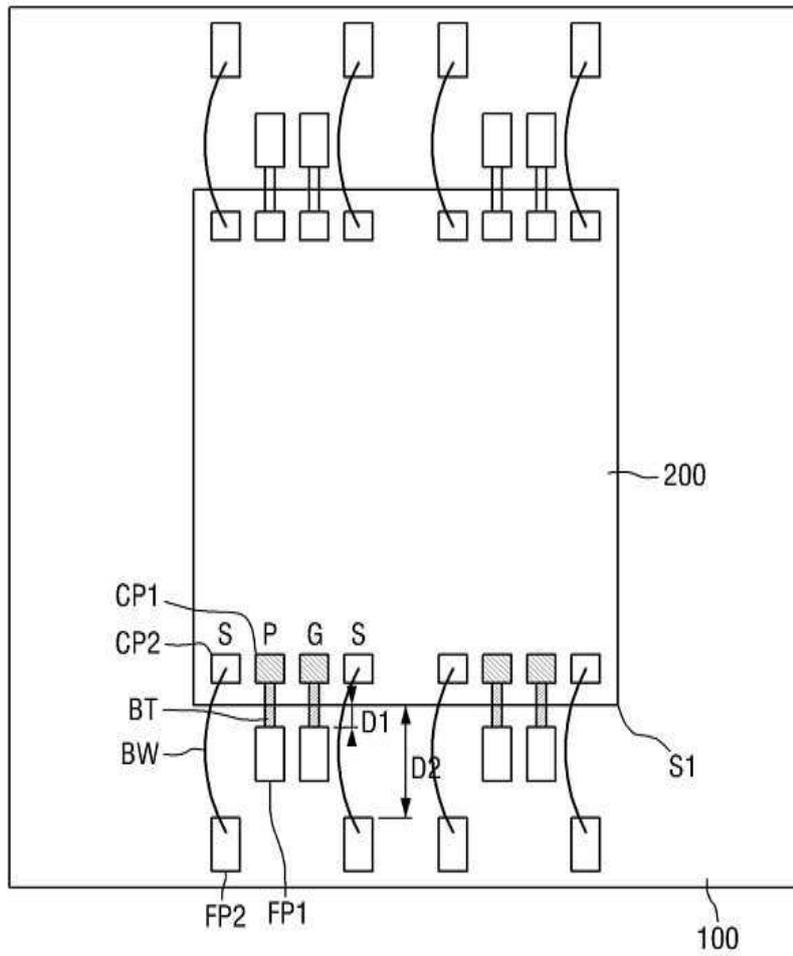
부호의 설명

- [0092] 100: 기관
- 200, 210, 220, 230, 240: 제1 내지 제5 반도체 칩
- BT1: 제1 본딩 테이프
- BT2: 제2 본딩 테이프
- BW1: 제1 본딩 와이어
- BW2: 제2 본딩 와이어
- FP1: 제1 핑거 패드
- FP2: 제2 핑거 패드
- CP1: 제1 칩 패드
- CP2: 제2 칩 패드
- 300: 제1 디커플링 커패시터
- 310: 제2 디커플링 커패시터

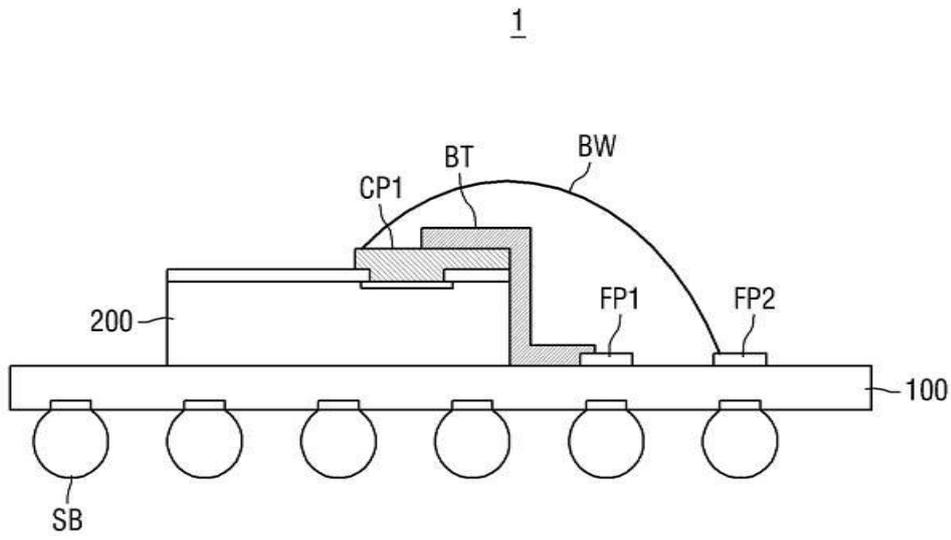
도면

도면1

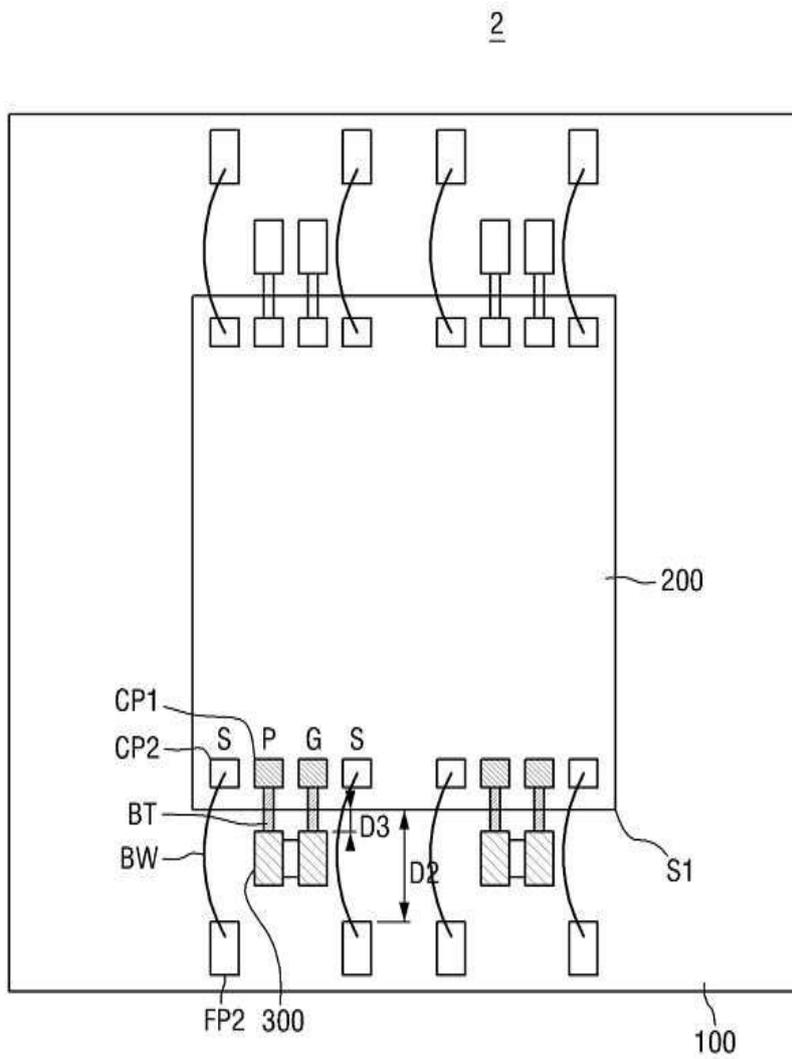
1



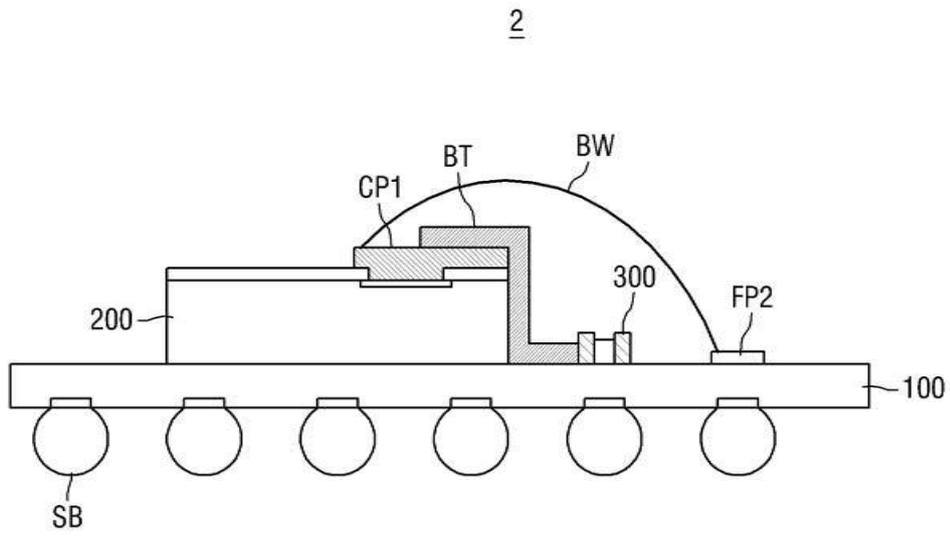
도면2



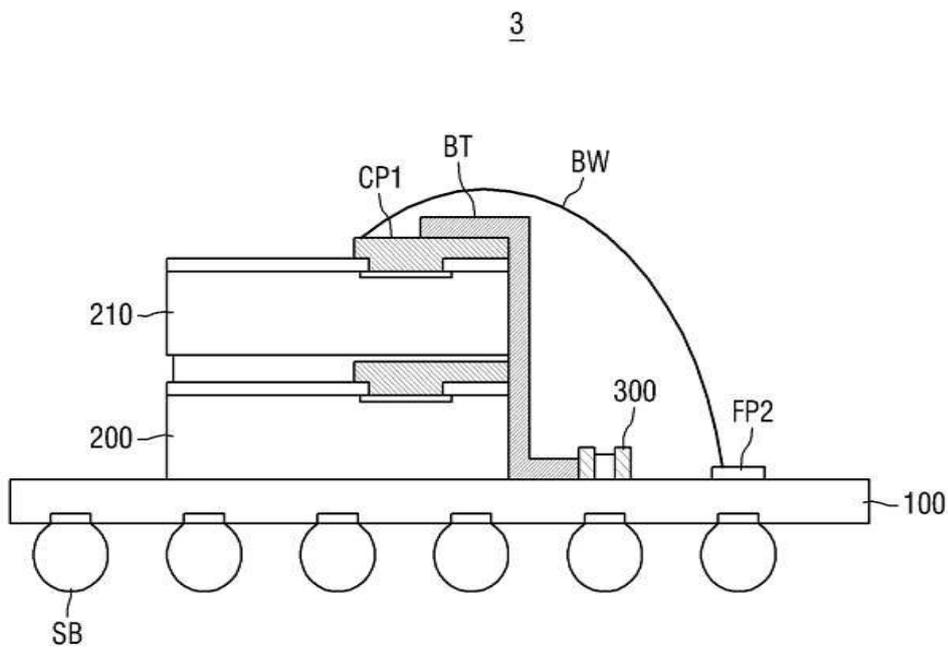
도면3



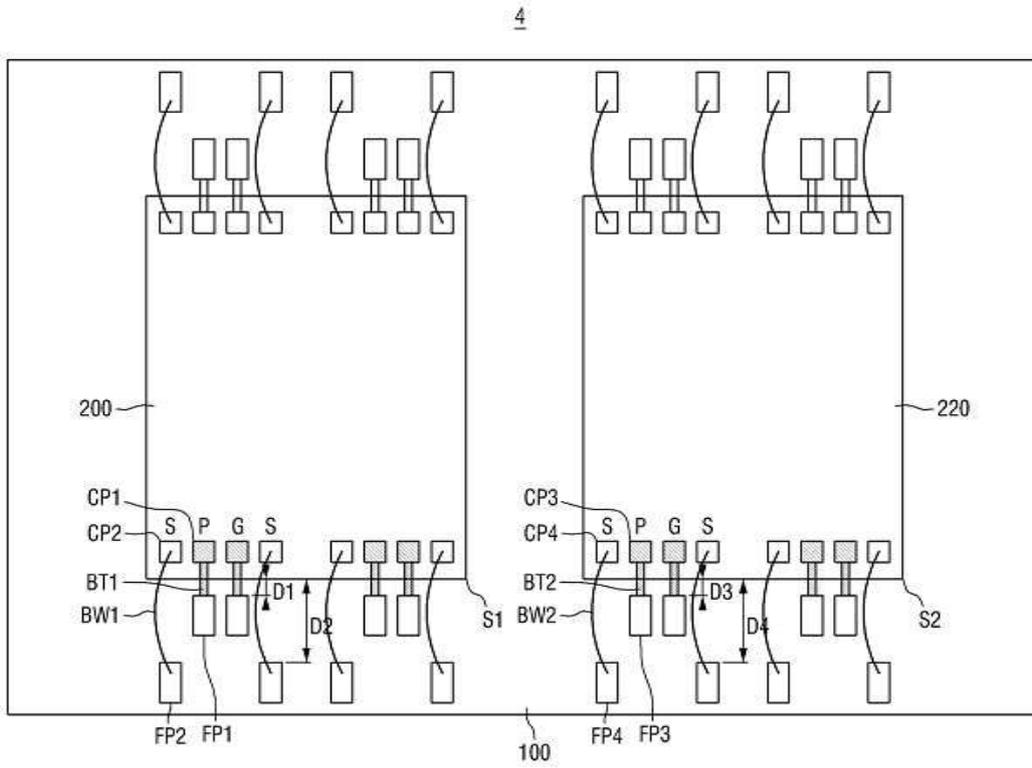
도면4



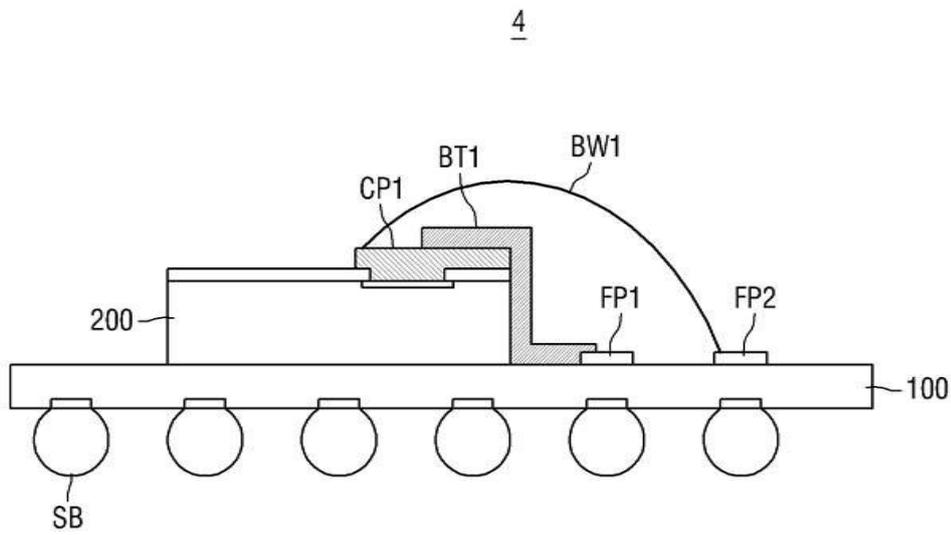
도면5



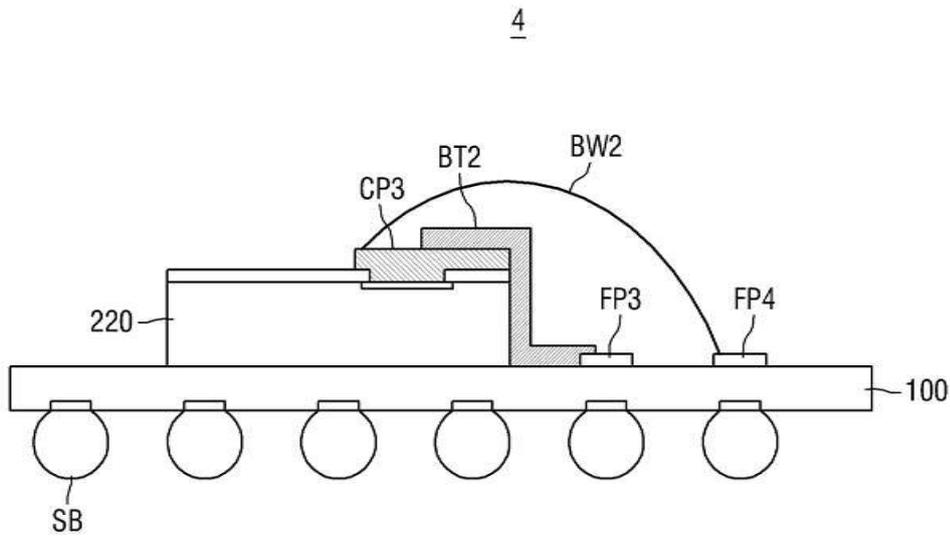
도면6



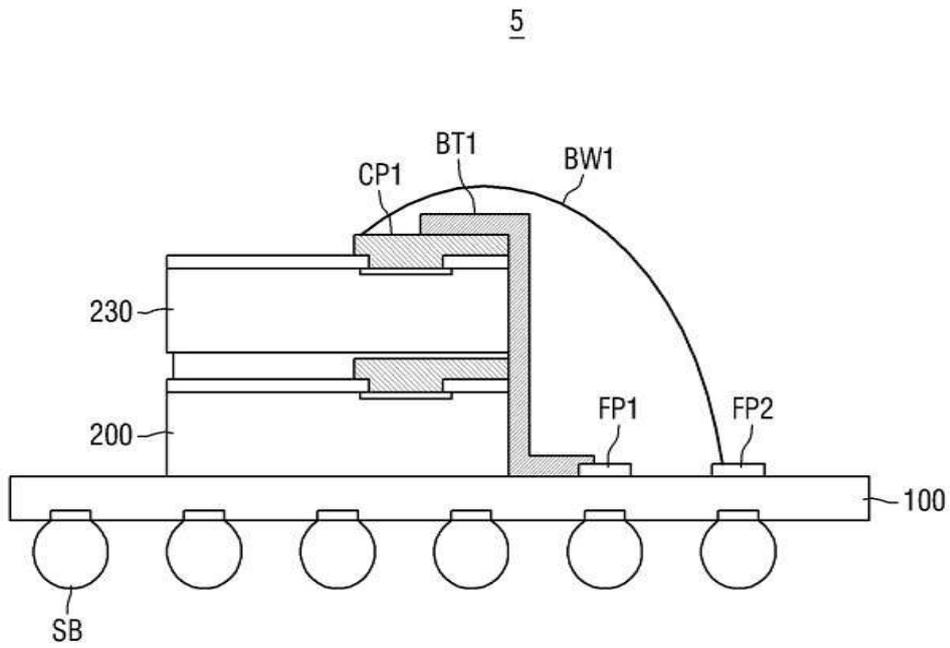
도면7



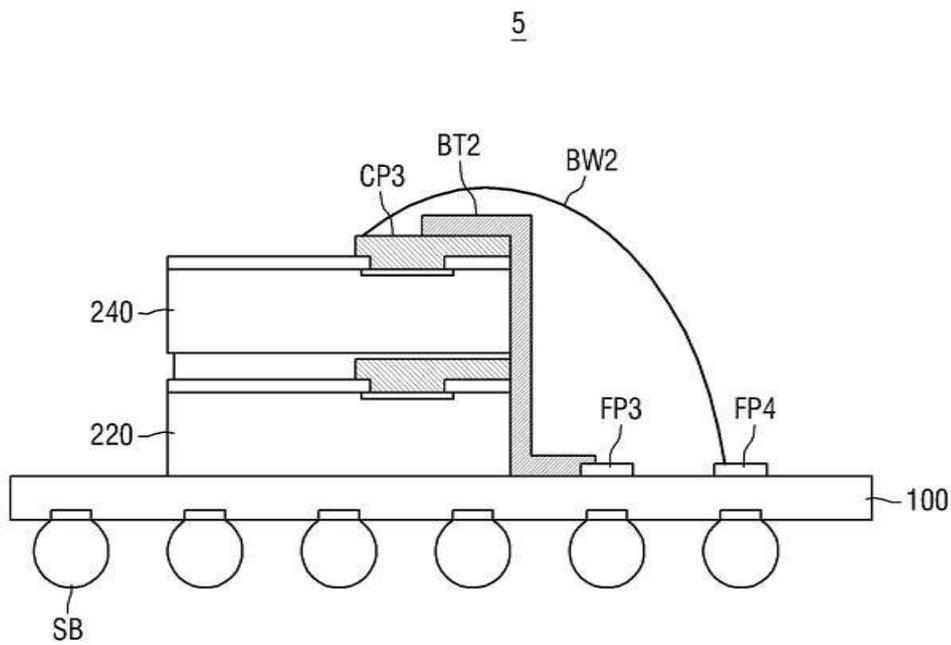
도면8



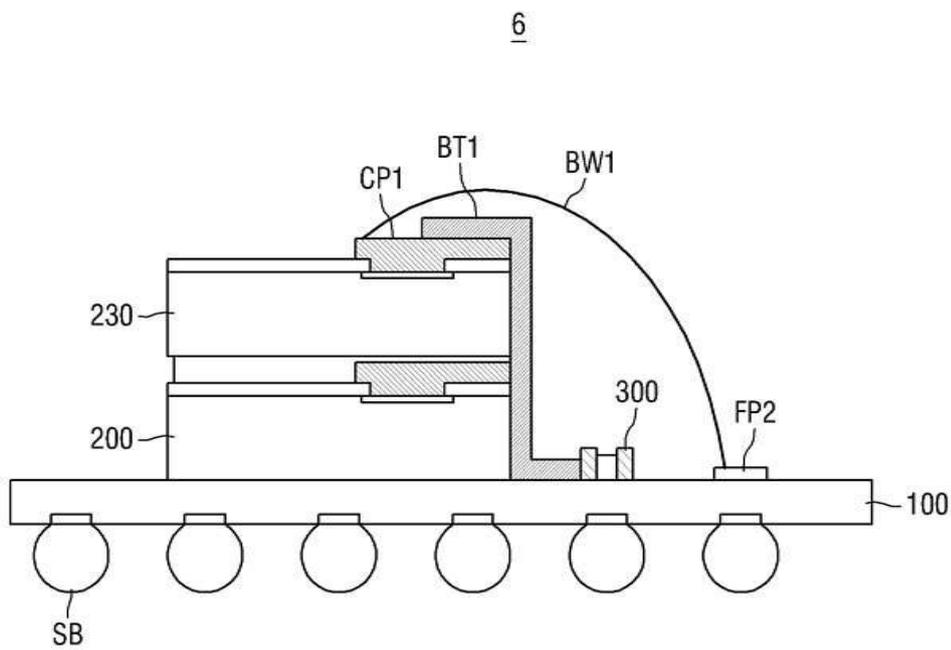
도면9



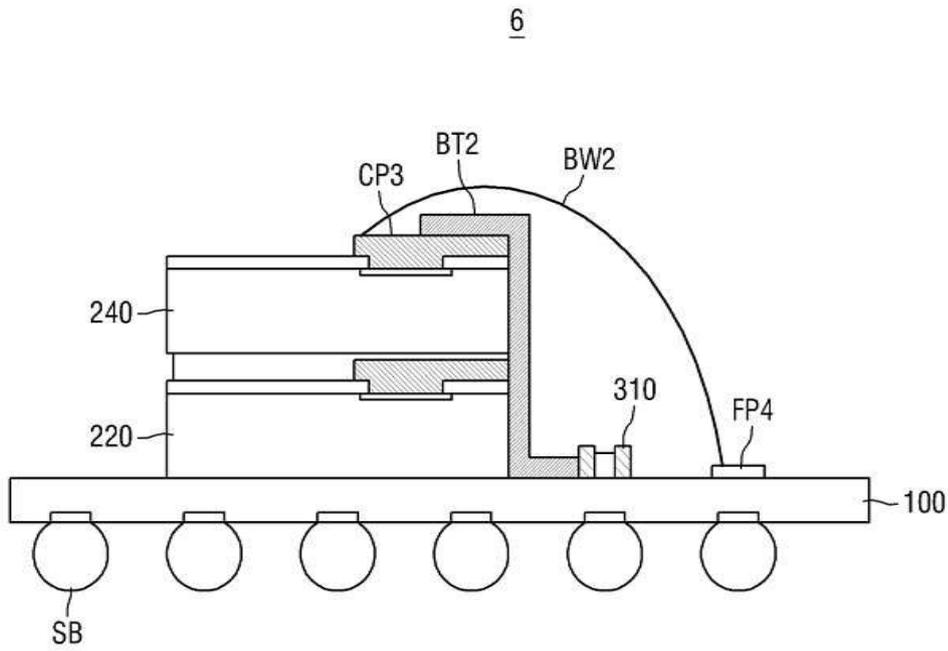
도면10



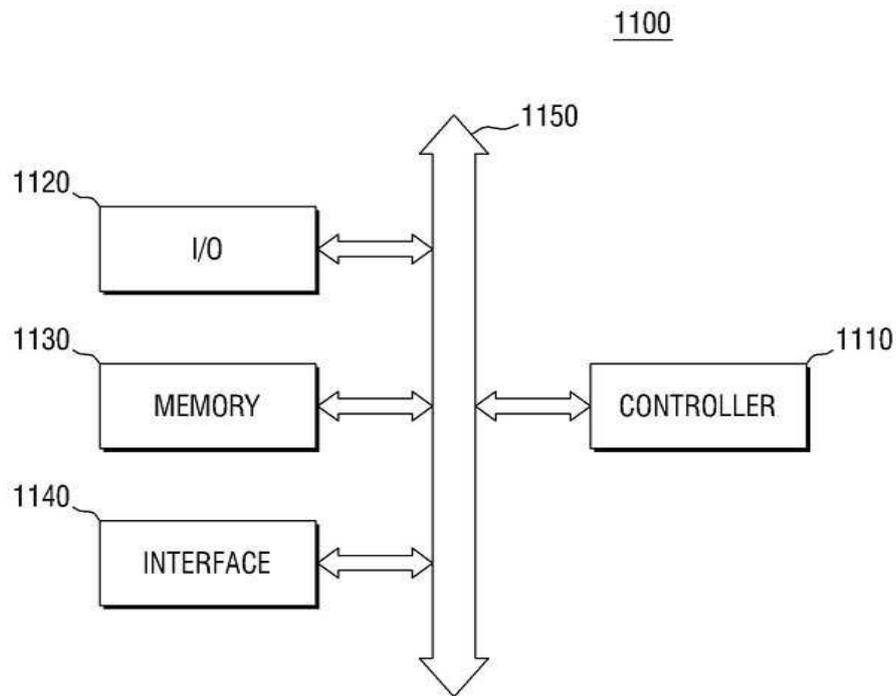
도면11



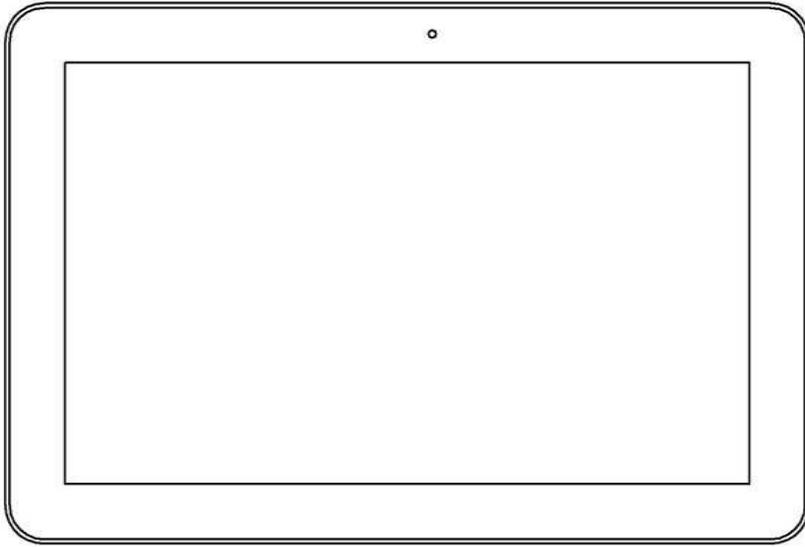
도면12



도면13



도면14



도면15

