



(12)实用新型专利

(10)授权公告号 CN 206892854 U

(45)授权公告日 2018.01.16

(21)申请号 201720415665.8

(22)申请日 2017.04.19

(73)专利权人 深圳市同泰怡信息技术有限公司

地址 518000 广东省深圳市南山区粤海街道高新园七道深圳市数字技术园B1栋3楼C区

(72)发明人 马井彬

(74)专利代理机构 深圳市科吉华烽知识产权事

务所(普通合伙) 44248

代理人 孙伟

(51)Int.Cl.

G06F 13/38(2006.01)

G06F 13/40(2006.01)

(ESM)同样的发明创造已同日申请发明专利

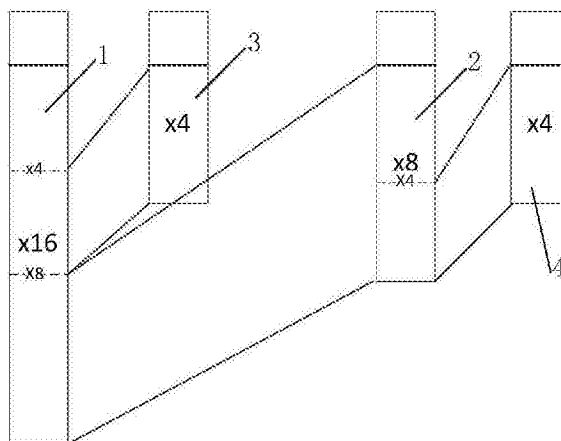
权利要求书1页 说明书5页 附图1页

(54)实用新型名称

一种提高PCIE数据通道使用率的主板

(57)摘要

本实用新型提供了一种提高PCIE数据通道使用率的主板,主板包括通道数与根桥设备的lanes数量相同的第一插槽,所述根桥设备的lanes全部与第一插槽连接,其他PCIE插槽的所有lanes的触点依次顺序连接在第一插槽上相应数量lanes的触点上;PCH的GPIO分别与各个PCIE插槽的在位信号连接,所有的GPIO信号外部均通过电阻R进行上拉;与每个插槽连接的信号线均通过电阻接地。本实用新型的技术方案,根据插槽设备的在位情况,配置桥设备的宽度,使桥设备宽度得到最大化的使用率。



1. 一种提高PCIE数据通道使用率的主板,其特征在於:其包括PCH集成南桥芯片、主板处理器和BIOS基本输入输出模块;主板处理器的根桥设备的数据通道lanes的数量为n;主板上的PCIE插槽为m个,其中包括通道数与根桥设备的lanes数量相同的第一插槽,所述根桥设备的lanes全部与第一插槽连接,其他PCIE插槽的所有lanes的触点依次顺序连接在第一插槽上的相应数量lanes的触点上;

PCH集成南桥芯片包含m个GPIO,分别为GPIO₀~GPIO_{m-1},所述GPIO₀~GPIO_{m-1}分别与各个PCIE插槽的在位信号PRSNT1#电连接,且所有的GPIO信号外部均通过电阻R与上拉电源连接进行上拉;与每个插槽lanes连接的信号线均通过电阻接地。

2. 根据权利要求1所述的提高PCIE数据通道使用率的主板,其特征在於:所述主板上的PCIE插槽包括宽度小于第一插槽的第二插槽、第三插槽和第四插槽,所述第二插槽的宽度大于第三插槽和第四插槽,所述第二插槽、第三插槽的lanes的触点依次顺序连接在第一插槽的相应宽度的lanes的触点上;所述第四插槽的lanes的触点分别与第二插槽的相应宽度的lanes的触点依次顺序连接。

3. 根据权利要求2所述的提高PCIE数据通道使用率的主板,其特征在於:主板处理器的根桥设备的每条数据通道lanes的Tx和Rx均通过差分信号线的DN和DP信号与PCIE插槽触点连接,所述DN和DP信号与PCIE插槽触点的位置引出线路通过电阻R接地。

4. 根据权利要求3所述的提高PCIE数据通道使用率的主板,其特征在於:所述n为16,所述第一插槽为x16,所述第二插槽为x8,所述第三插槽和第四插槽为x4,所述第二插槽的所有lanes的触点分别依次与第一插槽的第9条到第16条lanes的所有触点连接;所述第三插槽所有lanes的触点分别依次与第一插槽的第5条lanes到第8条lanes的所有触点连接;所述第四插槽的所有lanes的触点分别依次与第二插槽的第5条lanes到第8条lanes的所有触点连接。

5. 根据权利要求1所述的提高PCIE数据通道使用率的主板,其特征在於:所述n为8,所述主板上的PCIE插槽包括第一插槽和第二插槽,所述第一插槽为x8,所述第二插槽为x4,所述第二插槽的lanes的触点分别依次顺序与第一插槽的第5条lanes到第8条lanes所有触点连接。

一种提高PCIE数据通道使用率的主板

技术领域

[0001] 本实用新型属于计算机技术领域,尤其涉及一种提高PCIE数据通道使用率的主板。

背景技术

[0002] 在主板上,PCIE的每一条数据通道,叫做一条Lane,由发送信号Tx和接收信号Rx组成。不同架构的处理器PCIE数据通道Lane的数量不同,一般在16到48条Lanes之间,数据通道最大可以将16条Lanes配置成一组,也可以将8条Lanes配置成一组,最小可以将4条Lanes配置成一组。配置好以后,每一组可以链接一个外部PCIE设备。处理器有可能有多个桥设备,以处理器一个有16条Lanes的桥设备为例,主板可以设计四种配置,配置1一条x16的插槽,或者配置2两条x8的插槽,或者配置3一条x8及两条x4的插槽,或者配置4四条x4的插槽。

[0003] 主板设计时,就要选择具体使用哪种配置,设计主板选定PCIE配置后,生产出实物主板后,不可以再对硬件PCIE插槽进行修改。如果客户插入主板的PCIE设备宽度恰好和PCIE插槽支持的最大宽度一致,才能对PCIE数据通道进行最大化使用,但是主板在客户端应用情况众多,PCIE插槽接入设备的情况多种多样,对于PCIE数据通道的限制浪费,就比较常见了。例如处理器的有一个16条数据通道Lanes的桥设备,当选择配置1时,主板上会有一个宽度为x16的PCIE插槽接口,客户可以插入宽度x16及以下的PCIE设备,当客户需要插入宽度为x1的PCIE设备时,其他15条数据通道就会被闲置浪费,即使需要再接一张x1的PCIE设备也无法实现;当选择配置2时,主板上有两个宽度为x8的PCIE插槽接口,客户可以插入宽度x8及以下的PCIE设备,当客户需要插入宽度为x1的PCIE设备时,两个插槽共计有14条数据通道被闲置浪费,同时客户如果有需要运行在宽度为x16 PCIE设备要插入主板,也是不能实现的;当选择配置3时,主板上有一个x8和两个x4的PCIE插槽接口,客户可以插入三张x1的PCIE设备,将有13条数据通道被闲置浪费,同时主板上不能接入一张宽度x16或者同时两张宽度x8的PCIE设备;当选择配置4时,主板上四个PCIE插槽接口,客户可以接入四张x1的PCIE设备,将有12条数据通道被闲置浪费,同时宽度为x16或者x8的PCIE设备无法插入主板。由此可见,目前主板的PCIE插槽设计,对客户的PCIE设备灵活应用,限制和闲置浪费都是比较严重的。

实用新型内容

[0004] 针对以上技术问题,本实用新型公开了一种提高PCIE数据通道使用率的主板,根据插入插槽的PCIE设备宽度,实现PCIE数据通道使用率最大化。

[0005] 对此,本实用新型采用的技术方案为:

[0006] 一种提高PCIE数据通道使用率的主板,其包括PCH集成南桥芯片、主板处理器和BIOS基本输入输出模块;主板处理器的根桥设备的数据通道lanes的数量为n;主板上的PCIE插槽为m个,其中包括通道数与根桥设备的lanes数量相同的第一插槽,所述根桥设备

的lanes全部与第一插槽连接,其他PCIE插槽的所有lanes的触点依次顺序连接在第一插槽上的相应数量lanes的触点上;

[0007] PCH集成南桥芯片包含m个GPIO,分别为GPIO₀~GPIO_{m-1},所述GPIO₀~GPIO_{m-1}分别与各个PCIE插槽的在位信号PRST1#电连接,且所有的GPIO信号外部均通过电阻R与上拉电源连接进行上拉;与每个插槽lanes连接的信号线均通过电阻接地。

[0008] 其中,BIOS输入输出模块在开机启动过程中,根据GPIO得到的在位信号PRST1#,获得PCIE设备的数量,从而配置根桥设备的数据通道宽度。

[0009] 针对目前的处理器,所述n为16或8。

[0010] 采用此技术方案,可以根据需要充分使用PCIE数据通道,灵活应对各种PCIE设备的使用。GPIO₀~GPIO_{m-1},分别链接到各个PCIE插槽的在位信号(PRST1#)上面,所有GPIO信号外部均通过电阻R进行上拉,如果所有插槽没有设备插入,则所有GPIO输入高电平信号,如果有PCIE设备插入到插槽中,PRST1#拉低表示有PCIE设备在插槽内。

[0011] 作为本实用新型的进一步改进,所述主板上的PCIE插槽包括宽度小于第一插槽的第二插槽、第三插槽和第四插槽,所述第二插槽的宽度大于第三插槽和第四插槽,所述第二插槽、第三插槽的lanes的触点依次顺序连接在第一插槽的相应宽度的lanes的触点上;所述第四插槽的lanes的触点分别与第二插槽的相应宽度的lanes的触点依次顺序连接。

[0012] 作为本实用新型的进一步改进,主板处理器的根桥设备的每条数据通道lanes的Tx和Rx均通过差分信号线的DN和DP信号与PCIE插槽触点连接,所述DN和DP信号与PCIE插槽触点的位置引出线路通过电阻R接地。

[0013] 此技术方案,每条数据通道lane,有Tx和Rx组成,Tx和Rx信号都是DP(Data Positive)和DN(Data Negative)的差分信号对,因此每条lane有四条信号线。数据通道lane上面有数据传输时,DN和DP上面传输的是对称的矩形方波,将每条lane的DN和DP信号与插槽触点的位置,引出线路通过电阻R接地,当插槽内有设备时,DN和DP传输方波信号,接地电阻对信号质量无影响,当插槽没有设备时DN和DP信号通过电阻R接地,对其他插槽串联过来的DN和DP信号没有影响。

[0014] 优选的,所有插槽上面的所有lanes均通过电阻R接地。

[0015] 作为本实用新型的进一步改进,所述n为16,所述第一插槽为x16,所述第二插槽为x8,所述第三插槽和第四插槽为x4,所述第二插槽的所有lanes的触点分别依次与第一插槽的第9条到第16条lanes的所有触点连接;所述第三插槽所有lanes的触点分别依次与第一插槽的第5条lanes到第8条lanes的所有触点连接;所述第四插槽的所有lanes的触点分别依次与第二插槽的第5条lanes到第8条lanes的所有触点连接。

[0016] 这样设计以后,具备上面配置四种设计的能力,可以插入1个宽度为x16的PCIE设备,或者插入2个宽度为x8的PCIE设备,或者插入1个宽度x8和2个宽度为x4的设备,或者插入4个宽度为x4或者x1的PCIE设备,充分使用PCIE数据通道,灵活应对各种PCIE设备的使用。

[0017] 作为本实用新型的进一步改进,所述主板上的PCIE插槽包括第一插槽和第二插槽,所述n为8,所述第一插槽为x8,所述第二插槽为x4,所述第二插槽的lanes的触点分别依次顺序与第一插槽的第5条lanes到第8条lanes所有触点连接。

[0018] 上述提高PCIE数据通道使用率的主板采用以下步骤提高PCIE数据通道使用率:

[0019] 步骤S1,启动BIOS程序,初始化GPIO,将GPIO0~GPIOm-1设置为输入功能,然后读取GPIO0~GPIOm-1输入的数据值,得到PCIE插槽的在位信号PRSENT1#;

[0020] 步骤S2,PCIE插槽的在位信号PRSENT1#通过GPIO传递给BIOS基本输入输出模块,根据各个插槽设备的在位情况,BIOS程序配置桥设备的宽度。

[0021] 采用此技术方案,通过硬件线路设计和BIOS程序设计,根据插入插槽的PCIE设备宽度,实现PCIE数据通道使用率最大化。本方法中,通过BIOS程序开机过程侦测PCIE设备数量及宽度,灵活配置根桥设备的数据通道宽度,使之与外部设备PCIE数据通道宽度吻合度最佳化,充分使用根桥设备的PCIE数据通道,同时对客户插入不同PCIE设备需求达到最大化满足。

[0022] 进一步的,步骤S1中,根据GPIO0~GPIOm-1输入的数据值检测GPIO0~GPIOm-1的输入电平情况;步骤S2中,如果所有GPIO0~GPIOm-1的电平均为高电平,则所有插槽没有任何PCIE设备插入,BIOS基本输入输出模块将桥设备的配置成默认带宽配置;当GPIO0~GPIOm-1的电平出现低电平时,则有PCIE设备接入,BIOS基本输入输出模块配置根桥设备的带宽,连接所有PCIE设备并完成初始化。

[0023] 进一步的,所述n为16,m为4,所述主板上的PCIE插槽包括带宽为x16的第一插槽,带宽为x8的第二插槽,带宽为x4的第三插槽和第四插槽;所述第二插槽的所有lanes的触点分别依次与第一插槽的第9条到第16条lanes的所有触点连接;所述第三插槽所有lanes的触点分别依次与第一插槽的第5条lanes到第8条lanes的所有触点连接;所述第四插槽的所有lanes的触点分别依次与第二插槽的第5条lanes到第8条lanes的所有触点连接;所述BIOS基本输入输出模块采用以下方式配置根桥设备的宽度:

[0024] 当四个插槽都有设备时,四个插槽的PRSENT1#拉低,配置成x4 x4 x4 x4;

[0025] 当只有第一个插槽有设备时,宽度配置x16;

[0026] 当第一插槽和第三插槽有设备时,这两个插槽的PRSENT1#拉低,配置成x4 x4 x4 x4;

[0027] 当第一插槽和第二插槽有设备时,这两个插槽的PRSENT1#拉低,配置成x8 x8;

[0028] 当第一插槽和第四插槽有设备时,这两个插槽的PRSENT1#拉低,配置成x8 x4 x4;

[0029] 当只有第三插槽有设备时,宽度配置x4 x4 x4 x4;

[0030] 当第三插槽和第二插槽有设备时,这两个插槽的PRSENT1#拉低,配置成x4 x4 x8;

[0031] 当第三插槽和第四插槽有设备时,这两个插槽的PRSENT1#拉低,配置成x4 x4 x4 x4;

[0032] 当只有第二插槽有设备时,宽度配置x8 x8;

[0033] 当第二插槽和第四插槽有设备时,这两个插槽的PRSENT1#拉低,配置成x8 x4 x4;

[0034] 当只有第四插槽有设备时,宽度配置x8 x4 x4。

[0035] 与现有技术相比,本实用新型的有益效果为:

[0036] 第一,本实用新型的技术方案,通过硬件线路设计和BIOS程序设计,根据插入插槽的PCIE设备宽度,实现PCIE数据通道使用率最大化。即通过BIOS程序开机过程侦测PCIE设备数量及宽度,灵活配置根桥设备的数据通道宽度,使之与外部设备PCIE数据通道宽度吻合度最佳化,充分使用根桥设备的PCIE数据通道,同时对客户插入不同PCIE设备需求达到最大化满足。

[0037] 第二,本实用新型的技术方案,通过DN和DP差分信号线与插槽接触点,引线接电阻R到地的方式,创新的硬件设计,再将在位信号PRSNT1#通过GPIO传递给BIOS程序,根据各个插槽设备的在位情况,让BIOS程序灵活配置桥设备的宽度,使桥设备宽度得到最大化的使用率,充分发挥处理器的性能,充分满足客户的多样化需求。

附图说明

[0038] 图1是本实用新型一种实施例的PCIE插槽的连接结构示意图。

[0039] 图2是本实用新型一种实施例的PCIE插槽与PCH和主板处理器的连接结构示意图。

具体实施方式

[0040] 下面对本实用新型的较优的实施例作进一步的详细说明。

[0041] 实施例1

[0042] 以处理器的一个有16条lanes根桥设备为例,16条lanes,最小配置是4条lanes。

[0043] 如图1~图2所示,所述主板上的PCIE插槽包括带宽为x16的第一插槽1,带宽为x8的第二插槽2,带宽为x4的第三插槽3和第四插槽4;首先将主板处理器的16条lanes全部链接到第一插槽1上面,将第二组4条lanes链接到第二插槽2上面,将第三和第四组8条lanes链接到第三插槽3上面,同时将第四插槽4条lanes链接到第四插槽4上面。即所述第二插槽2的所有lanes的触点分别依次与第一插槽1的第9条到第16条lanes的所有触点连接;所述第三插槽3所有lanes的触点分别依次与第一插槽1的第5条lanes到第8条lanes的所有触点连接;所述第四插槽4的所有lanes的触点分别依次与第二插槽3的第5条lanes到第8条lanes的所有触点连接。这样设计以后,具备上面配置第一插槽1、第二插槽2、第三插槽3、第四插槽4四种设计的能力,可以插入1个宽度为x16的PCIE设备,或者插入2个宽度为x8的PCIE设备,或者插入1个宽度x8和2个宽度为x4的设备,或者插入4个宽度为x4或者x1的PCIE设备,充分使用PCIE数据通道,灵活应对各种PCIE设备的使用。图1中,只显示了插槽首尾的lanes的连接线,插槽的其他lanes也是如此连接。

[0044] 如图2所示,以处理器的一个有16条lanes的桥设备为例,选4个GPIO,GPIO0~GPIO3,分别链接到x16插槽、x4插槽、x8插槽、x4插槽的在位信号(PRSNT1#)上面,所有GPIO信号外部均通过电阻R进行上拉,图2中只画出了其中与GPIO0连接的插槽的情况,其他插槽也是如此。

[0045] 如果所有插槽没有设备插入,则所有GPIO输入高电平信号,如果有PCIE设备插入到插槽中,PRSNT1#拉低表示有PCIE设备在插槽内。

[0046] 如图2所示,每条数据通道lane,有Tx和Rx组成,Tx和Rx信号都是DP(Data Positive)和DN(Data Negative)的差分信号对,因此每条lane有四条信号线。数据通道lane上面有数据传输时,DN和DP上面传输的是对称的矩形方波,将每条lane的DN和DP信号与插槽接触点的位置,引出线路通过电阻R接地,当插槽内有设备时,DN和DP传输方波信号,接地电阻对信号质量无影响,当插槽没有设备时DN和DP信号通过电阻R接地,对其他插槽串联过来的DN和DP信号没有影响。第一插槽、第二插槽、第三插槽、第四插槽上面的所有lanes均通过电阻R接地。

[0047] 上述本实用新型的提高PCIE数据通道使用率的主板中的BIOS基本输入输出模块

采用以下步骤进行配置桥设备的宽度：

[0048] 以处理器的一个有16条lanes的桥设备为例，BIOS程序启动以后，首先初始化GPIO，将GPIO0~GPIO3设置为输入功能，然后读取GPIO0~GPIO3输入的数据值，检测GPIO0~GPIO3的输入电平情况，如果所有电平均为高电平，则所有插槽没有任何设备插入，将桥设备的配置成默认宽度配置，例如x4x4x4x4配置，当有设备接入时，情况比较多，由于GPIO和PRSENT#信号时对应的，就以PRSENT#信号来说明，更加明了。

[0049] 1) 当四个插槽都有设备时，四个插槽PRSENT1#拉低，配置成x4x4x4x4；

[0050] 2) 当只有第一个插槽有设备时，宽度配置x16；

[0051] 3) 当第一个插槽和第二个插槽有设备时，这两个插槽的PRSENT1#拉低，配置成x4x4x4x4；

[0052] 4) 当第一个插槽和第三个插槽有设备时，这两个插槽的PRSENT1#拉低，配置成x8x8；

[0053] 5) 当第一个插槽和第四个插槽有设备时，这两个插槽的PRSENT1#拉低，配置成x8x4x4；

[0054] 6) 当只有第二个插槽有设备时，宽度配置x4x4x4x4；

[0055] 7) 当第二个插槽和第三个插槽有设备时，这两个插槽的PRSENT1#拉低，配置成x4x4x8；

[0056] 8) 当第二个插槽和第四个插槽有设备时，这两个插槽的PRSENT1#拉低，配置成x4x4x4x4；

[0057] 9) 当只有第三个插槽有设备时，宽度配置x8x8；

[0058] 10) 当第三个插槽和第四个插槽有设备时，这两个插槽的PRSENT1#拉低，配置成x8x4x4；

[0059] 11) 当只有第四个插槽有设备时，宽度配置x8x4x4；

[0060] 以上涵盖了所有插槽插入设备情况的，根桥设备的宽度配置情况。配置完桥设备宽度以后，开始链接PCIE设备，并进行初始化设置，完成PCIE设备功能。

[0061] 本实用新型中所涉及的常用术语解释如下：

[0062] BIOS (Basic Input Output System)：基本输入输出系统，主要用于计算机开机过程中各种硬件设备的初始化和检测。

[0063] PCH (Platform Controller Hub)：Intel公司的集成南桥。

[0064] PCIE (PCI-Express)：一种高速串行总线接口技术标准。

[0065] GPIO (General Purpose Input Output)：通用输入/输出。

[0066] 以上内容是结合具体的优选实施方式对本实用新型所作的进一步详细说明，不能认定本实用新型的具体实施只局限于这些说明。对于本实用新型所属技术领域的普通技术人员来说，在不脱离本实用新型构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本实用新型的保护范围。

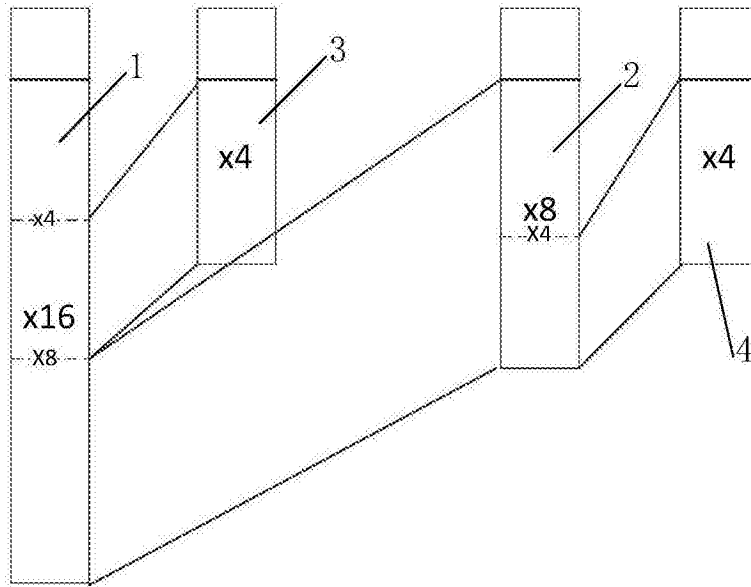


图1

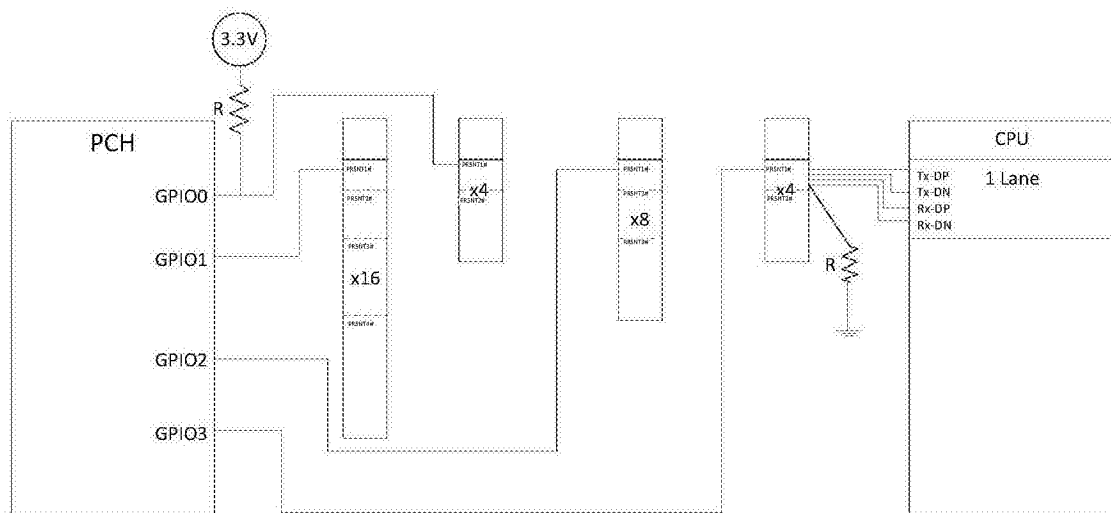


图2