



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월23일 10-0741303 2007년07월13일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0053650 2005년06월21일 2006년04월12일	(65) 공개번호 (43) 공개일자	10-2006-0046496 2006년05월17일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 10/872,915 2004년06월21일 미국(US)

(73) 특허권자 헤드웨이 테크놀로지스 인코포레이티드
 미국 캘리포니아 95035 밀피타스 사우스 힐뷰 드라이브 678

 어플라이드 스피트로닉스, 인크.
 미국, 캘리포니아 95035, 슈트 100 밀피타스, 힐뷰 코트 830

(72) 발명자 구오, 이민
 미국, 캘리포니아 95129, 산 조세, 알링톤 레인 1181

 민, 타이
 미국, 캘리포니아 95135, 산 조세, 맥킨 우즈 레인 4279

 왕, 포캉
 미국, 캘리포니아 95120, 산조세, 새도우 브룩 드라이브 1007

 시, 사이-젠
 미국, 캘리포니아 94539, 프리몬트, 엑셀소 드라이브 43587

(74) 대리인 이범래

(56) 선행기술조사문헌 US05969978 KR1020030014372	US06005800 US05966323
--	--------------------------

심사관 : 정병홍

전체 청구항 수 : 총 30 항

(54) 결합된 인접 연자성 층을 갖는 자기 랜덤 액세스 메모리어레이

(57) 요약

MTJ 소자는 직교 워드 및 비트 라인들 간에 형성된다. 이 비트 라인은, 고 도전율 층 및 상기 고 도전율 층 아래에 있는 연자성층을 포함하는 복합 라인이다. 동작 동안, 연자성층은 전류의 자기장을 집중시키고, 자유층과의 근접성으로 인해, MTJ 내의 자유층과 자기적으로 결합한다. 이 결합은 열 안정성을 자유층 자화에 제공하고, 형성 동안 형성 또는 결정질 이방성을 자유층에 유도함으로써 스위칭 및 결합의 용이성이 더욱 향상될 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

열적으로 안정되고 쉽게 스위칭 가능한 MTJ(Magnetic Tunnel Junction) MRAM 셀로서:

기관;

상기 기관 상의 수평면에 형성되며, 제1 방향으로 연장하고 인접 연자성 층(Soft Magnetic Layer; SAL)을 포함하는 복합 비트 라인;

상기 복합 비트 라인으로부터 수직으로 분리된 수평면에 형성되며, 상기 제1 방향과 수직인 제2 방향으로 연장하는 기록 워드 라인; 및

상기 워드 라인 및 상기 비트 라인 간에 형성되며, 상기 SAL에 근접하고 상기 SAL에 자기적으로 결합되는 자기적 자유층을 포함하는 다층 자기 터널 접합(MTJ) 소자를 포함하는, MTJ MRAM 셀.

청구항 2.

제1항에 있어서, 상기 MTJ 소자는 원형 또는 2 미만의 낮은 종횡비를 갖는 타원형인 수평 단면을 갖는, MTJ MRAM 셀.

청구항 3.

제1항에 있어서, 상기 복합 비트 라인은:

연자성 재료 층;

상기 연자성 재료 층 상에 형성되며, 상기 비트 라인에서 실질적으로 모든 전류를 운반하는 비자기 고도전율 재료 층을 포함하는, MTJ MRAM 셀.

청구항 4.

제3항에 있어서, 상기 고도전율 층은 Cu, Au, Al, Ag, CuAg, Ta, Cr, NiCr, NiFeCr, Ru, Rh 또는 이들의 다층들 및 합금들이고 1000Å 미만의 두께로 형성되는, MTJ MRAM 셀.

청구항 5.

제3항에 있어서, 상기 연자성 재료 층은 Co, Fe 및 Ni의 합금들의 층이고 상기 자유층의 두께 보다 큰 두께로 형성되는, MTJ MRAM 셀.

청구항 6.

제1항에 있어서, 상기 MTJ 소자는:

시드층(seed layer);

상기 시드층 상에 형성된 반강자성 고정층;

상기 반강자성층 상에 형성되며, 실질적으로 동일한 반대의 자기 모멘트들을 갖고 제1 결합 층에 의해 분리되는 제1 및 제2 강자성층을 포함하는 합성 페리자성 피고정층;

상기 피고정층 상에 형성된 터널링 장벽층;

상기 터널링 장벽층 상에 형성된 강자성 자유층;

상기 강자성 자유층 상에 형성된 덮개층을 포함하는 수평층들로 형성되는, MTJ MRAM 셀.

청구항 7.

제6항에 있어서, 상기 강자성 자유층은, 실질적으로 동일한 반대의 자기 모멘트들을 갖고 제2 결합 층에 의해 분리되는 제3 및 제4 강자성층들을 포함하는 합성 페리자성 층인, MTJ MRAM 셀.

청구항 8.

제6항 또는 제7항에 있어서, 상기 반강자성 층은 대략 40 내지 300Å의 두께의 PtMn, NiMn, OsMn, IrMn, NiO 또는 CoNiO의 층이고, 상기 강자성 층들은 대략 10 내지 200Å의 두께로 형성된 CoFe, CoNiFe, CoFeB 또는 NiFe의 층들이고, 상기 결합 층은 상기 강자성 층들의 반평행 결합을 유지하는데 충분한 두께의 Rh, Ru, Cu 또는 Cr의 층인, MTJ MRAM 셀.

청구항 9.

제8항에 있어서, 상기 덮개층은 대략 10 내지 1000Å의 두께로 형성된 Ru 또는 Ta의 층이거나, 대략 2 내지 8Å의 두께로 형성된 Al₂O₃, TaO 또는 CrO의 층인, MTJ MRAM 셀.

청구항 10.

제1항에 있어서, 상기 SAL 및 상기 강자성 자유층 간의 수직 거리는 상기 자유층의 수평 치수의 1/5 미만인, MTJ MRAM 셀.

청구항 11.

제1항에 있어서, 상기 비트 라인의 폭은 상기 MTJ 소자의 수평 치수보다 큰, MTJ MRAM 셀.

청구항 12.

제1항에 있어서, 상기 비트 라인의 두께는 100nm 미만인, MTJ MRAM 셀.

청구항 13.

제1항에 있어서, 상기 MTJ 소자에 대해 말단인 상기 기록 워드 라인의 표면 상에 자기 클래딩 층을 더 포함하는, MTJ MRAM 셀.

청구항 14.

제1항에 있어서, 정자기 결합(magnetostatic coupling)이, 상기 비트 라인 방향으로 설정된 주축으로 낮은 종횡비의 타원형 수평 단면에서 상기 셀을 패터닝함으로써 상기 자유층에 제공되는 약간의 형상 이방성에 의해 향상되는, MTJ MRAM 셀.

청구항 15.

제1항에 있어서, 정자기 결합이 상기 자유층에 제공된 단축 결정질 이방성에 의해 향상되는, MTJ MRAM 셀.

청구항 16.

원형 또는 2 미만의 낮은 종횡비를 갖는 타원형의 수평 단면들을 갖는 MTJ 메모리 셀들의 어레이로서,

각 셀 내의 강자성 자유층의 자화는, 상기 어레이 아래의 비트 라인들에 인접하여 형성된 연자성 층에 대한 정자기 결합의 결과로서 열적으로 안정되고 쉽게 스위칭 가능한, MTJ 메모리 셀들의 어레이.

청구항 17.

열적으로 안정되고 쉽게 스위칭 가능한 MTJ MRAM 셀을 형성하는 방법으로서:

기판을 제공하는 단계;

상기 기판 상에 복합 비트 라인을 형성하는 단계로서, 상기 비트 라인은 수평면에서 제1 방향으로 연장하고 인접 연자성 층(SAL)을 포함하는, 상기 복합 비트 라인 형성 단계;

상기 비트 라인 상에 다층 자기 터널 접합(MTJ) 소자를 형성하는 단계로서, 상기 소자는 자기적 피고정층, 및 상기 SAL에 근접하고 상기 SAL에 자기적으로 결합되는 자기적 자유층을 포함하는, 상기 다층 자기 터널 접합 소자 형성 단계;

원형 또는 2 미만의 낮은 종횡비를 갖는 타원형의 수평 단면 형상을 형성하기 위하여 상기 MTJ 소자를 패터닝하는 단계;

상기 피고정층을 인접 반강자성 고정층에 고정하기 위하여 상기 MTJ 소자를 어닐링하는 단계; 및,

상기 MTJ 소자 위에 기록 워드 라인을 형성하는 단계로서, 상기 기록 워드 라인은 수평면에 있으며, 상기 제1 방향에 수직인 제2 방향으로 연장하고, 상기 기록 워드 라인은 상기 MTJ 소자와 전기적으로 절연되는, 상기 기록 워드 라인 형성 단계를 포함하는, MTJ MRAM 셀 형성 방법.

청구항 18.

제17항에 있어서, 상기 복합 비트 라인의 형성 단계는:

연자성 재료 층을 형성하는 단계;

상기 연자성 재료 층 상에 비자기 고도전율 재료 층을 형성하는 단계로서, 상기 고도전율 층은 상기 비트 라인에서 실질적으로 모든 전류를 운반하는, 상기 비자기 고도전율 재료 층 형성 단계를 포함하는, MTJ MRAM 셀 형성 방법.

청구항 19.

제17항에 있어서, 상기 고도전율 층은 Cu, Au, Al, Ag, CuAg, Ta, Cr, NiCr, NiFeCr, Ru, Rh 또는 이들의 다층들 및 합금들이고 1000Å 미만의 두께로 형성되는, MTJ MRAM 셀 형성 방법.

청구항 20.

제17항에 있어서, 상기 연자성 재료 층은 Co, Fe 및 Ni의 합금들의 층이고 상기 자유층의 두께 보다 큰 두께로 형성되는, MTJ MRAM 셀 형성 방법.

청구항 21.

제17항에 있어서, 상기 MTJ 소자는 수평층들로 형성되고, 상기 형성은:

시드층을 형성하는 단계;

상기 시드층 상에 반강자성 고정층을 형성하는 단계;

상기 반강자성층 상에 합성 페리자성 피고정층을 형성하는 단계로서, 상기 피고정층은 제1 결합 층에 의해 분리되는 실질적으로 동일한 반대의 자기 모멘트들을 갖는 제1 및 제2 강자성층을 포함하는, 상기 합성 페리자성 피고정층 형성 단계;

상기 피고정층 상에 터널링 장벽층을 형성하는 단계;

상기 터널링 장벽층 상에 강자성 자유층을 형성하는 단계;

상기 강자성 자유층 상에 덮개층을 형성하는 단계를 포함하는, MTJ MRAM 셀 형성 방법.

청구항 22.

제17항에 있어서, 상기 강자성 자유층은, 실질적으로 동일한 반대의 자기 모멘트들을 갖고 제2 결합 층에 의해 분리되는 제3 및 제4 강자성층들을 포함하는 합성 페리자성층인, MTJ MRAM 셀 형성 방법.

청구항 23.

제21항 또는 제22항에 있어서, 상기 반강자성 층은 대략 40 내지 300Å의 두께의 PtMn, NiMn, OsMn, IrMn, NiO, 또는 CoNiO의 층이고, 상기 강자성 층들은 대략 10 내지 200Å의 두께로 형성된 CoFe, CoNiFe, CoFeB 또는 NiFe의 층들이고, 상기 결합 층은 상기 강자성 층들의 반평행 결합을 유지하는데 충분한 두께의 Rh, Ru, Cu 또는 Cr의 층인, MTJ MRAM 셀 형성 방법.

청구항 24.

제23항에 있어서, 상기 덮개층은 대략 10 내지 1000Å의 두께로 형성된 Ru 또는 Ta의 층이거나, 대략 2 내지 8Å의 두께로 형성된 Al₂O₃, TaO 또는 CrO의 층인, MTJ MRAM 셀 형성 방법.

청구항 25.

제17항에 있어서, 상기 SAL 및 상기 강자성 자유층 간의 수직 거리는 상기 자유층의 수평 치수의 1/5 미만인, MTJ MRAM 셀 형성 방법.

청구항 26.

제17항에 있어서, 상기 비트 라인의 폭은 상기 MTJ 소자의 수평 치수보다 큰, MTJ MRAM 셀 형성 방법.

청구항 27.

제17항에 있어서, 상기 비트 라인의 두께는 100nm 미만인, MTJ MRAM 셀 형성 방법.

청구항 28.

제17항에 있어서, 상기 MTJ 소자에 대해 말단인 상기 기록 위드 라인의 표면 상에 자기 클래딩 층을 더 포함하는, MTJ MRAM 셀 형성 방법.

청구항 29.

제17항에 있어서, 정자기 결합이, 상기 비트 라인 방향으로 설정된 주축으로 낮은 중횡비의 타원형 수평 단면을 형성하기 위하여 상기 셀을 패터닝함으로써 향상되며, 상기 단면 형상이 상기 셀 자유층 내에 형상 이방성을 생성하는, MTJ MRAM 셀 형성 방법.

청구항 30.

제17항에 있어서, 정자기 결합이, 상기 셀의 어닐링 동안 단축 결정질 이방성을 상기 셀 자유층에 유도함으로써 향상되는, MTJ MRAM 셀 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 기술 분야

본 발명은 메모리 저장 장치들로서 자기 터널 접합들(MTJ)의 설계 및 제조에 관한 것이며, 특히 인접 연자성층이 복합 비트 라인의 일부에 포함되는 설계에 관한 것이다.

2. 종래 기술

자기 터널 접합(MTJ)은 근본적으로, 절연 재료인 박층인 터널 장벽층에 의해 분리되는 강자성 재료의 층들인 2개의 전극들을 포함한다. 양자 역학적 터널링에 의해 전하 캐리어들(전형적으로, 전자들)이 터널 장벽층을 가로지를 확률이 있도록, 터널 장벽층은 충분히 얇아야 한다. 그러나, 터널링 확률은 스핀에 의존하는데, 즉 여러 전자 스핀 배향들을 갖는 터널링 상태들의 가용성에 의존한다. 따라서, 전체 터널링 전류는 스핀-업 대 스핀-다운 전자들의 수에 의존하며, 이는 강자성 층들의 자화 방향에 대한 전자 스핀의 배향에 의존한다. 따라서, 이들 자화 방향들이 주어진 인가된 전압에 대해서 변화되면, 터널링 전류는 또한 상대적인 방향들의 함수로서 변동할 것이다. MTJ의 거동의 결과, 고정된 전위에 대한 터널링 전류의 변화를 감지하면, 이를 포함하는 2개의 강자성 층들의 상대 자화 방향들을 결정할 수 있다. 마찬가지로, MTJ의 저항이 측정될 수 있는데, 그 이유는 서로 다른 상대 자화 방향들이 서로 다른 저항들을 생성하기 때문이다.

정보 저장 장치로서 MTJ를 사용하는데, 강자성 층들 중 적어도 한층의 자화가 다른 한층에 대해서 가변되고 또한 상대적인 방향들의 변화들이 터널링 전류 또는 등가적으로 접합 저항의 변화들에 의해 감지될 필요가 있다. 2 상태 메모리 저장 장치로서 가장 간단한 형태에서, MTJ는 단지 평행(저 저항) 또는 반평행(고 저항) 형태들로 자화를 실행시키는 것(데이터 기록)을 필요로 하고, 이들 2개의 형태들은 터널링 전류 변화들 또는 저항 변화들에 의해 감지(데이터 판독)될 수 있다. 실제로, 자유 강자성 층은, 회전이 자유롭지만 자화 용이축(자기적 결정질 이방성의 방향)을 따라서 어느 한 방향으로 활성적으로 정렬되는 자화를 갖는 것으로 모델링될 수 있다. 고정층의 자화는 자화 용이축 방향으로 영구 정렬되는 것으로서 간주될 수 있다. 자유층에 고정층이 역정렬(anti-aligned)될 때, 이 접합은 최대 저항을 가질 것이며, 자유층에 고정층이 정렬될 때, 최소 저항이 존재한다. 전형적인 MRAM 회로에서, MTJ 장치들은 워드 라인들 및 비트 라인들이라 칭하는 전류 운반 라인들의 교차부에 위치된다. 라인들 모두가 활성화될 때, 이 장치는 자유층의 자화 방향이 변경시 기록된다. 단지 한 라인만이 활성화될 때, 장치의 저항이 감지되어, 이 장치가 효율적으로 판독된다. Gallagher 등(미국 특허 5,650,958)이 이와 같은 MTJ 장치를 제안하였는데, 그는 절연 터널 장벽층에 의해 분리된 피고정 강자성 층(pinned ferromagnetic layer)과 자유 자성층을 갖는 MTJ 장치의 형성을 개시하였는데 피고정 강자성 층의 자화는 2 층의 평면 내에 있지만 회전이 자유롭지 않고, 자유 자성층의 자화는 피고정층의 자화에 대하여 회전이 자유롭다.

MTJ MRAM 장치가 다른 형태의 DRAM과 경쟁하기 위해선, MTJ를 매우 작게, 전형적으로 서브-마이크론 치수로 만드는 것이 필요로 된다. Parkin 등(미국 특허 6,166,948)은, 스페이서 층에 의해 분리되는 2개의 반평행 자화된 층들로 자유층을 형성하는 MTJ MRAM을 형성하고 스페이서 층은 자화된 층들 간의 교환 결합을 방지하지만 직접 쌍극자 결합하도록 선택되는 것을 개시하고 있다. 이로 인해, 자유층은 페 자속 루프들을 갖고 2개의 층들은, 스위칭 동작들 동안 자신들의 자화를 동시에 스위칭한다. Parkin은 서브-마이크론 치수들이 10-100Mbit 용량들의 범위 내에서 DRAM 메모리들과 경쟁하도록 할 필요가 있다는 점에 주목하였다. Parkin은 또한, 이와 같은 작은 크기들은 상당한 문제들, 특히 초상자성(super-paramagnetism)과 연관된다는 점에 주목하였는데, 이 초상자성은 너무 작아 충분한 자기적 이방성(주어진 자화 방향을 유지하도록 하는 샘플의 성능 척도)을 갖지 못하는 강자성 재료의 샘플들에서 자화의 자발적인 열 변동이다. 매우 작은 단면적들을 갖는 MRAM 셀들에서 이 바람직하지 않은 자발적인 열 변동들을 극복하기 위하여, 자기층들을 두껍게 할 필요가 있다. 불행하게도, 스위칭 필드의 크기는 층 두께에 따라서 증가하여, 셀을 열적으로 안정시키기 위해선 셀의 자유층의 자기 배향을 변경시키는데 상당량의 전류를 소모하는 댓가를 치른다.

MTJ 셀이 자화 방향을 유지할 수 있고, 그에 따라 기록 전류들이 제로가 될 때조차도 데이터를 효율적으로 저장하기 위해, 어느 정도의 이방성이 필요하다. 셀 크기들이 계속적으로 감소됨에 따라서, 각종 다양한 형상들(예를 들어, 직사각형들, 다이아몬드들, 타원형들, 등)로 셀들을 형성함으로써 어느 정도의 자기 이방성을 제공하는 기술이 개발되어 왔는데, 그 결과 고유 결정질 이방성의 부족은 형상 이방성에 의해 상쇄되었다. 그러나, 이 형태의 이방성 자체는 문제들을 지니고 있다. 특히, MTJ 장치들에서 특히 성가신 형상과 관련된 문제는 형상 이방성(비원형 샘플들의 특성)에 의해 발생된 불균일하고 제어 불가능한 에지-필드들로부터 야기된다. 셀 크기가 감소됨에 따라서, 이들 에지 필드들은 셀 몸체의 자화 보다 상대적으로 더 중요하게 되었고, 데이터를 저장 및 판독하는데 악영향을 미친다. 충분한 크기로 이루어질 때 이와 같은 형상 이방성들이 초상자성의 나쁜 영향들을 감소시키지만, 이들 형상 이방성들은 데이터를 저장하기 위하여 MTJ의 자화 방향을 변경시키는데 고전류를 필요로 하는 부작용이 있다.

Chen 등(미국 특허 5,966,323)은 셀이 전체적으로 자기 모멘트를 갖지 않도록 반평행 방향으로 결합된 자기층들을 형성함으로써 인가된 낮은 자기장으로 스위칭될 수 있는 MTJ MRAM을 개시한다.

Inomata 등(미국 특허 6,611,405 B1)은 다층, 다터널 접합 MRAM 장치를 제공하는데, 이 장치에서 스핀-분극된 전자들의 전류는 장치를 통해서 흐르는 반면에, 비트 및 워드 라인들은 또한 전류를 운반할 수 있다. 이 배열은 훨씬 작은 전류들로 자기 모멘트들을 보다 용이하게 재지향시킨다.

Engel 등(미국 특허 6,531,723B1)은 자유층이 반강자성적으로 결합된 층들의 다층 적층인 MRAM 셀의 형성을 개시한다. 적층 내의 다수의 층들을 증가시키면, 셀의 자기 스위칭 볼륨을 증가시켜, 자화 방향을 부주의하게 스위칭 시키기 위하여 초과되어야만 되는 에너지 장벽을 증가시키도록 한다.

형상 이방성이 높을 때 자유층의 자화 방향을 변경시키는데 필요로 되는 고전류의 문제를 처리하는 또 다른 방법은 보다 낮은 전류 값들에 의해 발생된 자기장들을 집중시키는 메커니즘을 제공하는 것이다. 이 방법은 자속 집중기(flux concentrator)를 형성하는 것을 개시한 Durlam 등(미국 특허 6,211,090 B1)에 개시되어 있는데, 이 집중기는 구리 상감한 전류 운반 라인(copper damascene current carrying line) 주위에 형성된 연자성(NiFe) 층이다. 이 층은 MRAM 셀의 하층에서 디지털 라인을 형성하는 구리 라인의 3번들 주위에 형성된다.

본 발명은, 초상자성 작용이 두꺼운 자유층들을 필요로 하는 초소형 MARM 셀들에서 자유층의 자화를 재배향시키는데 필요로 되는 고전류의 문제를 처리하는 것이다. 이는 자유층에서 자기장을 집중시키는 인접 연자성 층을 갖는 복합 비트 라인을 형성함으로써 행한다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 자유층의 자화의 변동들에 대해서 열적으로 안정한 MTJ MARM 셀 및 이와 같은 셀들의 어레이를 제공하는 것이다.

본 발명의 제2 목적은 스위칭 전류를 과다하게 하지 않는 MARM 셀 및 이와 같은 셀들의 어레이를 제공하는 것이다.

본 발명의 제3 목적은, 원형 또는 낮은 종횡비 타원형 단면으로 열적 안정성을 성취할 수 있는 MARM 셀을 제공하는 것이며, 이와 같은 형상들의 패터닝은 스케일링을 더욱 용이하게 하고 형상 변화 및 제어 불가능한 형상 이방성들을 덜 겪게 한다.

이들 목적들은, 스위칭하기 위한 기록 전류를 감소시키면서 도전율이 높은 복합 비트 라인 및 인접 연자성 박층(SAL)을 형성하여 열적 안정성을 증가시키는 신규한 MARM 셀 설계에 의해 성취될 수 있다. 비트 라인을 자유층에 근접하여 배치함으로써, SAL을 자유층에 정자기적으로 결합시킨다. 이 설계 파라미터들 내에서, 자유층 및 피고정층들은 단일의 강자성층 또는 합성 페리자성층일 수 있다. 부가적인 SAL이 한 비트 라인 상에 형성되고 이와 함께 패터닝된다. SAL의 연자성 재료는 Ni, Fe, Co 및 이들의 합금들일 수 있는 반면에, 도전 재료는 Cu, Au, Al, Ag, CuAg, Ta, Cr, NiCr, NiFeCr, Ru, Rh 및 이들의 다층들 및 합금들과 같은 고 도전율 재료들일 수 있다. 스위칭 전류는 실질적으로 고 도전율 재료를 통해서 흘러, SAL은 매우 얇게 만들어질 수 있다.

SAL은 비트 라인 내의 전류에 의해 발생하는 자기장을 집중시키고, SAL과 자유층과의 근접성은 SAL 및 자유층 간의 정자기 결합의 결과로서 스위칭 시에 개선된 자기장을 대단히 효율적이 되게 한다. 도1에 개략적으로 도시된 바와 같이, 특정 원형 MARM 셀(10) 아래의 SAL의 자화(30)는 비트 라인 내의 기록 전류가 두꺼운 화살표들의 방향(x-방향)에 있을 때 비트 라인(20) 전류 방향을 따라서 정렬되는 경향이 있다. 셀 자유층(60)의 자화(간결성을 위하여 비트 라인 위의 위치로부터 변위되어 도시됨)는 비트 라인(y-방향)과 수직하다. 셀은 원형 단면적 때문에 형상 이방성을 갖지 않지만, 셀 아래의 SAL과 정자기 상호작용으로 인해 상호작용 이방성(interaction anisotropy)이 존재한다. 이 상호작용 이방성은 자유층 및 SAL의 $M_s t$ (자기 모멘트 및 두께의 곱) 및 이들간의 간격에 의해 제어된다. 이 상호작용 이방성은 제조 프로세스에 의해 정밀하게 제어된다. 기록 프로세스(워드 라인의 전류) 동안, 워드 라인 기록 전류는 비트 라인(+x)이 방향에서 자기장을 생성하는데, 이는 상기 방향에서 자유층 아래에 있는 SAL의 자화와 정렬될 것이다. SAL의 자화는 +x 방향을 향하여 자유층의 자화를 회전시켜, 상호작용 이방성을 약화시킬 것이다. 그 후, 작은 비트 라인 전류는 SAL 및 자유층의 자화들을 대향 방향으로 회전시키는데, 그 이유는 이들 각각은 전류 보다 아래 및 이 보다 위에 있기 때문이다. 워드 라인 기록 전류 및 비트 라인 전류를 순서대로 제거하면, 비트 라인 전류의 방향에 의해 제어되는 자유층의 자화와 상호 쌍극자 상호작용함으로

써 결합되는 자유층 및 SAL 층의 자화가 남게될 것이다. y 방향에서 자유층 자화를 유지시키기 위하여, 제조 동안(자유층 침착 및 어닐링 동안 또는 셀을 y-방향으로 다소 연장시켜 제공함으로써) 셀 내로 소량의 이방성을 생성하는 것이 유용할 수 있다.

자유층 및 SAL 간의 정자기 결합을 위한 모델로서 쌍극자-쌍극자 상호작용을 사용하면, 상호작용 이방성(K_{in})은 다음에 비례한다는 것을 알 수 있다.

$$K_{in} \propto M_S(SAL) \times M_S(\text{free}) \times t_{SAL} \times a^2 \times r^{-3}$$

여기서 a는 셀의 직경, r은 자유층 및 셀 간의 거리, M_S 는 자기 모멘트이다. r(역 3제곱)에 대한 극감도(extreme sensitivity)는 비트 라인이 얇게 되고 자유층에 근접하게될 필요가 있다는 것을 보여준다. 또한, 스위칭 역할을 하는 비트 라인 전류가 있기 때문에, 전류는 실질적으로 매우 높은 도전성의 비트 라인 층에 있어야만 된다. 상호작용 이방성을 감소시키는 것이 바람직한 경우, 침착 프로세스 유도된 이방성 및/또는 형상 유도된 이방성은 비트 라인 방향(x)를 따라서 설정될 수 있는데, 그 이유는 이들 이방성들이 상호작용 이방성으로부터 감소되기 때문이다. 최종적으로, 워드 라인 기록 전류 자기장 효율성을 향상시키는 대안적인 설계는 자기 클래딩 층을 셀로부터 떨어진 측 상의 워드 라인에 걸쳐서 부가하는 것이다.

발명의 구성

본 발명의 바람직한 실시예는 실질적으로 원형의 단면의 MTJ MRAM 셀 또는 이와 같은 셀의 MRAM 어레이를 형성하는 방법을 개시하며, 비트 라인에서 필요로 되는 스위칭 전류는 근접 자유층에 정자기적으로 결합되는 비트 라인 아래에 인접 연자성 박층을 부가함으로써 감소될 수 있다.

도2를 참조하면, 본 발명의 MRAM 셀의 일반적인 레이아웃이 위에서 본 xy-평면에서 개략적으로 도시되어 있다. 실질적으로 원형 또는 낮은 종횡비(<2)의 타원형 단면의 MTJ 소자(10)는 기록 워드 라인(20)간의 접합에 위치되는데, 이는 셀 위에 있고 기록 워드 라인과 수직인 방향(x-방향)으로 진행한다. 셀에 액세스하여 스위치하는 MTJ 소자와 기록 워드 및 비트 라인들의 조합이 MTJ MRAM 셀을 형성한다. 다음 도면에 도시된 바와 같이, 연자성층은 비트 라인의 하부 표면 상에 형성됨으로, 위에서 본 도면에는 도시될 수 없다. 셀 내의 자유층은 비트 라인에 근접한다.

도3을 참조하면, 도2의 구성의 개략적인 수직 단면도(xz 평면에서)를 도시한다. xy-평면을 또한 수평 평면이라 칭한다. xy-평면에서 원형 또는 낮은 종횡비의 타원형 단면의 MTJ 셀(10)은 직교 기록 워드(20) 및 비트(30) 라인들 간에 형성된다. 이들 둘 다는 본 발명의 방법에 따라서, xy-평면에서 수평으로 연장하지만 z-방향에서 수직으로 분리된다. 이 도면에서, 기록 워드 라인(20)은 도면의 평면에서 도1에 도시된 y-방향으로 나온다. 비트 라인은 고 투자율의 인접 연(저 보자력) 자성박층(32), 즉 SAL 및 도전층 부분(34)을 포함하는 복합층인데, 이는 상당 부분의 비트 라인 전류를 운반한다. 비트 라인은 실리콘 기판에 걸쳐서 유전체 층 내의 트랜치에 형성될 수 있지만, 또한 다른 기판들 상에 형성될 수 있다. 이들 상세한 사항들은 도시되지 않았고, 본 실시예를 설명하는데 반드시 필요로 되는 것은 아니다. 비트 라인의 도전부(34)는 Cu, Au, Al, Ag, CuAg, Ta, Cr, NiCr, NiFeCr, Ru, Rh 및 이들의 다층들 및 합금들과 같은 고 도전율 재료로 형성된다. 도전부는 SAL를 셀의 자유층으로부터 분리시키고 가능하면 1000Å보다 작을 정도로 얇게 만들어, SAL 및 자유층간의 결합을 최적화한다. 게다가, 비트 라인 폭은 셀의 측방 치수 보다 크게 되어야만 된다. SAL은 Co, Ni 및 Fe의 합금들과 같은 연자성 재료(저 보자력)로 형성되고 대략 50 내지 500Å의 두께를 갖는데, 이는 자유층의 두께 보다 크게 되어야만 된다. 시드 층(40)은 비트 라인상에 형성되고 셀의 다음 형성 층들의 고품질 형성을 촉진시킨다. 이 시드 층은 대략 25 내지 100Å의 두께로 형성된 NiCr 또는 NiFe의 층일 수 있다. 단일의 피고정층 또는 이 실시예에서, 합성 페리자성 피고정층(50)은 시드 층 상에 형성된다. 이 합성층은 반강자성 고정층(52), 제1 강자성층(54), 결합 층(56), 및 제2 강자성 층(58)을 포함한다. 반강자성층은 제1 강자성층의 자화를 자기 어닐링 프로세스를 통해서 전방향적으로 고정하고, 제2 강자성층은 제1 층의 방향과 반평행 방향으로 자화된다. 제1 및 제2 강자성층들은 대략 10 내지 200Å의 두께로 형성되고, 이 구성의 순 자기 모멘트가 실질적으로 0이 되도록 정합되는 CoFe, CoFeB, CoNiFe 또는 NiFe의 층들이다. 결합 층은 강한 반평행 결합을 유지시키는데 적절한 두께의 Rh, Ru, Cr 또는 Cu층이다. 반강자성 고정층(52)은 대략 40 내지 300Å 두께의 PtMn, NiMn, OsMn, IrMn, NiO 또는 CoNiO의 층일 수 있다.

터널링 장벽층(60)은 피고정층의 제2 강자성층(56) 상에 형성된다. 이 층은 산화된 Al 또는 산화된 Al-Hf 이중층 또는 AlN의 층과 같은 절연 재료의 층이고 대략 7 내지 15Å의 두께로 형성된다. 강자성 자유층(70)은 장벽층 상에 형성된다. 셀 제조의 단계에서, SAL 및 자유층 간의 수직 간격을 자유층의 측방 치수 보다 1/5 작게 하도록 하는 것이 중요하다. 자유

층은 대략 20 내지 200Å의 두께로 형성된 CoFe, CoFeB, CoNiFe 또는 NiFe의 층과 같은 강자성 재료의 단일층일 수 있으며, 또는 제1 및 제2 강자성층들을 포함하는 다층일 수 있는데, 이는 반평행 방향들로 자화되고 비자성이지만 Rh, Ru, Cr 또는 Cu와 같은 도전 재료의 스페이서 층으로 분리되며, 이는 2개의 강자성 층들 간의 강한 반평행 결합을 유지하도록 하는 적절한 두께로 이루어진다. 덮개층은 자유층 상에 형성된다. 덮개층은 대략 10 내지 1000Å의 두께로 형성된 Ru 또는 Ta의 층일 수 있으며, 또는 대략 2 내지 8Å의 두께로 형성된 Al₂O₃, TaO 또는 CrO의 층일 수 있다. Au, Al, Ag, CuAg, Ta, Cr, NiCr, NiFeCr, Ru, Rh 및 이들의 다층들 및 합금들과 같은 고 도전을 재료로 형성된 관독 워드 라인(90)은 셀 상에서 관독 동작들을 하는데 필요로 되고 덮개층 상에 형성된다.

덮개층의 침착후, MRAM 셀은 패터닝되어 원형 또는 낮은 종횡비의 타원형인 균일한 수평 단면을 생성한다. 앞서 언급한 바와 같이, 작은 정도의 자기 형상 이방성이 정자기 결합을 향상시키는데 필요로 되는 경우, 이 패턴은 다소 타원형 형상을 생성하도록 제조될 수 있다. 대안적으로, 결정질의 단축 자기적 이방성은 반강자성 고정층의 열적 어닐링 동안 셀의 자유층에서 발생할 수 있다.

절연 재료 층(100)은 셀을 둘러싸고, 셀의 상부를 기록 워드 라인과 분리시킨다. 이와 같은 절연은 셀을 기록 워드 라인과 격리시키는데 필요로 되고 어레이 내에 형성된 각 셀들의 절연을 위하여 필요로 된다. 워드 라인이 두께 면에서 100nm 보다 작은 도전 재료 층이고, 셀로부터 떨어진 표면에 형성된 자기 재료의 클래딩 층(44)과 함께 증가될 수 있다는 점에 유의하라.

당업자가 이해할 수 있는 바와 같이, 본 발명의 바람직한 실시예는 본 발명을 제한하는 것이 아니라 본 발명을 예시한 것이다. 첨부된 청구항들에 의해 규정된 바와 같은 본 발명에 따라서, MRAM 셀 또는 이와 같은 셀들의 어레이를 여전히 제공하면서, 열적으로 안정되고 쉽게 스위칭 가능하도록 셀 자유층에 정자기적으로 결합되는 인접 연자성층을 갖는 복합 비트 라인을 갖는, MTJ MRAM 셀 또는 이와 같은 셀들의 MRAM 어레이를 형성하는 방법들, 프로세스들, 재료들, 구조들, 및 치수들에 대한 개정들 및 수정들이 행해질 수 있다.

발명의 효과

상호작용 이방성을 감소시키는 것이 바람직한 경우, 침착 프로세스 유도된 이방성 및/또는 형상 유도된 이방성은 비트 라인 방향(x)를 따라서 설정될 수 있는데, 그 이유는 이들 이방성들이 상호작용 이방성으로부터 감산되기 때문이다. 최종적으로, 워드 라인 기록 전류 자기장 효율성을 향상시키는 대안적인 설계는 자기 클래딩 층을 셀로부터 떨어진 측 상의 워드 라인에 걸쳐서 부가하는 것이다.

도면의 간단한 설명

도1은 자유층 내 및 이 자유층 바로 아래에 있는 SAL의 부분 내의 자기장을 개략적으로 도시한 도면.

도2는 실질적으로 원형 단면을 도시한, 교차된 워드 및 비트 라인들 간의 MRAM 셀을 위에서 본 개략도.

도3은 MRAM 셀, 비트 및 워드 라인들의 개략적인 수직 단면도.

도면의 주요 부분에 대한 부호의 설명

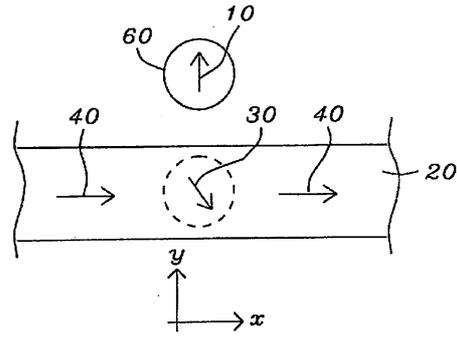
10: MJT 소자

20: 워드 라인

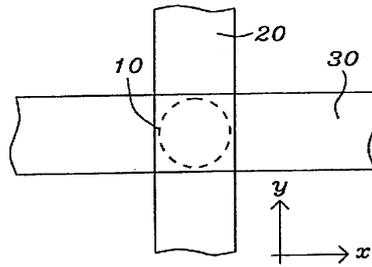
30: 비트 라인

도면

도면1



도면2



도면3

