

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4191073号
(P4191073)

(45) 発行日 平成20年12月3日(2008.12.3)

(24) 登録日 平成20年9月26日(2008.9.26)

(51) Int.Cl. F I
G 1 O H 7/02 (2006.01) G 1 O H 7/00 5 2 1 K

請求項の数 1 (全 16 頁)

<p>(21) 出願番号 特願2004-81300 (P2004-81300) (22) 出願日 平成16年3月19日 (2004.3.19) (65) 公開番号 特開2005-266552 (P2005-266552A) (43) 公開日 平成17年9月29日 (2005.9.29) 審査請求日 平成19年2月23日 (2007.2.23)</p>	<p>(73) 特許権者 000001410 株式会社河合楽器製作所 静岡県浜松市中区寺島町200番地 (74) 代理人 100086863 弁理士 佐藤 英世 (72) 発明者 ▲高▼氏 清己 静岡県浜松市寺島町200番地 株式会社 河合楽器製作所内 審査官 益戸 宏 (56) 参考文献 特開平08-123420 (JP, A) (58) 調査した分野(Int.Cl., DB名) G 1 O H 1/00 - 7/12</p>
--	---

(54) 【発明の名称】 波形データ出力装置

(57) 【特許請求の範囲】

【請求項1】

ピッチ変化の範囲が広い音色に対応するために同一音域にある波形に対して1ワードにNサンプル値を有している波形データと、Nより大きいMサンプル値を1ワードに有している波形データとを記憶している波形データ記憶手段と、

該ピッチ変化の範囲が広い音色の選択に应答して、指示された音高に対応し所定の値未満の周波数ナンバあるいは所定の値以上の周波数ナンバを発生させる周波数情報発生手段と、

周波数ナンバが所定の値未満の時、該周波数ナンバを累算して、上記波形データ記憶手段から1ワードにNサンプル値を有している波形データを読み出すための位相情報である周波数アドレスを発生させ、他方周波数ナンバが所定の値以上の時、同じく周波数ナンバを累算して、上記波形データ記憶手段から1ワードにMサンプル値を有している波形データを読み出すための周波数アドレスを発生させる周波数アドレス発生手段とを少なくとも有することを特徴とする波形データ出力装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子楽器に使用される波形データ出力装置に関し、特に波形メモリの同じ番地に波形データを複数個記憶しておいて、波形データの種々の読み出しを可能にした波形データ出力装置に関するものである。

【背景技術】

【0002】

本出願人は、従来技術ではなく、先の出願で、図9及び図10で示される構成を提案している(下記特許文献1参照)。

【0003】

すなわち図9(a)は、楽音発生部210が単一で波形メモリ212も単一の構成を持つものを示している。このような1チップ構成において、同時発音数が仮に64チャンネルとした場合に、1サンプリング時間内に、1チャンネル(任意のチャンネルをnとしている)で1回アクセス(2サンプル値を得る)し、図10(a)に示すように、 $n-1$ 、 n 、 $n+1$ 、 $n+2$ 、 $n+3$ 、...タイムスロットというように、1タイムスロットおきに、夫々の波形データが読み出される状態である。

10

【0004】

また図9(b)は、同じく1チップ構成において、同時発音数が64チャンネルとした場合に、1サンプリング時間内に、1チャンネルで2回(n と n' で示す)アクセス(4サンプル値を得る)し、図10(b)に示すように、 $n-1$ 、 $n-1'$ 、 n 、 n' 、 $n+1$ 、 $n+1'$ 、 $n+2$ 、 $n+2'$ 、 $n+3$ 、 $n+3'$ 、...タイムスロットというように、全タイムスロットで、夫々2回のアクセスがあり、波形データが読み出されることになる。

【0005】

さらに図9(c)は、上記構成とは異なり2チップ構成(楽音発生部が210と211で、波形メモリ212が単一の構成)において、同時発音数が64チャンネルとした場合に、1サンプリング時間内に、夫々のチャンネル n 、 $64+n$ で1回アクセスし、図10(c)に示すように、 $n-1$ 、 $64+n-1$ 、 n 、 $64+n$ 、 $n+1$ 、 $64+n+1$ 、 $n+2$ 、 $64+n+2$ 、 $n+3$ 、 $64+n+3$ 、...タイムスロットというように、全タイムスロットで、夫々のチャンネルの波形データが読み出されることになる(64チャンネル分あるため、 n の次は $64+n$ となる)。

20

【特許文献1】特願2003-408393

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、1チャンネルあたり1回のアクセス(2サンプル値を得る)しか取れないような、図9(c)や図10(c)で示される2チップの構成や、図示していないが、1チャンネルあたり1回のアクセスしか取ることができない構成の場合は、周波数ナンバが2未満にしか対応することができないという問題があった。

30

【0007】

このような波形データのサンプル値の読み出しが行われた後に行われる補間処理で、仮に4ポイント補間が行われる場合、読み出されたポイントのサンプル値の他に、過去の3ポイントのサンプル値があって、その間の補間処理ができる。

【0008】

1チャンネルあたり、1回のアクセスしかできない構成の場合は、4ポイント補間処理では、周波数ナンバは2未満でしか対応できない。もし周波数ナンバが4未満に対応できるようにするためには、倍のアクセススロットが必要になってしまう。

40

【0009】

また1チャンネルあたり、1回のアクセスしか取れないような上記2チップの構成では、1アクセスで2サンプル値の波形データを読むことができ、波形サンプル値を読み飛ばしが可能となる。しかし、空きタイムスロットがないため、周波数ナンバは2未満にしか対応することができないことになる。

【0010】

本発明は、以上のような問題に鑑み創案されたもので、電子楽器に使用される波形データ出力装置であって、1チャンネルあたり1回のアクセスしか取れない構成であっても、周波数ナンバが2以上に対応できる波形データ出力装置を提供せんとするものである。

50

【課題を解決するための手段】

【0011】

そのため本発明に係る波形データ出力装置は、
ピッチ変化の範囲が広い音色に対応するために同一音域にある波形に対して1ワードにNサンプル値を有している波形データと、Nより大きいMサンプル値を1ワードに有している波形データとを記憶している波形データ記憶手段と、

該ピッチ変化の範囲が広い音色の選択にตอบสนองして、指示された音高に対応し所定の値未満の周波数ナンバあるいは所定の値以上の周波数ナンバを発生させる周波数情報発生手段と、

周波数ナンバが所定の値未満の時、該周波数ナンバを累算して、上記波形データ記憶手段から1ワードにNサンプル値を有している波形データを読み出すための位相情報である周波数アドレスを発生させ、他方周波数ナンバが所定の値以上の時、同じく周波数ナンバを累算して、上記波形データ記憶手段から1ワードにMサンプル値を有している波形データを読み出すための周波数アドレスを発生させる周波数アドレス発生手段とを少なくとも有することを基本的特徴としている。

10

【0012】

本発明では、周波数ナンバが2以上にされる波形(高い周波数の波形)の場合、ビット精度を犠牲にしても問題がないということを前提にし、本発明者は上記のような構成を提案する。そして上記構成によれば、波形データ記憶手段の同じ番地に波形データを複数個記憶しており、周波数アドレス発生手段により、周波数ナンバが所定の値(例えば後述する実施形態構成の場合2)未満の時、上記波形データ記憶手段から1ワードにNサンプル値(例えば後述する実施形態構成の場合2サンプル値)を有している波形データを読み出すための周波数アドレスを発生させ、他方周波数ナンバが所定の値以上の時、同波形データ記憶手段から1ワードにMサンプル値(例えば後述する実施形態構成の場合4サンプル値)を有している波形データを読み出すための周波数アドレスを発生させ、これらのデータを読み出させるようにしているため、1チャンネルあたり1アクセスしか取れない構成の場合でも、例えば周波数ナンバが2以上にも対応できるようになるなど、これまでになく高い周波数の波形データの読み出しが可能となる。

20

【発明の効果】

【0013】

本発明の波形データ出力装置によれば、選択された音色がピッチ変化の範囲が広い場合に、周波数ナンバが所定の値未満より所定の値以上に変化したときにも対応できるようになり、さらに波形データ記憶手段の同じ番地に波形データが複数個記憶されており、波形データの種々の読み出し1チャンネルあたり1アクセスしか取れない構成の場合でも、例えば周波数ナンバが2以上にも対応できるようになるなど、これまでになく高い周波数の波形データの読み出しが可能となるという優れた効果を奏し得る。

30

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態を図示例と共に説明する。

図1は、本発明に係る波形データ出力装置の構成を備えた電子楽器(例えば電子オルガン)の回路概略図である。

40

【0015】

本電子楽器は、電子ピアノの鍵盤で任意の音色を演奏したり、電子オルガンの上下手鍵盤及び足鍵盤などに夫々異なる音色を割り当てることができるようになっており、しかも鍵盤は、左右でスプリットされ、夫々の位置で同じく違う音色が設定できるようになっている。従って、これらの鍵盤などを押鍵すると、夫々の楽音が同時に発生するのに必要なチャンネル数は、64チャンネル数を超えることも多い。

【0016】

本電子楽器は、図1に示すように、システムバス200を介して、CPU201、ROM202、RAM203、パネルスキャン回路204a、鍵盤スキャン回路205a、楽

50

音発生部100が相互に接続されて構成されている。システムバス200は、アドレス信号、データ信号又は制御信号等を送受するために使用される(アドレスバス、データバス、コントロール信号ラインよりなる信号バス)。

【0017】

CPU201は、本電子楽器の制御をつかさどる中央演算装置であって、後述するROM202に格納されているプログラムに従って、鍵盤スキャン回路205aとパネルスキャン回路204aを制御して鍵盤205のキー、操作パネル204の音色設定スイッチなどを走査し、鍵盤205の押鍵・離鍵に伴う押鍵データ[キーON・OFF、キー識別情報(キー番号など)、キータッチレスポンス:キーデータ]の楽音発生部100への割り当て処理、操作パネル204の音色設定スイッチ、ボリュームに応じて楽音発生部100より所望の楽音信号を発生させるように制御する。

10

【0018】

上記ROM202は、上述したCPU201用のプログラムの他に、CPU201が楽音発生に参照する種々のパラメータデータを格納する読み出し専用メモリである。

【0019】

上記RAM203は、CPU201におけるプログラム処理での処理段階のデータを一時記憶しておいたり、エディット可能なパラメータデータを記憶しておく、読み書き可能でメモリである。一部はバッテリーバックアップされており、操作パネル204の音色設定に応じた必要なデータを格納保持(電源がOFFとなっても格納保持)しておくことができる。また、このRAMには、必要に応じてレジスタ、カウンタ、フラグ機能等が定義されている。

20

【0020】

パネルスキャン回路204aは、CPU201からの指令に回答して操作パネル204上の各スイッチをスキャンし、このスキャンにより得られた各スイッチの開閉状態を示す信号に基づいて、各スイッチを1ビットに対応させたパネルデータを作成する。各ビットは、例えば「1」でスイッチオン状態、「0」でスイッチオフ状態を表す。このパネルデータは、システムバス200を介してCPU201に送られる。このパネルデータは、操作パネル204上のスイッチのオンイベント又はオフイベントが発生したかどうかを判断するために使用される。

【0021】

また、パネルスキャン回路204aは、CPU201から送られてきた表示データを操作パネル204上のLED表示器及びLCDに送る。これにより、CPU201から送られてきたデータに従って、LED表示器が点灯/消灯され、またLCDにメッセージが表示される。

30

【0022】

パネルスキャン回路204aには、操作パネル204が接続されている。操作パネル204には、音色選択及び設定するためのスイッチやボリュームや、選択及び設定状態を表示する上記LCD乃至LED表示器などより構成される表示部を有している。操作パネル204の音色選択により音色設定フラグの設定がなされる。また、演奏者の操作パネル204の操作により、音色設定フラグが直接変更される場合もある。特にピッチ変化の範囲が広い音色もあり、後述するように、周波数ナンバが2以上4未満の場合は、波形メモリ101において1ワードに4サンプル値が記憶された波形データの読み出しを行わせる場合がある。

40

【0023】

上記鍵盤スキャン回路205aは、鍵盤205で生成される押鍵データを検出する検出回路である。すなわち、これらの鍵盤205には、夫々2点スイッチが設けられており、任意の鍵盤205が所定以上の深さまで押し下げられたことを検出すると、その鍵盤の音高データ(キー番号)の押鍵信号を生成すると共に、2点スイッチ間を通過する速度からベロシティを生成し、それらを押鍵データとして、鍵盤スキャン回路205aに送る。2点スイッチとしては、鍵が所定以上の深さまで押し下げられたことを検出できる光センサ

50

、圧力センサ、その他のセンサを使用できる。鍵盤スキャン回路205aは、2点スイッチからの押鍵データを受け取ると、それをCPU201に送る。

【0024】

鍵盤スキャン回路205aからの押鍵データは、CPU201により、RAM203上の音色設定フラグが参照され、夫々のチャンネルに対応する楽音発生部100に送られることになる。

【0025】

楽音発生部100は、専用のLSIで設計されており、上記操作パネル204で選択及び設定された音色で、鍵盤205で演奏されたキーに応じた読み出しアドレスを発生（後述する周波数アドレス生成器110による）して、本願の波形データ記憶手段に相当する後述の波形メモリ101から原データを読み出し、さらに、該原データの補間処理を行った（後述するデコーダ104の補間器121による）後、同じく同回路で生成された音色毎のエンベロープ（後述する振幅エンベロープ発生器108による）を乗算し（後述する乗算器107による）、夫々の音色の波形データを設定されたチャンネル分累算して、外部に楽音信号を発生する。この構成の詳細は後に説明する。また図示していないが、この楽音信号に所定の音響効果（残響効果を含む）を付加する音響効果付加構成も備えていても良い。さらに、楽音発生部100から出力された楽音信号は、D/A変換回路206に入力され、デジタル-アナログ変換され、アンプ207で増幅され、スピーカ208から外部に楽音として放出される。

【0026】

波形メモリ101は、楽音波形データが音色及び音域（音高）に対応して記憶されており、音色選択及び押鍵データに応じて、所望の楽音周波数に従って上記楽音発生部100からの読み出し信号で該データが読み出されることになる。

【0027】

D/A変換回路206は、上記楽音発生部100で生成されたデジタル楽音信号をアナログ楽音信号に変換するデジタル-アナログ変換器である。

【0028】

アンプ207は、アナログ処理されたアナログ楽音信号をスピーカ208で発生させるために増幅するパワーアンプである。

【0029】

スピーカ208は、アナログ信号を可聴信号として放音するスピーカであり、1乃至複数個よりなる。

【0030】

図2及び図3は、本願発明に係る波形データ出力装置構成の概要図を示している（図3の方がシステムバス200側から送られてくる制御情報などが詳細に記載されている）。

【0031】

そのうち波形メモリ101は、図1に示すものと同じであり、所望とする波形データが例えばヘッド部とループ部で構成される波形データ（後述するように、データ読み出し時にSTA LEA LTA LEA LTA LEA LTA LEA...のように一度読み出しされる部分と繰り返し読み出される部分のある波形データ）として記憶されているメモリで、音色・音域に関連して所定のエリアに記憶されている。

【0032】

楽音発生部100の構成は、上述のように、専用のLSIからなり、その内部構成は、図2に示すように、周波数情報発生部102、周波数アドレス発生部103、デコーダ104の構成を有している。

【0033】

上記周波数情報発生部102は、後述する図6(b)に示されるように、指示された音高に対応する周波数ナンバを発生させる構成であり、押鍵データ中のキー番号に応じたピッチパラメータを発生する。

【0034】

10

20

30

40

50

上記周波数アドレス発生部 103 は、内部に加算器及びアキュムレータを備えていて、押鍵データ [キー ON・OFF、キー識別情報 (キー番号など)、キータッチレスポンス : キーデータ] と音色情報に应答して、波形メモリ 101 から記憶されている所望の楽音波形データを所望とする楽音周波数に応じた速度で読み出すために、上記周波数情報発生部 102 から与えられた周波数ナンバを累算することにより位相情報である周波数アドレスを発生する。本構成では、後述するように、周波数ナンバが 2 (所定の値) 未満の時、上記波形メモリ 101 から 1 ワードに 2 (N) サンプル値を有している波形データ (波形データ a、波形データ b、波形データ c、...) を読み出すためのアドレスを発生し、また周波数ナンバが 2 以上の時は、同波形メモリ 101 から 1 ワードに 4 (M) サンプル値を有している波形データ (波形データ a') を読み出すためのアドレスを発生する。

10

【 0035 】

上記デコーダ 104 は、上記周波数アドレス発生部 103 により生成された周波数アドレス (楽音周波数) に従って読み出された波形データを解凍復元したり、サンプル値補間したりする構成である。波形データが圧縮されている場合は、解凍復元した後でサンプル値補間したり、波形データがリニア値であれば、サンプル値補間のみを実施したりする。

【 0036 】

その他、本実施例構成では、波形データ出力装置の構成中に、フィルタ 105、フィルタ制御情報発生器 106、乗算器 107、振幅エンベロープ発生器 108 の構成を備えている。

【 0037 】

上記フィルタ 105 は、上記デコーダ 104 より楽音周波数に応じて出力される波形データに含まれる周波数成分を後述のフィルタ制御情報発生器 106 より発生される制御情報に应答してフィルタ制御するフィルタ回路である。

20

【 0038 】

上記フィルタ制御情報発生器 106 は、上記フィルタ 105 におけるフィルタ特性を制御するための制御情報を発生する回路であり、押鍵データ [キー ON・OFF、キー識別情報 (キー番号など)、キータッチレスポンス : キーデータ] と音色情報により、このフィルタ制御情報が生成される。

【 0039 】

上記乗算器 107 は、フィルタ 105 より出力される所望のフィルタ特性に制御された楽音波形データと後述する振幅エンベロープ発生器 108 からのエンベロープ信号を乗算し、エンベロープの付加された楽音波形データを出力する。

30

【 0040 】

上記振幅エンベロープ発生器 108 は、フィルタ 105 より出力される所望のフィルタ特性に制御された楽音波形データの振幅を、押鍵データ [キー ON・OFF、キー識別情報 (キー番号など)、キータッチレスポンス : キーデータ] と音色情報に应答して、制御するためのエンベロープ信号を発生する回路である。

【 0041 】

図 4 は、本実施形態構成で使用される上記波形メモリ 101 の波形データの格納状態を示す説明図である。

40

【 0042 】

同図 (a) の波形メモリ 101 は、(b) に示すように、波形データ a、波形データ a'、波形データ b、波形データ c、... のようにデータが格納されている。記憶されている楽音波形データは、音色及び音域 (音高) に対応して記憶されている。ただし、波形データ a' は、本願の上述の構成を達成するために、(周波数ナンバが 2 以上の場合に読み出される波形データとして) 波形データ a に関連した波形データとして記憶されている。

【 0043 】

また図 4 (c) は、1 アクセスで読み出すことができる各波形データの格納状態を示している。その読み出し単位は、波形データ a、波形データ b、波形データ c、... で 2 サンプル値であり、波形データ a' で 4 サンプル値である。すなわち、波形データ a、波形デー

50

タ b、波形データ c、...では、1アクセスで2サンプル値の波形データを読み出すことができるようにするために、1ワードあたり、2サンプル値の波形データで構成されている。

【0044】

しかしながら、後述するように、周波数ナンバが2以上で4未満になった場合でも、1アクセスで読み出し可能にする(対応させる)ために、波形データ a' では、1ワードあたり、4サンプル値の波形データで構成されるようにしている。後述するように、その場合1サンプル値あたりのビット精度は下げて記憶されている(例えば1ワード2サンプル値の上記波形データで、1サンプル値は16bit構成であるが、1ワード4サンプル値の波形データ a' では、1サンプル値は8bit構成である)。このように、ビット精度が下

10

【0045】

これに対し、図5に示される波形データでは、本願構成を用いていない波形メモリ101の波形データの格納状態が、その比較例として示されている。上記図4の場合とは、波形データ aに関連した波形データとして、波形データ a' のような状態で格納されている波形データが存在しない。同図(b)と(c)の間の右側に示されたものは、波形データが基本的にどのような形式で記憶されているかが示されている。このように、1つの波形データは、ヘッド部分(一度のみ読み出される部分)とループ部分(一度読み出された後に繰り返し読み出される部分)とよりなる。その他図示していないがループ部分のみ繰り返し波形データとして記憶されている場合もある。またその図の下に、ヘッド部分+ループ部分よりなる波形データを読み出すための楽音周波数にตอบสนองして発生されるアドレスの様子を示している。スタートアドレス(STA)、ループトップアドレス(LTA)及びループエンドアドレス(LEA)で読み出し箇所を指定する。従ってループ部分の繰り返し読み出しがあるため、STA LEA LTA LEA LTA LEA ...となる。

20

【0046】

図6は、上記周波数情報発生部102で発生される、周波数情報の基礎となる周波数ナンバと、その周波数ナンバを基に楽音周波数にตอบสนองして上記周波数アドレス発生部103

30

【0047】

同図(b)に示すように、周波数ナンバは、 F_{N12} 、 F_{N11} 、 F_{N10} 、 F_{N9} 、 F_{N8} 、...で示されており、周波数ナンバ4未満まで対応できるようにするため小数点位置を、 F_{N11} と F_{N10} の間になるようにしている。すなわち、 F_{N12} 、 F_{N11} 、小数点、 F_{N10} 、 F_{N9} 、 F_{N8} 、...で、11.111...は約3.9...であり、4未満の数値である。尚同図に示すように、 $F_{N12} = 0$ の場合、周波数ナンバは2未満であり(約1.9...である)、 $F_{N12} = 1$ の場合、周波数ナンバは2以上である。これらの周波数ナンバは、上述のように、押鍵データ中のキー番号に応じたピッチパラメータとして予め決定されている。

【0048】

また同図(a)に示すように、周波数情報は、上記周波数アドレス発生部103により生成され、周波数ナンバを累算して得られる楽音周波数にตอบสนองして発生されるものである。その情報は、整数部(... I_5 、 I_4 、 I_3 、 I_2 、 I_1 、 I_0)と小数部(F_0 、 F_{-1} 、 F_{-2} 、 F_{-3} 、 F_{-4} 、 F_{-5} 、...)で構成される。

40

【0049】

このうち、整数部の上位は波形メモリ101へのアクセス信号として、整数部の下位は、サンプル値の選択のために使用される。例えば $F_{N12} = 1$ の、周波数ナンバが2以上の場合、 $\sim I_2$ までが波形メモリ101へのアクセスを行うための周波数情報として扱われ、波形データ a' の格納領域から、波形データが読み出される。また $F_{N12} = 0$ の、周波数ナンバが2未満の場合、 $\sim I_1$ までが波形メモリ101へのアクセスを行うための周波

50

数情報として扱われ、波形データ a の格納領域から、波形データが読み出されることになる。

【 0 0 5 0 】

さらに、周波数情報の小数部上位（何ビット利用するかは補間精度をどのくらいにするかにかかっている）は、サンプル値補間で利用する補間係数を発生するための情報として使用される。

【 0 0 5 1 】

図 7 は、図 2 及び図 3 の波形メモリ 1 0 1、周波数アドレス発生部 1 0 3、デコーダ 1 0 4 の部分の構成を示す説明図である。

【 0 0 5 2 】

上記波形メモリ 1 0 1 は、上述した図 4 の通りである。この波形データ a、b、c のうち、波形データ b 及び c も係わる或る音域の或る音色は、周波数ナンバ 2 未満の対応で良いものであるので、1 アクセスで 2 サンプル値でデータを読み出せる記憶形式だけであるが、波形データ a に係わる或る音域の或る音色は、周波数ナンバ 2 以上でも読み出されることがあるので、その場合の対応として、波形データ a' を記憶している。この記憶領域を読み出すことで、周波数ナンバ 2 以上 ~ 4 未満まで対応できるようになっている。

【 0 0 5 3 】

上記周波数アドレス発生部 1 0 3 は、図 7 に示すように、周波数アドレス生成器 1 1 0 と選択器 1 1 1 の構成を有している。

【 0 0 5 4 】

そのうち、周波数アドレス生成器 1 1 0 は、図 6 (a) で示した楽音周波数に応答して生成される周波数情報を発生する回路である。すなわち、入力される周波数ナンバ (F_{N12} 、 F_{N11} 、 F_{N10} 、 F_{N9} 、 F_{N8} 、...) を累算して得られるものであって、その出力範囲は、前述したスタートアドレス (S T A)、ループトップアドレス (L T A) 及びループエンドアドレス (L E A) で設定された範囲で変化する。

【 0 0 5 5 】

また選択器 1 1 1 は、図面上の S 端子に選択信号として供給される周波数ナンバ F_{N12} が “ 0 ” の時（周波数ナンバが 2 未満の時）は、端子 0 に供給されている信号（エリア a 指定信号と周波数情報の整数部 I_1 以上）を選択し、反対に上記周波数ナンバ F_{N12} が “ 1 ” の時（周波数ナンバが 2 以上 ~ 4 未満の時）は、端子 1 に供給されている信号（エリア a' 指定信号と周波数情報の整数部 I_2 以上）を選択する選択器の構成である。該選択器 1 1 1 の出力は、下記表 1 に示されるようになる。

【 0 0 5 6 】

10

20

30

【表 1】

0n+m	...	0n+2	0n+1	0n	...	05	04	03	02	01	00
	F _{N12} ≡ “0” の時エリアa指定信号		i	i-1							
F _{N12} ≡ “1” の時エリアa'指定信号				i			16	15	14	13	12

10

20

30

【0057】

上記デコーダ104は、図面に示すように、サンプル選択器120と補間器121の構成を有している。

40

【0058】

そのうちサンプル選択器120は、周波数ナンバF_{N12}と周波数情報の整数部I₁及びI₀によって、波形メモリ101より読み出され1アクセス2サンプル値で記憶された波形データ及び1アクセス4サンプル値で記憶された波形データより、所望のサンプル値を選択すると共に、過去に読み出され記憶されているサンプル値と共に、補間器121に供給する。仮に補間器121で4ポイント補間が行われる場合、読み出された波形データのサンプル値の他に、過去の3ポイントのサンプル値があって、その間の補間処理ができることになる。

【0059】

また補間器121は、サンプル選択器120より供給される4サンプル値を基に補間を

50

行う構成であり、補間係数は周波数アドレス生成器 110 から小数部として生成される信号の上位ビットが供給される。本実施形態構成では、 $F_0 \sim F_{.6}$ の 7 ビットが供給されている。

【0060】

図 8 は、上記図 7 のサンプル選択器 120 及び補間器 121 の詳細な構成を示す構成説明図である。

【0061】

このうちサンプル選択器 120 は、データ保持器 1000 と、選択器 1001 及び 1002 と、同じく選択器 1003 ~ 1005 と、同じく選択器 1006 と、サンプル保持レジスタ 1007 ~ 1009 と、選択器 1010 ~ 1013 と、選択器 1014 とを有している。これらの詳細は後述する。また補間器 121 は、乗算器 1100 ~ 1103 と、補間係数メモリ 1110 ~ 1113 と、加算器 1200 とを有している。これらの詳細も後述する。

10

【0062】

上記サンプル選択器 120 のデータ保持器 1000 は、波形メモリ 101 より読み出された波形データ WD を保持しておくレジスタである。この場合波形メモリ 101 が 32 ビットとした場合、32 ビットデータ $D_{31} \sim D_0$ を保持することになる。32 ビットデータ $D_{31} \sim D_0$ は、図 4 に示すように、波形データ a、b 及び c の場合 1 サンプル値が 16 ビットの波形データであり（従って 1 アクセス時に 2 サンプル値 32 ビット読み出されることになる）、また波形データ a' の場合 1 サンプル値が 8 ビットの波形データになる（従って 1 アクセス時に 4 サンプル値 32 ビット読み出されることになる）。

20

【0063】

上記選択器 1001 及び 1002 の構成では、その S 端子に選択信号として供給される周波数ナンバ F_{N12} が “0” の時（周波数ナンバが 2 未満の時）は、端子 0 に供給されている信号を選択（夫々 $D_{31} \sim D_{16}$ と $D_{15} \sim D_0$ ）し、反対に上記周波数ナンバ F_{N12} が “1” の時（周波数ナンバが 2 以上 ~ 4 未満の時）は、端子 1 に供給されている信号を選択（夫々 $D_{15} \sim D_8$ と $D_7 \sim D_0$ ）するセレクタであり、夫々の選択された波形データを Db、Da として出力する。その他に必要とされる波形データも $D_{31} \sim D_{24}$ が Dd と、また $D_{23} \sim D_{16}$ が Dc として供給される。

【0064】

ここで、次の補間器 121 における補間演算に供給される波形データは、選択信号として与えられる周波数ナンバ F_{N12} に応じて、下記表 2 に示すように、波形データ $D_{31} \sim D_0$ として供給されることになる。

30

【0065】

【表 2】

F _{N12}		015	014	013	012	011	010	09	08	07	06	05	04	03	02	01	00
	“0”	Dd	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
		Dc	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
		Db	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17
“1”	Da	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
	Dd	D31	D30	D29	D28	D27	D26	D25	D24	L	L	L	L	L	L	L	L
	Dc	D23	D22	D21	D20	D19	D18	D17	D16	L	L	L	L	L	L	L	L
	Db	D15	D14	D13	D12	D11	D10	D9	D8	L	L	L	L	L	L	L	L
	Da	D7	D6	D5	D4	D3	D2	D1	D0	L	L	L	L	L	L	L	L

F_{N12}=0の時、波形ゲータDd、Dcは使用されないのので、x : Don't careにしてある。

10

20

30

40

【0066】

上記選択器1003~1005は、夫々のS端子に選択信号として供給される周波数ナンバF_{N12}が“0”の時(周波数ナンバが2未満の時)は、端子0に供給されている信号を選択し、反対に上記周波数ナンバF_{N12}が“1”の時(周波数ナンバが2以上~4未満

50

の時)は、端子1に供給されている信号を選択するセレクタであり、後述する整数部の状態が変化した時に過去のサンプル値を記憶するサンプル保持レジスタ1007~1009に、どのサンプル値を記憶させるかを選択する構成である。ここで、波形データDd、Dc、Db、Daは、選択信号として与えられる周波数ナンバ F_{N12} に応じて、下記表3に示すように、選択されることになる。

【0067】

【表3】

F_{N12}	Z1 in	Z2 in	Z3 in
"0"	Db	Da	Z1 out
"1"	Dd	Dc	Db

10

【0068】

上記選択器1006は、後述するサンプル保持レジスタ1007~1009に過去のサンプル値として記憶するためのタイミングを供給するセレクタであり、そのS端子に選択信号として供給される周波数ナンバ F_{N12} が"0"の時(周波数ナンバが2未満の時)は、整数部 I_0 から I_1 に桁上がりが発生した時のタイミングを供給し、反対に上記周波数ナンバ F_{N12} が"1"の時(周波数ナンバが2以上~4未満の時)は、整数部 I_1 から I_2 に桁上がりが発生した時のタイミングを供給する。

【0069】

上記サンプル保持レジスタ1007~1009は、整数部の状態が変化した時に過去に読み出されたサンプル値として記憶するレジスタであり、そのタイミングは、選択器1006から供給されるタイミング信号による。

20

【0070】

以上の構成までの信号の流れを整理すると、 F_{N12} が"0"の時、整数部 I_0 から I_1 に桁上がりがあると、 Z_3 、 Z_{1out} 、 Z_2 、Da、 Z_1 、Dbとなり、また F_{N12} が"1"の時、整数部 I_1 から I_2 に桁上がりがあると、 Z_3 、Db、 Z_2 、Dc、 Z_1 、Ddとなる。

【0071】

さらに、選択器1010~1013は、後述する選択器1014からの選択信号がS端子に入力され、そのS端子に入力された選択信号が"0(00b)"の時、端子0の信号が選択され、"1(01b)"の時、端子1の信号が選択され、"2(10b)"の時、端子2の信号が選択され、"3(11b)"の時、端子3の信号が選択されるセレクタである。そして選択された波形データのサンプル値は次段に接続されている乗算器1100~1103で補間係数(後述する補間係数メモリ1110~1113中に格納されている係数)と乗算される。

30

【0072】

上記選択器1014は、そのS端子に選択信号として供給される周波数ナンバ F_{N12} が"0"の時(周波数ナンバが2未満の時)は、端子0に供給されている信号(I_0)を選択し、反対に上記周波数ナンバ F_{N12} が"1"の時(周波数ナンバが2以上~4未満の時)は、端子1に供給されている信号(I_0 及び I_1)を選択するセレクタである。従ってこのセレクタ出力につき、 F_{N12} が"1"の時は I_1 : I_0 の変化"11b"、"10b"、"01b"、"00b"が出力され、 F_{N12} が"0"の時は I_0 の変化"01b"、"00b"が出力される。

40

【0073】

一方補間器121を構成する乗算器1100~1103は、上記選択器1010~1013によって選択されたサンプル値と後述する補間係数メモリ1110~1113中に格納されている補間係数を乗算する構成である。

【0074】

同じく補間器121を構成する補間係数メモリ1110~1113は、図6(a)に示した周波数情報の小数部の上位ビット(本実施形態構成の場合7ビット F_0 ~ F_6)に応じて補間係数 C_m 、 C_0 、... C_2 を、上記乗算器1100~1103に供給するメモリである。

50

【 0 0 7 5 】

同じく補間器 1 2 1 を構成する加算器 1 2 0 0 は、補間係数メモリ 1 1 1 0 ~ 1 1 1 3 から供給された補間係数と選択されたサンプル値とが上記乗算器 1 1 0 0 ~ 1 1 0 3 で乗算して得られた 4 サンプル値を加算して補間されたサンプル値 I_pW を出力する構成である。その出力は、図 2 及び図 3 に示したフィルタ 1 0 5 に供給される。

【 0 0 7 6 】

上記選択器 1 0 1 0 ~ 1 0 1 4、乗算器 1 1 0 0 ~ 1 1 0 3、補間係数メモリ 1 1 1 0 ~ 1 1 1 3、加算器 1 2 0 0 までの信号処理について整理すると、 F_{N12} が “ 0 ” の時（周波数ナンバが 2 未満の時）、 I_0 の状態に応じて、 $I_0 = “ 0 ”$ の場合は、上記加算器 1 2 0 0 の出力 $I_pW = C_m \times Z_3 + C_0 \times Z_2 + C_1 \times Z_1 + C_2 \times Da$ となり、 $I_0 = “ 1 ”$ の場合は、上記加算器 1 2 0 0 の出力 $I_pW = C_m \times Z_2 + C_0 \times Z_1 + C_1 \times Da + C_2 \times Db$ となる。

10

【 0 0 7 7 】

他方 F_{N12} が “ 1 ” の時（周波数ナンバが 2 以上の時）、 I_1 と I_0 の状態に応じて、 $I_1 I_0 = “ 0 ”$ の場合は、上記加算器 1 2 0 0 の出力 $I_pW = C_m \times Z_3 + C_0 \times Z_2 + C_1 \times Z_1 + C_2 \times Da$ となり、 $I_1 I_0 = “ 1 ”$ の場合は、上記加算器 1 2 0 0 の出力 $I_pW = C_m \times Z_2 + C_0 \times Z_1 + C_1 \times Da + C_2 \times Db$ となり、また $I_1 I_0 = “ 2 ”$ の場合は、上記加算器 1 2 0 0 の出力 $I_pW = C_m \times Z_1 + C_0 \times Da + C_1 \times Db + C_2 \times Dc$ となり、さらに、 $I_1 I_0 = “ 3 ”$ の場合は、上記加算器 1 2 0 0 の出力 $I_pW = C_m \times Da + C_0 \times Db + C_1 \times Dc + C_2 \times Dd$ となる。すなわち、これらの I_1 と I_0 の取る値によって、図 4 の格納エリア a' から波形データが読み出されて、4 サンプル補間処理が夫々なされて出力されることになる。

20

【 0 0 7 8 】

上述した本実施形態構成によれば、一部の波形データについては、波形メモリ 1 0 1 の同じ番地に波形データを複数個 a 、 a' 記憶しており、周波数アドレス発生部 1 0 3 により、周波数ナンバが 2 未満の時、上記波形メモリ 1 0 1 から 1 ワードに 2 サンプル値を有している波形データ a を読み出すための周波数アドレスを発生させ、他方周波数ナンバが 2 以上の時、同波形メモリ 1 0 1 から 1 ワードに 4 サンプル値を有している波形データ a' を読み出すための周波数アドレスを発生させ、これらのデータを読み出させるようにしているため、1 チャンネルあたり 1 アクセスしか取れなくても、周波数ナンバが 2 以上の場合にも対応できるようになり、これまでになく高い周波数の波形データの読み出しが可能となる。

30

【 0 0 7 9 】

尚、本発明の波形データ出力装置は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【 図面の簡単な説明 】

【 0 0 8 0 】

【 図 1 】本発明に係る波形データ出力装置の構成を備えた電子楽器の回路概略図である。

【 図 2 】本発明に係る波形データ出力装置の装置構成の概要図である。

【 図 3 】同じく波形データ出力装置の装置構成の概要図である。

【 図 4 】波形メモリ 1 0 1 の波形データの格納状態を示す説明図である。

【 図 5 】比較例として示される本願構成を用いていない波形メモリ 1 0 1 の波形データの格納状態を示す説明図である。

40

【 図 6 】周波数情報発生部 1 0 2 で発生される、周波数情報の基礎となる周波数ナンバと、その周波数ナンバを基に楽音周波数に回答して周波数アドレス発生部 1 0 3 で発生される周波数情報との関係を示す説明図である。

【 図 7 】波形メモリ 1 0 1、周波数アドレス発生部 1 0 3、デコーダ 1 0 4 の部分の構成を示す説明図である。

【 図 8 】サンプル選択器 1 2 0 及び補間器 1 2 1 の詳細な構成を示す構成説明図である。

【 図 9 】本出願人の先の出願で提案された構成の概要説明図である。

【 図 10 】上記提案構成における波形データ読み出しタイミングを示すタイムチャートである。

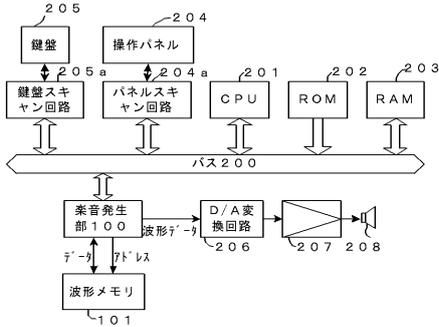
50

【符号の説明】

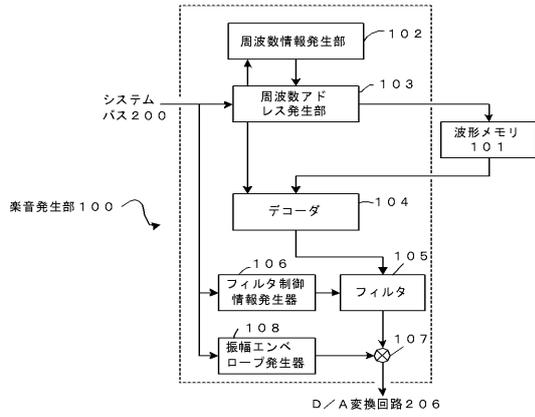
【0081】

100	楽音発生部	
101	波形メモリ	
102	周波数情報発生部	
103	周波数アドレス発生部	
104	デコーダ	
105	フィルタ	
106	フィルタ制御情報発生器	
107	乗算器	10
108	振幅エンベロープ発生器	
110	周波数アドレス生成器	
111	選択器	
120	サンプル選択器	
121	補間器	
201	CPU	
202	ROM	
203	RAM	
204	操作パネル	
204 a	パネルスキャン回路	20
205	鍵盤	
205 a	鍵盤スキャン回路	
206	D/A変換回路	
207	アンプ	
208	スピーカ	
210、211	楽音発生部	
212	波形メモリ	
1000	データ保持器	
1001 ~ 1006	選択器	
1007 ~ 1009	サンプル保持レジスタ	30
1010 ~ 1014	選択器	
1100 ~ 1103	乗算器	
1110 ~ 1113	補間係数メモリ	
1200	加算器	

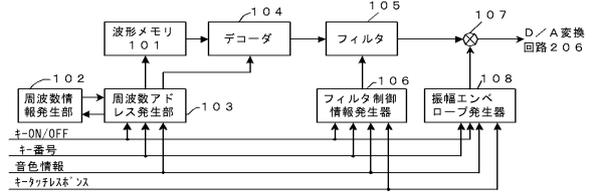
【図1】



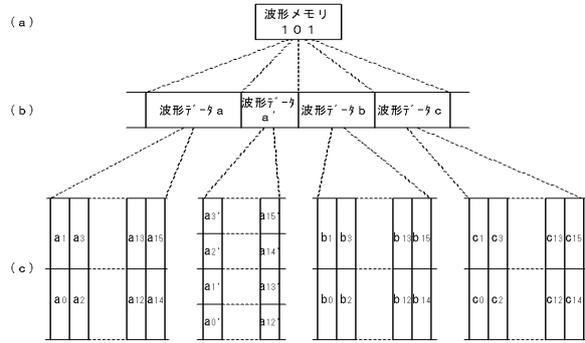
【図2】



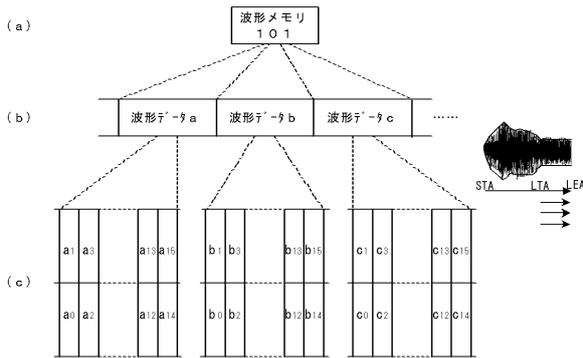
【図3】



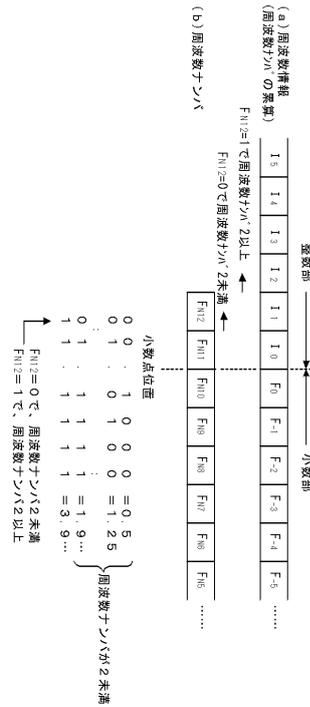
【図4】



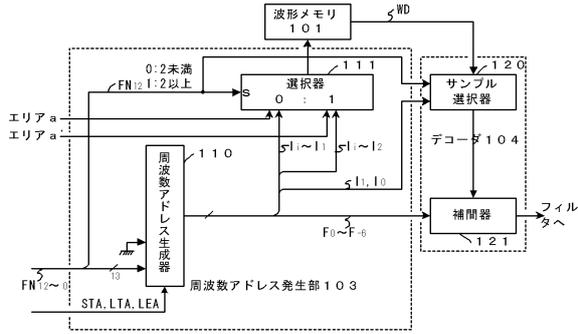
【図5】



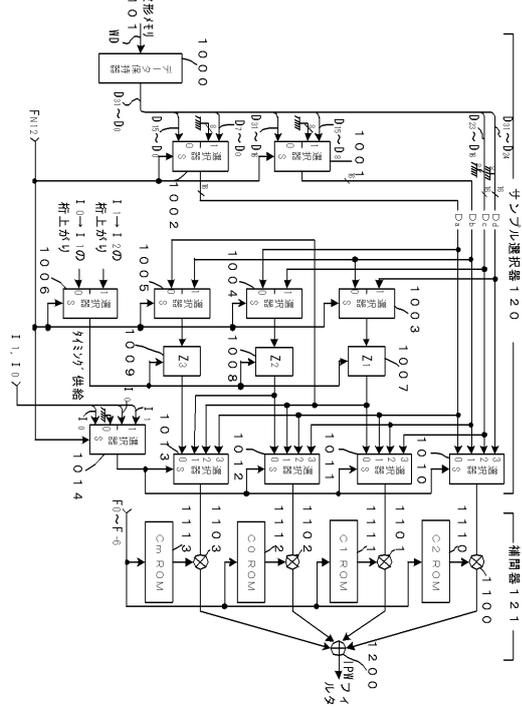
【図6】



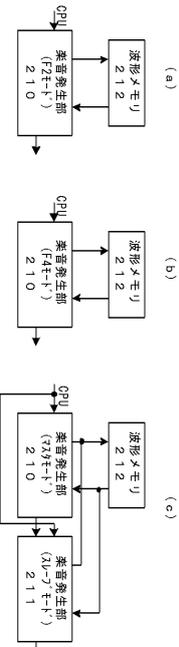
【図7】



【図8】



【図9】



【図10】

