



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I523196 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：101106210

(22)申請日：中華民國 101 (2012) 年 02 月 24 日

(51)Int. Cl. : H01L27/04 (2006.01)

H01L23/52 (2006.01)

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
 新竹市新竹科學工業園區力行二路3號

(72)發明人：李明宗 LEE, MING TSUNG (TW)；楊承樺 YANG, CHENG HUA (TW)；李文芳
 LEE, WEN FANG (TW)；王智充 WANG, CHIH CHUNG (TW)；許智維 HSU, CHIH
 WEI (TW)；莊柏青 CHUANG, PO CHING (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 2002/0113276A1

US 2011/0079846A1

審查人員：廖崑男

申請專利範圍項數：20 項 圖式數：6 共 22 頁

(54)名稱

高壓金氧半導體電晶體元件及其佈局圖案

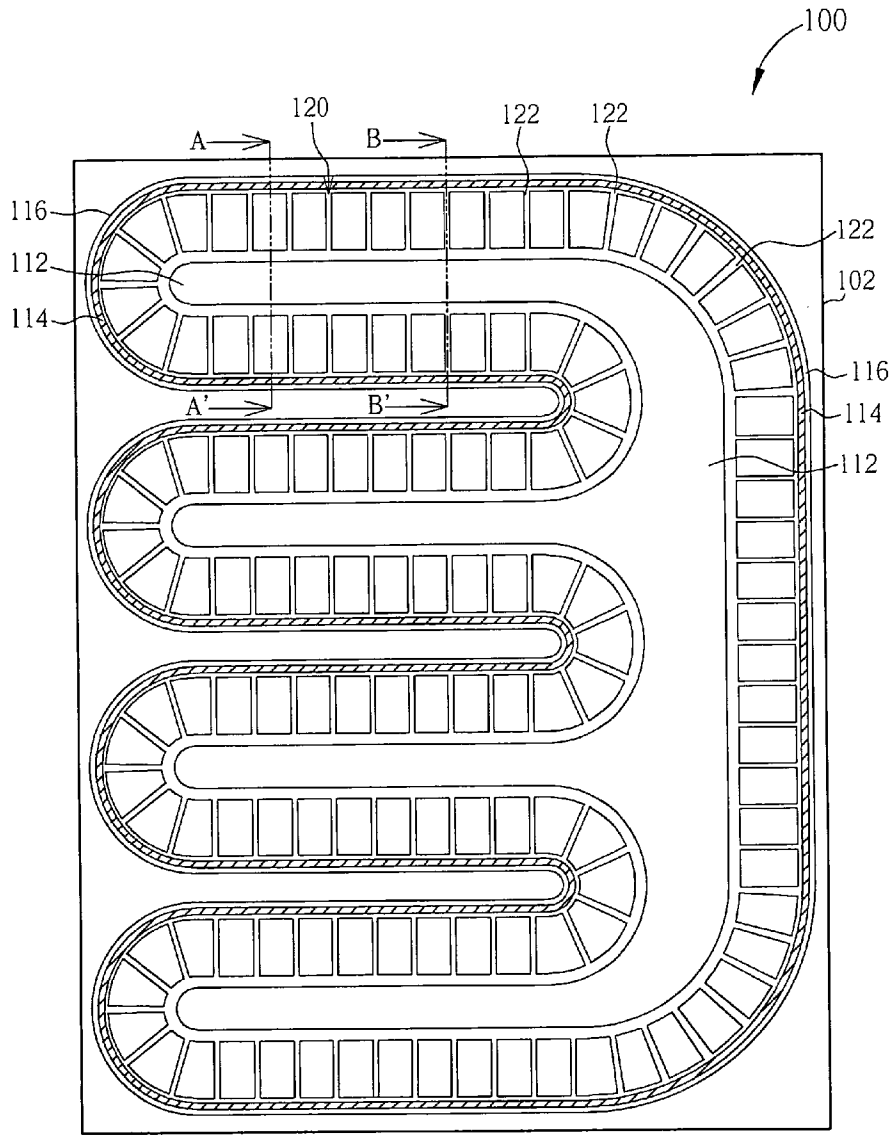
HIGH VOLTAGE METAL-OXIDE-SEMICONDUCTOR TRANSISTOR DEVICE AND LAYOUT
 PATTERN THEREOF

(57)摘要

一種高壓金氧半導體電晶體元件之佈局圖案，該佈局圖案包含有一具有一第一導電型態之第一摻雜區、一具有該第一導電型態之第二摻雜區、以及一不連續形摻雜區。該不連續形摻雜區係設置於該第一摻雜區與該第二摻雜區之間，且包含複數個間隔。另外該不連續形摻雜區域包含一第二導電型態，且該第二導電型態與該第一導電型態互補。

A layout pattern of a high voltage metal-oxide-semiconductor transistor device includes a first doped region having a first conductivity type, a second doped region having the first conductivity type, and a non-continuous doped region formed in between the first doped region and the second doped region. The non-continuous doped region includes a plurality of gaps formed therein. The non-continuous doped region further includes a second conductivity type complementary to the first conductivity type.

指定代表圖：



符號簡單說明：

100 . . . 高壓金氧半導體電晶體元件

102 . . . 基底

112 . . . 第一摻雜區

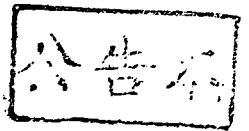
114 . . . 第二摻雜區

116 . . . 第三摻雜區

120 . . . 不連續形摻雜區

122 . . . 間隔

第2圖



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101106210

※申請日：101.2.24

※IPC 分類：

H01L27/04

2006.01

一、發明名稱：(中文/英文)

H01L 23/52

2006.01

高壓金氧半導體電晶體元件及其佈局圖案/HIGH VOLTAGE
METAL-OXIDE-SEMICONDUCTOR TRANSISTOR DEVICE AND
LAYOUT PATTERN THEREOF

二、中文發明摘要：

一種高壓金氧半導體電晶體元件之佈局圖案，該佈局圖案包含有一具有一第一導電型態之第一摻雜區、一具有該第一導電型態之第二摻雜區、以及一不連續形摻雜區。該不連續形摻雜區係設置於該第一摻雜區與該第二摻雜區之間，且包含複數個間隔。另外該不連續形摻雜區域包含一第二導電型態，且該第二導電型態與該第一導電型態互補。

三、英文發明摘要：

A layout pattern of a high voltage metal-oxide-semiconductor transistor device includes a first doped region having a first conductivity type, a second doped region having the first conductivity type, and a non-continuous doped region formed in between the first doped region and the second doped region. The non-continuous doped region includes a plurality of gaps formed therein. The non-continuous doped region further includes a second conductivity type complementary to the

first conductivity type.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

100	高壓金氧半導體電晶體元件		
102	基底	112	第一摻雜區
114	第二摻雜區	116	第三摻雜區
120	不連續形摻雜區	122	間隔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明有關於一種高壓金氧半導體(high voltage metal-oxide-semiconductor，以下簡稱為 HV MOS)電晶體元件及其佈局圖案，尤指一種高壓橫向雙擴散金氧半導體(high voltage lateral double-diffused metal-oxide-semiconductor，HV-LDMOS)電晶體元件及其佈局圖案。

【先前技術】

在具有高壓處理能力的功率元件中，雙擴散金氧半導體(double-diffused MOS，DMOS)電晶體元件係持續受到重視。常見的 DMOS 電晶體元件有垂直雙擴散金氧半導體(vertical double-diffused MOS，VDMOS)與橫向雙擴散金氧半導體(LDMOS)電晶體元件。而 LDMOS 電晶體元件因具有較高的操作頻寬與操作效率，以及易與其他積體電路整合之平面結構，現已廣泛地應用於高電壓操作環境中，如中央處理器電源供應(CPU power supply)、電源管理系統(power management system)、直流/交流轉換器(AC/DC converter)以及高功率或高頻段的功率放大器等等。LDMOS 電晶體元件主要的特徵為源極端所設置之低摻雜濃度、大面積的橫向擴散漂移區域，其目的在於緩和源極端與汲極端之間的高電壓，因此可使 LDMOS 電晶體元件獲得較高的崩潰電壓

(breakdown voltage)。

請參閱第 1 圖，第 1 圖為一習知 HV-LDMOS 電晶體元件之剖面示意圖。如第 1 圖所示，習知 HV-LDMOS 電晶體元件 10 係設置於一半導體基底 12 上，其具有一 P 型井 20、設置於 P 型井 20 中的一源極 14 與一高濃度之 P 型摻雜區 22、一閘極 16 與一汲極 18。汲極 18 為一高濃度之 N 型摻雜區，且設置於一 N 型井 30 中。此一 N 型井 30 即前述之漂移區域，其摻雜濃度與長度影響了 HV-LDMOS 電晶體元件 10 的崩潰電壓與導通電阻(ON-resistance, R_{ON})。HV-LDMOS 電晶體元件 10 之閘極 16 係設置於一閘極介電層 40 上，且延伸至一場氧化層 42 上方。

由於 HV MOS 電晶體元件所追求的兩個主要特性為低導通電阻以及高崩潰電壓，且這兩個要求常常是彼此衝突難以權衡的。因此目前仍需要一種可在高電壓環境下正常運作，且同時滿足低導通電阻以及高崩潰電壓兩個要求的解決途徑。

【發明內容】

因此，本發明之一目的係在於提供一提供低導通電阻與高崩潰電壓的 HV MOS 電晶體元件及其佈局圖案。

根據本發明所提供之申請專利範圍，係提供一種 HV MOS 電晶體之佈局圖案，該佈局圖案包含有一具有一第一導電型態之第一摻雜區、一具有該第一導電型態之第二摻雜區、以及一不連續形(non-continuous)摻雜區。該不連續形摻雜區係設置於該第一摻雜區與該第二摻雜區之間，且包含複數個間隔(gap)。另外該不連續形摻雜區域包含一第二導電型態，且該第二導電型態與該第一導電型態互補(complementary)。

根據本發明所提供之申請專利範圍，更提供一種 HV MOS 電晶體元件，包含有一其上形成有一絕緣層之基底、一設置於該基底上且覆蓋部分該絕緣層之閘極、一設置於該基底內且具有一第一導電型態之汲極區域、一設置於該基底內且包含該第一導電型態之源極區域、以及一設置於該源極區域與該汲極區域之間且包含複數個間隔的不連續形摻雜區。該不連續摻雜區包含一第二導電型態，且該第二導電型態與該第一導電型態互補。

根據本發明所提供的 HV MOS 電晶體元件及其佈局圖案，係利用不連續形摻雜區提升 HV MOS 電晶體的崩潰電壓。此外本發明所提供的 HV MOS 電晶體元件及其佈局圖案所提供的不連續形摻雜區內包含有複數個間隔，並藉由該等間隔的插入阻斷降低不連續形摻雜區中摻雜部分的總面積，因此本發明可有效地降低導通電阻。簡單地說，本發明

所提供之 HV MOS 電晶體元件及其佈局圖案係可同時實現高崩潰電壓、低導通電阻的期望。

【實施方式】

請參閱第 2 圖至第 6 圖，第 2 圖為本發明所提供之 HV MOS 電晶體元件之佈局圖案之示意圖，其中第 3 圖與第 4 圖分別為沿第 2 圖中 A-A' 與 B-B' 切線所獲得之剖面示意圖。如第 2 圖至第 4 圖所示，本較佳實施例所提供之 HV MOS 電晶體元件 100 係設置於一基底 102，例如一矽基底上。基底 102 具有一第一導電型態，在本較佳實施例中該第一導電型態為 p 型。HV MOS 電晶體元件 100 更包含一絕緣層 104，但值得注意的是，為了清楚表現 HV MOS 電晶體元件 100 中某些特定摻雜區域的相對關係，第 2 圖中係將絕緣層 104 省略。

請繼續參閱第 2 圖至第 6 圖。本較佳實施例所提供之 HV MOS 電晶體元件 100 尚包含一深井區 106，深井區 106 係包含一第二導電型態，第二導電型態係與第一導電型態互補 (complementary)，因此在本較佳實施例中第二導電型態為 n 型。在深井區 106 中，係形成有一漂移區 108 (僅示於第 3 圖與第 4 圖) 與一高壓井區 110 (亦僅示於第 3 圖與第 4 圖)。漂移區 108 包含第二導電型態；而高壓井區 110 則包含第一導電型態。換句話說 HV MOS 電晶體元件 100 包含一 n 型的

漂移區 108 與一 p 型的高壓井區 110。在 n 型的漂移區 108 中，係形成有一第一摻雜區 112；而在高壓井區 110 中，則形成有一第二摻雜區 114 與一第三摻雜區 116。第一摻雜區 112 與第二摻雜區 114 具有第二導電型態，且分別作為 HV MOS 電晶體元件 100 的 n 型汲極區域與 n 型源極區域。第三摻雜區 116 係包含第一導電型態，用以作為 HV MOS 電晶體元件 100 的 p 型基體(body)區域。如第 2 圖至第 4 圖所示，基體區域（即第三摻雜區 116）係與源極區域（即第二摻雜區 114）電性連接。

HV MOS 電晶體元件 100 亦包含一閘極 130，但值得注意的是，為了清楚表現 HV MOS 電晶體元件 100 中某些特定摻雜區域的相對關係，第 2 圖中亦將閘極 130 省略。如第 3 圖與第 4 圖所示，閘極 130 係設置於基底 102 上，且覆蓋部分絕緣層 104。

請仍然參閱第 2 圖至第 4 圖。本較佳實施例所提供之 HV MOS 電晶體元件 100 更包含一不連續形(non-continuous)摻雜區 120，其包含第一導電型態，用以作為一 p 型摻雜區（又可稱為 p-top 區域）。如第 2 圖至第 4 圖所示，p 型的不連續形摻雜區 120 係設置於汲極區域（第一摻雜區 112）與源極區域（第二摻雜區 114）之間，且汲極區域（第一摻雜區 112）、源極區域（第二摻雜區 114）、與該不連續形摻雜區 120 彼此

分隔設置，並利用深井區 106 電性隔離汲極區域（第一摻雜區 112）、源極區域（第二摻雜區 114）、與不連續形摻雜區 120。如第 2 圖與第 4 圖所示，不連續形摻雜區 120 內更包含複數個間隔(gap) 122，用以切斷(interrupt) p 型摻雜區，且間隔 122 之寬度小於等於 9 微米(micrometer, μm)。另外如第 3 圖與第 4 圖所示，絕緣層 104 係完全覆蓋不連續形摻雜區 120 及其間隔 122。

請重新參閱第 2 圖。根據本較佳實施例，設置於絕緣層 104 下方，且導電型態互補於 n 型源極區域(第二摻雜區 114) 與 n 型汲極區域（第一摻雜區 112）的 p 型的不連續形摻雜區 120 係可提升 HV MOS 電晶體元件 100 的電阻值。當高壓訊號流經此一路徑時，會因為電阻值的增加使得本實施例的壓降能力有效提升，繼而使輸出的訊號成為低壓訊號。換句話說，藉由 p 型的不連續形摻雜區 120 的設置，HV MOS 電晶體元件 100 的崩潰電壓係可有效地提升。

然而，HV MOS 電晶體元件 100 的導通電阻的提升並非業者所樂見，因此本較佳實施例更於 p 型的不連續形摻雜區 120 中形成複數個切斷 p 形摻雜區的間隔 122。由於間隔 122 的設置可降低 p 型的不連續形摻雜區 120 中摻雜部分的面積，且提供電子一較為簡易的路徑，故可有效地降低 R_{ON} 。值得注意的是，由於高崩潰電壓與低導通電阻係為兩個彼此

衝突的要求，因此本較佳實施例中，間隔 122 之總面積佔不連續形摻雜區 120 之面積的百分比小於等於 20%，且間隔 122 之寬度小於等於 9 微米(μm)，以在降低導通電阻的同時仍然滿足高崩潰電壓的要求。

另外請參閱第 5 圖。值得注意的是，為清楚表示不連續形摻雜區 120 的佈局圖案，第 5 圖中僅繪示出不連續形摻雜區 120 及其間隔 122，然而熟習該項技藝之人士應可根據前述第 2 圖至第 4 圖思及不連續形摻雜區 120 與其他組成元素的空間相對關係。如第 5 圖所示，在本較佳實施例中，不連續形摻雜區 120 可更定義包含有一中心部分(inner portion) 140 與一外圍部分(outer portion) 142。詳細地說，不連續形摻雜區 120 係沿深井區 106 邊緣排列而呈一跑道形狀或梳子形狀；間隔 122 亦沿著深井區 106 邊緣排列並呈一跑道形狀或梳子形狀。且梳子基部、最外側兩梳齒、以及各梳齒前端皆定義為外圍部分 142，而內側梳齒以及梳齒底部則定義為中心部分 140。值得注意的是，設置於中心部分 140 的間隔 122 具有一第一圖案密度 D_1 ，設置於外圍部分 142 之間隔 122 則具有一第二圖案密度 D_2 ，且第一圖案密度 D_1 小於第二圖案密度 D_2 。舉例來說，設置於中心部分 140 之間隔 122 之總面積佔不連續形摻雜區 120 之面積的百分比 R_1 小於等於 15%；而設置於外圍部分 142 之間隔 122 之總面積佔不連續形摻雜區 120 之面積的百分比 R_2 小於等於 25%，且中心部

分 140 之間隔 122 之總面積佔不連續形摻雜區 120 之面積的百分比 R_1 與外圍部分 142 之間隔 122 之總面積佔不連續形摻雜區 120 之面積的百分比 R_2 之差可為 7%，但不限於此。這是因為在 HV MOS 電晶體元件 100 中，對應於外圍部分 142 的 n 型深井區 106 會因摻雜製程關係而具有較低的摻雜濃度，而導致 HV MOS 電晶體 100 對應於外圍部分 142 處有較高的導通電阻。因此本較佳實施例提供之設置於外圍部分 142 之間隔 122 的第二圖案密度 D_2 較高。換句話說，外圍部分 142 之間隔 122 的總面積較大，故可在不影響崩潰電壓的前提下降低 HV MOS 電晶體元件 100 對應於外圍部分 142 的導通電阻。

另外請參閱第 6 圖。如前所述，為清楚表示不連續形摻雜區 120 的佈局圖案，第 6 圖中僅繪示出不連續形摻雜區 120 及其間隔 122，然而熟習該項技藝之人士應可根據前述第 2 圖至第 4 圖思及不連續形摻雜區 120 與其他組成元素的空間相對關係。如第 6 圖所示，在本較佳實施例中，不連續形摻雜區 120 可更定義為包含複數個角落部分 (corner area) 150 與複數個直線部分 (straight-line area) 152。如前所述，不連續形摻雜區 120 係沿深井區 106 邊緣排列而呈一梳子形狀，而如第 6 圖所示，凡具有排列成圓弧形狀的不連續形摻雜區 120 皆被定義為一角落部分 150，而排列成直線的不連續形摻雜區 120 則被定義為直線部分 152。值得注意的是，設置

於角落部分 150 之間隔 122 具有一第三圖案密度 D_3 ，設置於直線部分 152 之間隔 122 則具有一第四圖案密度 D_4 ，且第三圖案密度 D_3 大於第四圖案密度 D_4 。這是因為在 HV MOS 電晶體元件 100 中，對應於角落部分 150 的部分具有較大的電場，而導致 HV MOS 電晶體 100 在對應角落部分 150 處有較高的導通電阻。因此本較佳實施例提供之設置於角落部分 150 之間隔 122 的第三圖案密度 D_3 較高。換句話說，角落部分 150 之間隔 122 的總面積較大，故可在不影響崩潰電壓的前提下降低 HV MOS 電晶體元件 100 對應於角落部分 150 的導通電阻。

綜上所述，根據本發明所提供的 HV MOS 電晶體元件及其佈局圖案，係利用不連續形摻雜區提升 HV MOS 電晶體的崩潰電壓。此外由於不連續形摻雜區內包含有複數個間隔，而該等間隔的插入與阻斷降低了不連續形摻雜區中摻雜部分的總面積，因此本發明可有效地降低導通電阻。且該等間隔的圖案密度以及大小係可依據摻雜濃度高低以及電場大小等差異調整，故可在不影響崩潰電壓的前提下，不僅降低 HV MOS 電晶體元件的導通電阻，更達到平衡 HV MOS 電晶體元件內部導通電阻之目的。簡單地說，本發明所提供之 HV MOS 電晶體元件及其佈局圖案係可同時實現高崩潰電壓、低導通電阻的期望。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為一習知 HV-LDMOS 電晶體元件之剖面示意圖。

第 2 圖至第 6 圖為本發明所提供之 HV MOS 電晶體之佈局圖案之示意圖，其中第 3 圖與第 4 圖分別為沿第 2 圖中 A-A' 與 B-B' 切線所獲得之剖面示意圖。

【主要元件符號說明】

10	高壓橫向雙擴散金氧半導體電晶體元件		
12	半導體基底	14	源極
16	閘極	18	汲極
20	P 型井	22	P 型摻雜區
30	N 型井	40	閘極介電層
42	場氧化層		
100	高壓金氧半導體電晶體元件		
102	基底	104	絕緣層
106	深井區	108	漂移區
110	高壓井區	112	第一摻雜區
114	第二摻雜區	116	第三摻雜區
120	不連續形摻雜區	122	間隔
130	閘極	140	中心部分

104年11月27日修正替換頁

142	外圍部分	150	角落部分
152	直線部分		

七、申請專利範圍：

1. 一種高壓金氧半導體電晶體之佈局圖案，包含有：
 - 一第一摻雜區，具有一第一導電型態；
 - 一第二摻雜區，具有該第一導電型態；以及
 - 一不連續形(non-continuous)摻雜區，設置於該第一摻雜區與該第二摻雜區之間且包含複數個間隔(gap)，該不連續形摻雜區域包含一第二導電型態，且該第二導電型態與該第一導電型態互補(complementary)。
2. 如申請專利範圍第 1 項所述之佈局圖案，其中該第一摻雜區、該第二摻雜區、與該不連續形摻雜區彼此分隔設置。
3. 如申請專利範圍第 1 項所述之佈局圖案，其中該等間隔之總面積佔該不連續形摻雜區之面積的百分比小於等於 20%。
4. 如申請專利範圍第 1 項所述之佈局圖案，其中該等間隔之寬度小於等於 9 微米((micrometer, μm))。
5. 如申請專利範圍第 1 項所述之佈局圖案，其中該不連續形摻雜區更定義有一中心部分(inner portion)與一外圍部分(outer portion)。

6. 如申請專利範圍第 5 項所述之佈局圖案，其中設置於該中心部分之該等間隔具有一第一圖案密度，設置於該外圍部分之間隔具有一第二圖案密度，且該第一圖案密度小於該第二圖案密度。
7. 如申請專利範圍第 5 項所述之佈局圖案，其中設置於該中心部分之該等間隔之總面積佔該不連續形摻雜區之面積的百分比小於等於 15%。
8. 如申請專利範圍第 5 項所述之佈局圖案，其中設置於該外圍部分之該等間隔之總面積佔該不連續形摻雜區之面積的百分比小於等於 25%。
9. 如申請專利範圍第 1 項所述之佈局圖案，其中該不連續形摻雜區更定義有複數個角落部分(corner area)與複數個直線部分(straight-line area)。
10. 如申請專利範圍第 9 項所述之佈局圖案，其中設置於該角落部分之該等間隔具有一第三圖案密度，設置於該直線部分之間隔具有一第四圖案密度，且該第三圖案密度大於該第四圖案密度。
11. 一種高壓金氧半導體(high voltage

metal-oxide-semiconductor, HV MOS)電晶體元件，包含有：

- 一基底，其上形成有一絕緣層；
- 一閘極，設置於該基底上，且覆蓋部分該絕緣層；
- 一汲極區域，設置於該基底內，且該汲極區域具有一第一導電型態；
- 一源極區域，設置於該基底內，且該源極區域包含該第一導電型態；以及
- 一不連續形摻雜區，設置於該源極區域與該汲極區域之間，且包含複數個間隔，該不連續形摻雜區包含一第二導電型態，且該第二導電型態與該第一導電型態互補。

12. 如申請專利範圍第 11 項所述之 HV MOS 電晶體元件，其中該等間隔之總面積佔該不連續形摻雜區之面積的百分比小於等於 20%。

13. 如申請專利範圍第 11 項所述之 HV MOS 電晶體元件，其中該等間隔之寬度小於等於 9 微米。

14. 如申請專利範圍第 11 項所述之 HV MOS 電晶體元件，更包含一深井區(deep well)，設置於該基底內，且該深井區包含該第一導電型態。

15. 如申請專利範圍第 14 項所述之 HV MOS 電晶體元件，

其中該源極區域、該汲極區域、與該不連續形摻雜區皆設置於該深井區內。

16. 如申請專利範圍第 15 項所述之 HV MOS 電晶體元件，其中該源極區域、該汲極區域、與該不連續形摻雜區彼此分隔設置。

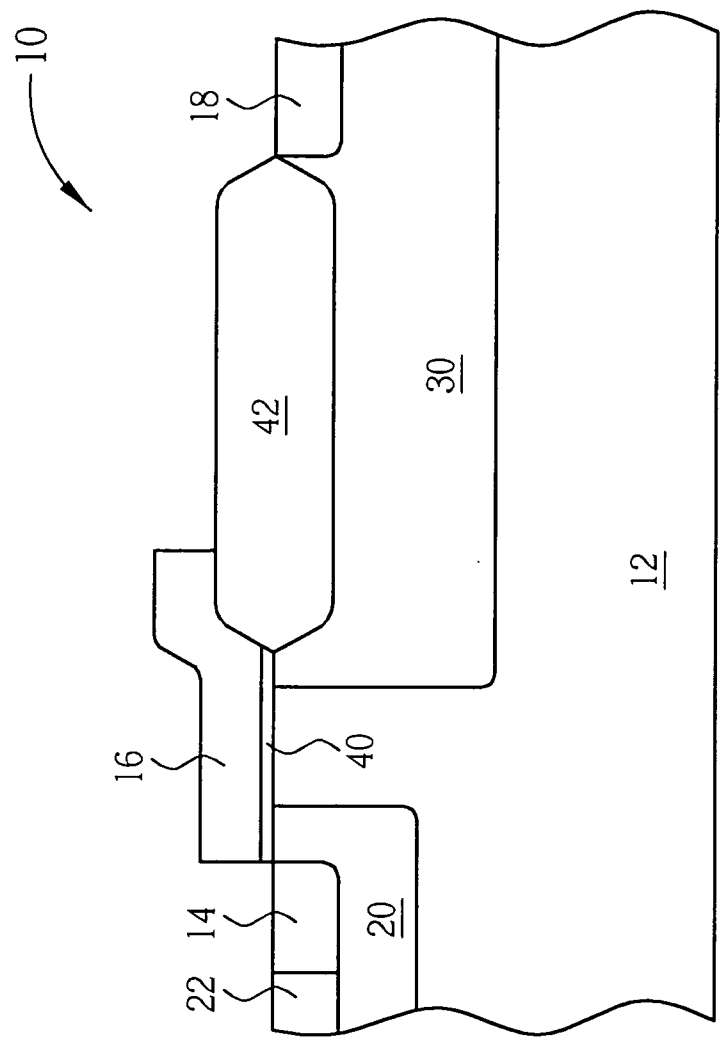
17. 如申請專利範圍第 15 項所述之 HV MOS 電晶體元件，其中該源極區域、該汲極區域、與該不連續形摻雜區域係藉由該深井區彼此電性隔離。

18. 如申請專利範圍第 15 項所述之 HV MOS 電晶體元件，其中該等間隔係排列呈一梳子狀。

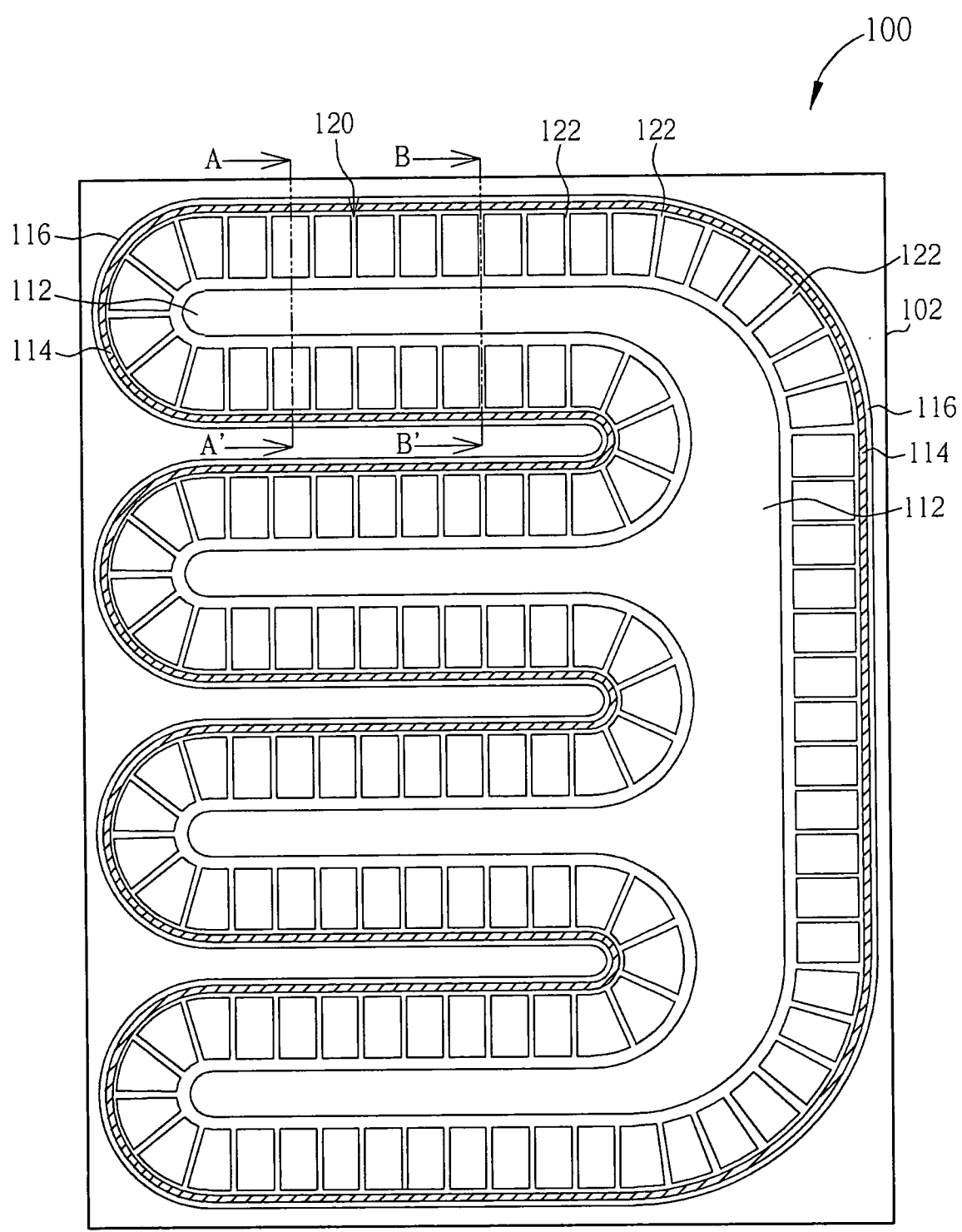
19. 如申請專利範圍第 11 項所述之 HV MOS 電晶體元件，其中該絕緣層係完全覆蓋該不連續形摻雜區域與該等間隔。

20. 如申請專利範圍第 11 項所述之 HV MOS 電晶體元件，更包含一基體(body)區域，與該源極區域電性連接，且該基體區域包含該第一導電型態。

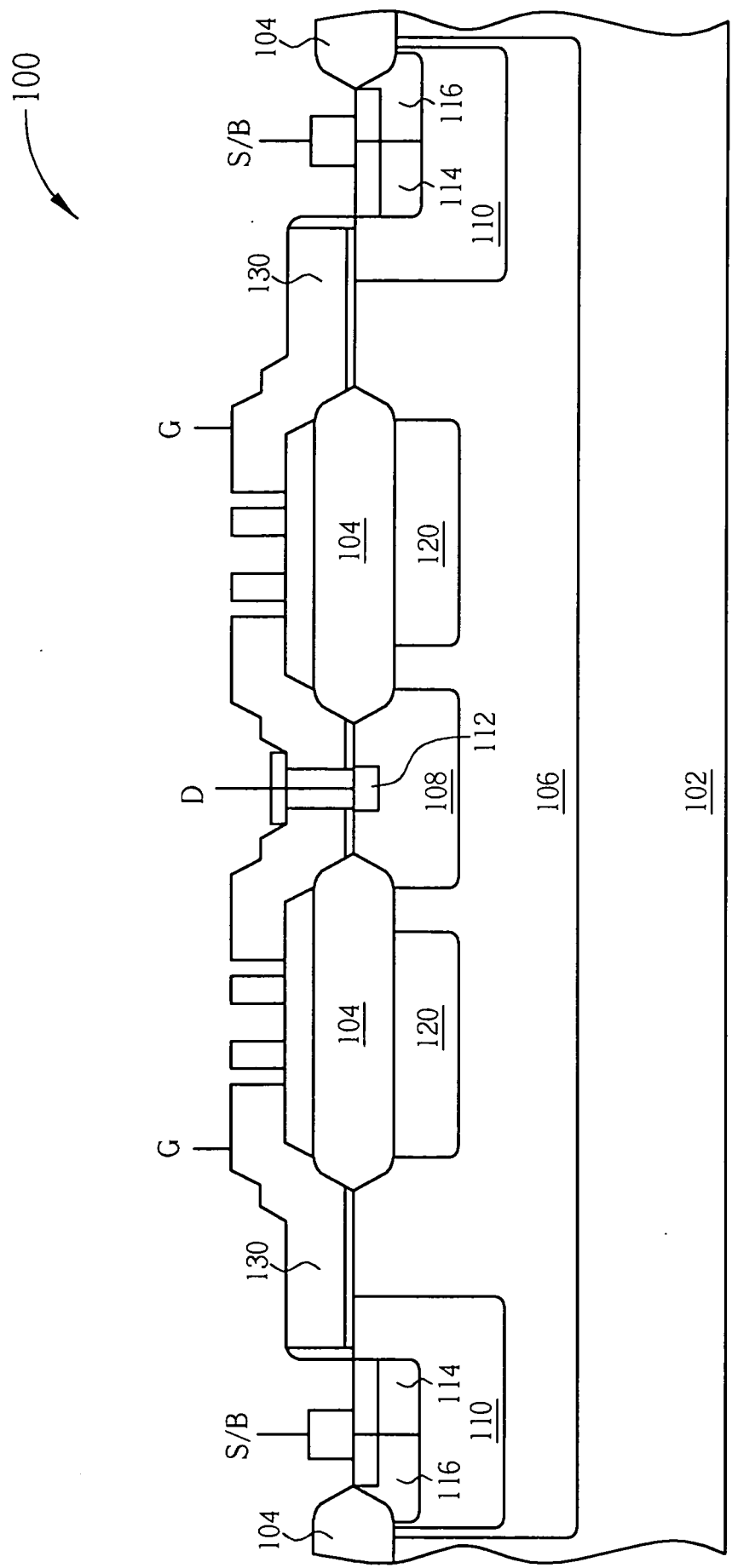
八、圖式：



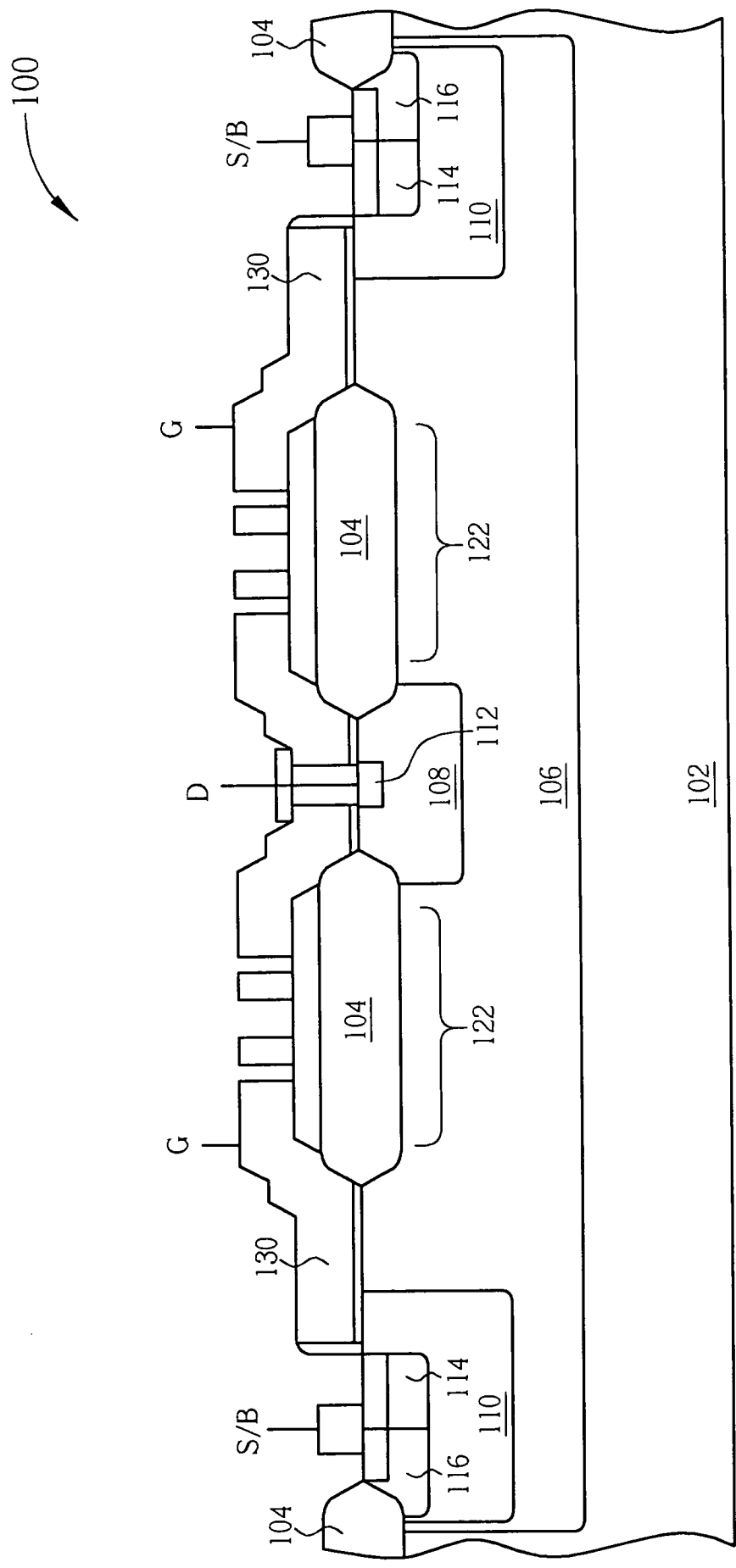
第1圖



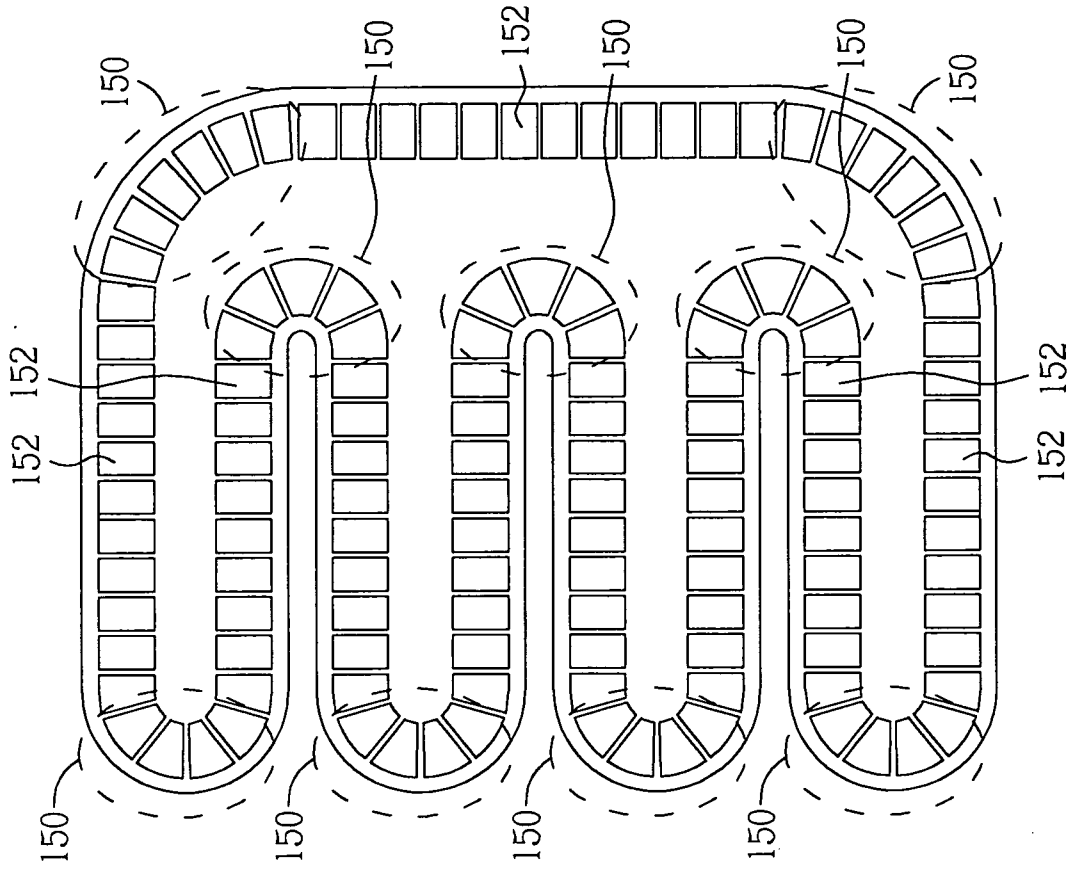
第2圖



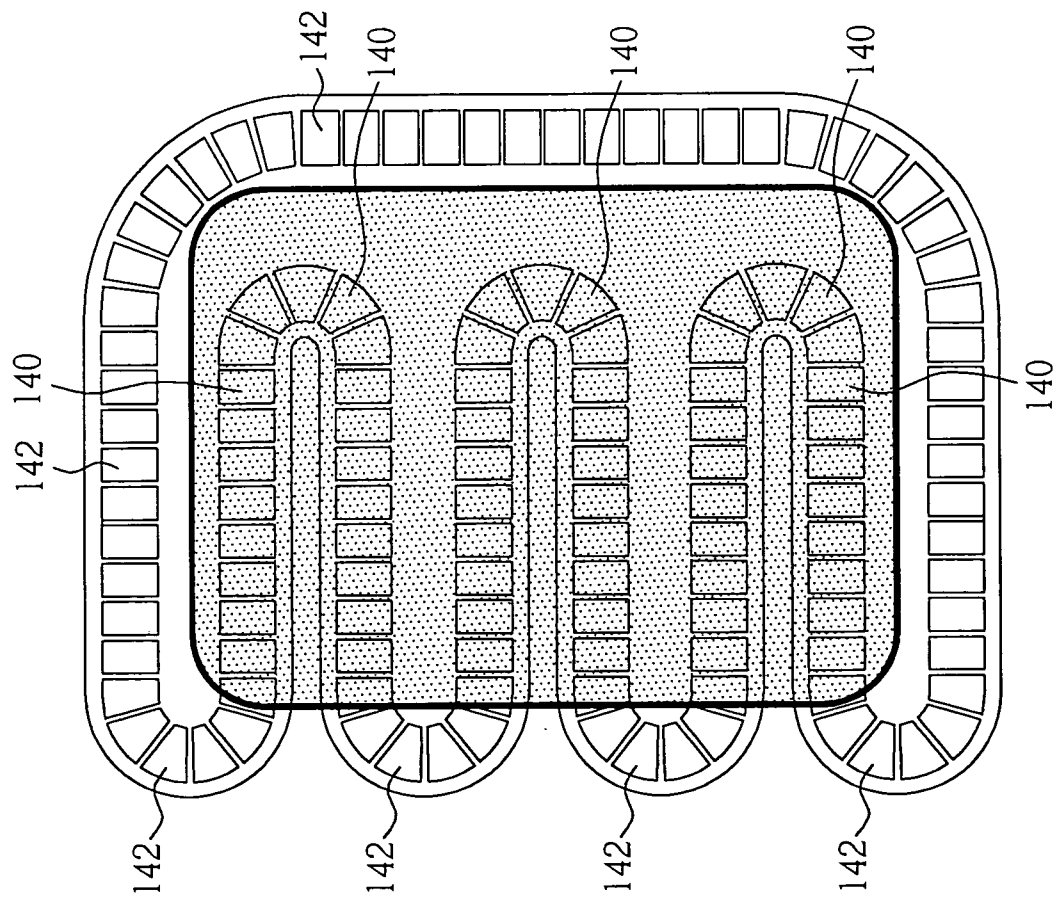
第3圖



第4圖



第6圖



第5圖