



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201104839 A1

(43)公開日：中華民國 100 (2011) 年 02 月 01 日

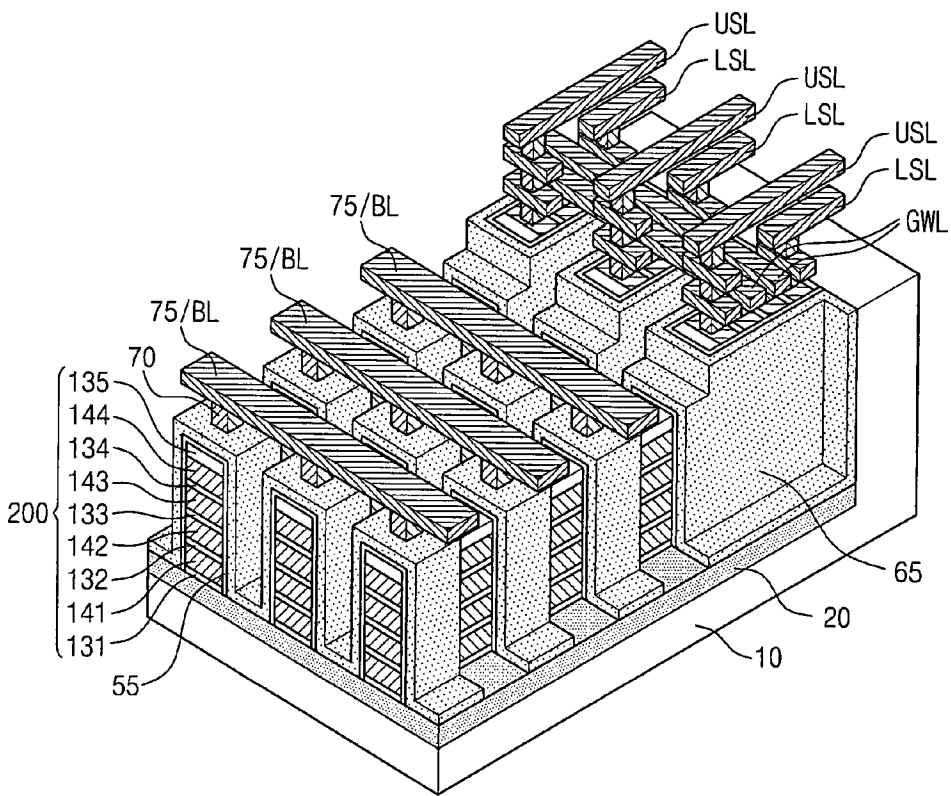
(21)申請案號：098142912 (22)申請日：中華民國 98 (2009) 年 12 月 15 日
(51)Int. Cl. : *H01L27/10 (2006.01)* *H01L23/52 (2006.01)*
(30)優先權：2009/07/23 美國 61/227,863
2009/12/08 南韓 10-2009-0121107
(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓
美國加利福尼亞大學董事會 (美國) THE REGENTS OF THE UNIVERSITY OF
CALIFORNIA (US)
美國
(72)發明人：金志永 KIM, JI YOUNG (KR)；韓禎希 HAN, JEONG HEE (US)；洪 奧古司汀
金武 HONG, AUGUSTIN JINWOO (US)；朴用稷 PARK, YONG JIK (KR)；王 康
L WANG, KANG L. (US)
(74)代理人：陳長文；林嘉興
申請實體審查：無 申請專利範圍項數：12 項 圖式數：27 共 68 頁

(54)名稱

記憶體半導體裝置，記憶體半導體裝置之製造方法及操作方法

(57)摘要

本發明提供一種記憶體半導體裝置、其製造方法及操作方法。記憶體半導體裝置可包含：複數個半導體圖案，其具有與基板之上部表面垂直之長軸，且呈二維排列；以及複數條字元線，其具有橫穿複數個半導體圖案之長軸，並且在複數個半導體圖案間呈三維排列。



- 10：基板
- 20：下部配線
- 55：資訊儲存圖案
- 65：半導體圖案
- 70：插塞
- 75：上部配線
- 131：絕緣膜圖案
- 132：絕緣膜圖案
- 133：絕緣膜圖案
- 134：絕緣膜圖案
- 135：絕緣膜圖案
- 141：中間配線
- 142：中間配線
- 143：中間配線
- 144：中間配線
- 200：中間配線構造體
- BL：位元線
- GWL：全域字元線
- LSL：下部選擇線
- USL：上部選擇線



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201104839 A1

(43)公開日：中華民國 100 (2011) 年 02 月 01 日

(21)申請案號：098142912 (22)申請日：中華民國 98 (2009) 年 12 月 15 日
(51)Int. Cl. : *H01L27/10 (2006.01)* *H01L23/52 (2006.01)*
(30)優先權：2009/07/23 美國 61/227,863
2009/12/08 南韓 10-2009-0121107
(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓
美國加利福尼亞大學董事會 (美國) THE REGENTS OF THE UNIVERSITY OF
CALIFORNIA (US)
美國
(72)發明人：金志永 KIM, JI YOUNG (KR)；韓禎希 HAN, JEONG HEE (US)；洪 奧古司汀
金武 HONG, AUGUSTIN JINWOO (US)；朴用稷 PARK, YONG JIK (KR)；王 康
L WANG, KANG L. (US)
(74)代理人：陳長文；林嘉興
申請實體審查：無 申請專利範圍項數：12 項 圖式數：27 共 68 頁

(54)名稱

記憶體半導體裝置，記憶體半導體裝置之製造方法及操作方法

(57)摘要

本發明提供一種記憶體半導體裝置、其製造方法及操作方法。記憶體半導體裝置可包含：複數個半導體圖案，其具有與基板之上部表面垂直之長軸，且呈二維排列；以及複數條字元線，其具有橫穿複數個半導體圖案之長軸，並且在複數個半導體圖案間呈三維排列。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置、其製造方法及操作方法。

【先前技術】

為了滿足消費者所要求之優異性能及廉價，需要使半導體裝置之集成度增加。於記憶體半導體裝置之情形時，其集成度為決定產品價格之重要因素，因此特別需要經增加之集成度。於先前之二維或平面性記憶體半導體裝置之情形時，其集成度主要取決於單位記憶胞所佔之面積，因此對微細圖案形成技術之水準會帶來較大影響。然而，為了圖案之微細化，需要超高價格之裝備，因此二維記憶體半導體裝置之集成度雖在增加，卻仍舊存在限制。

【發明內容】

[發明所欲解決之問題]

本發明係鑒於上述問題點開發而成者，其目的在於提供一種具有經增加之集成度之記憶體半導體裝置。

本發明之另一目的在於提供一種具有經增加之集成度之記憶體半導體裝置的製造方法。

本發明之另一目的在於提供一種具有經增加之集成度之記憶體半導體裝置的操作方法。

[解決問題之技術手段]

為了達成上述目的，本發明之態樣之記憶體半導體裝置包含：複數個半導體圖案，其具有與基板之上部表面垂直

的長軸，並且呈二維排列；以及複數條字元線，其具有橫穿上述複數個半導體圖案之長軸，且在上述半導體圖案之間呈三維排列。

根據一實施形態，可進而包含插入於上述半導體圖案與上述字元線之間之資訊儲存膜圖案(例如，電荷儲存膜)。

根據一實施形態，上述字元線構成為控制與其鄰接之上述半導體圖案之電位。或者，排列於相同層之字元線之配置構造與排列於其他層之字元線之配置構造實質上相同。

根據一實施形態，上述記憶體半導體裝置可進而包含：共用源極電極，其係將複數個上述半導體圖案之下部區域加以電性連接；以及位元線，其係沿著橫穿上述字元線之方向將複數個上述半導體圖案之上部區域加以電性連接。

根據一實施形態，上述基板可為包含雜質擴散區域之半導體基板，於此情形時，上述雜質擴散區域可用作將複數個上述半導體圖案之下端加以電性連接之共用源極電極。

根據一實施形態，可於上述基板與上述字元線之間形成用作共用源極電極之導電膜。

根據一實施形態，可於上述複數條字元線之間進而形成用作共用源極電極之與上述字元線平行之導電圖案。

根據本發明之實施形態，上述基板可包含單元(cell)陣列區域、及形成於上述單元陣列區域之周圍之核心區域。於此情形時，上述基板之上部表面在上述單元陣列區域可較在上述核心區域進而更低。根據一實施形態，上述字元線之各個可包含與上述基板之上部表面平行之配線區間、

及向上述基板之上部表面傾斜之接觸區間。此時，上述接觸區間可形成於上述單元陣列區域之鄰接於上述核心區域之區域。又，上述字元線係其配線區間越自上述基板之上部表面更遠地隔開，其接觸區間越自上述核心區域隔開而形成。根據一實施形態，上述字元線之接觸區間之上部表面可形成為實質上相同之高度。

又，為了達成上述技術性課題，本發明之記憶體半導體裝置可包括：下部配線；至少1個上部配線，其配置於上述下部配線之上；至少1個中間配線構造體，其包含依序積層之複數條中間配線，並且配置於上述下部配線與上述上部配線之間；至少1個半導體圖案，其配置於上述中間配線構造體之側面，用以將上述下部配線與上述上部配線加以連接；以及至少1個資訊儲存圖案，其配置於上述半導體圖案與上述中間配線構造體之間。

根據一實施形態，上述中間配線之各個可為與上述上部配線交叉之線形圖案。

根據本發明之實施形態，上述半導體圖案可包含連接於上述上部配線之上部雜質區域、及配置於上述中間配線構造體之側壁以將上述上部雜質區域與上述下部配線加以連接之通道區域。此時，上述通道區域可具有與上述上部雜質區域不同之導電型態，或者處於未摻雜之狀態。根據一實施形態，對上述上部配線及上述下部配線所施加之電壓向上述通道區域之傳送，可由與上述上部配線及上述下部配線之各個最鄰接的一對中間配線來控制。

又，為了達成上述一技術性課題，本發明之記憶體半導體裝置之製造方法包含形成依序且反覆地積層之絕緣膜圖案、以及包含中間配線之至少1個中間配線構造體之階段。具體而言，該方法可包含如下階段：於基板上形成上述中間配線構造體，並且形成覆蓋至少上述中間配線構造體之側壁之至少1個資訊儲存膜圖案、以及至少1個半導體圖案之後，形成連接於上述半導體圖案且橫穿上述中間配線之至少1條位元線。

又，為了達成上述一技術性課題，用以驅動本發明之記憶體半導體裝置之操作方法包含：半導體圖案，其具有與基板之上部表面垂直之長軸，並且呈二維排列；以及字元線，其具有橫穿上述半導體圖案之長軸，並且在上述半導體圖案之間呈三維排列。具體而言，該記憶體半導體裝置可進而包含：共用源極電極，其係將複數個上述半導體圖案之下部區域加以電性連接；以及位元線，其係沿著橫穿上述字元線之方向將複數個上述半導體圖案之上部區域加以電性連接；上述操作方法可包含如下階段：利用對字元線所施加之電壓來控制半導體圖案之電位，藉此控制半導體圖案與共用源極電極或位元線間之電性連接。

[發明之效果]

根據本發明之實施形態，呈三維排列之複數條字元線配置於具有與該等垂直之長軸、且呈二維排列之複數個半導體圖案之間。由於複數條字元線呈三維排列，因此本發明之記憶體元件不僅具有經增加之集成度，而且各個記憶胞

可獨立地控制。

另一方面，已提出一部分如下之方法：藉由依序積層呈二維排列之複數個記憶胞，來實現三維記憶胞。然而，如此之類的方法由於係基於步驟階段之反覆，因此製造費用大幅增加。然而，根據本發明，複數條字元線及用作通道區域之複數個半導體圖案實際上可經過1次步驟階段而形成。因此，根據本發明，可製作呈三維排列之記憶體元件，而不會因步驟階段之增加而引起製造費用明顯增加。

【實施方式】

以上之本發明之目的、其他目的、特徵及優點應該可透過隨附之圖式以及相關之以下較理想的實施形態而容易地得到理解。然而，本發明並不限定於此處所說明之實施形態，而可具體化為其他形態。且說，此處所介紹之實施形態係為使所揭示之內容澈底而完全，並且為使本發明之思想充分傳達至業者而提供。

在本說明書中，於言及某膜位於不同之膜或基板上之情形時，係指其可直接形成於不同之膜或基板上，或者可於該等之間插入有第3膜。又，於圖式中，膜及區域之厚度係為了有效說明技術性內容而被誇張表示。又，於本說明書之各種實施形態中第1、第2、第3等之用語係用以記述各種區域、膜等，但是該等區域、膜並不由上述用語來限定。該等用語僅係用以使某特定區域或膜與其他區域或膜相區別。因此，言及某一實施形態之第1膜質之膜質於其他實施形態中可能言及第2膜質。此處所說明、例示之各

實施形態亦包含其詳細補充的實施形態。

圖1係表示本發明之一實施形態之半導體裝置之立體圖。

參照圖1，於基板10上配置中間配線構造體200。上述中間配線構造體200包含依序反覆積層之複數個絕緣膜圖案131、132、133、134、135及複數條中間配線141、142、143、144。於上述中間配線構造體200之側壁配置至少1個半導體圖案65，於上述半導體圖案65與上述中間配線構造體200之間配置資訊儲存圖案55。於上述半導體圖案65與上述基板10之間可配置將上述半導體圖案65之複數個下部區域加以連接之下部配線20，於上述中間配線構造體200之上部可配置與上述複數個半導體圖案65連接之上部配線75。

上述基板10可包含半導體、導電性物質及絕緣性物質中之至少1個。根據一實施形態，上述基板10為單晶構造之矽膜，上述下部配線20可為形成於上述基板10內之雜質擴散區域。於此情形時，上述基板10與用作上述下部配線20之雜質擴散區域可具有互不相同之導電型態。

上述半導體圖案65可為單晶半導體或多晶半導體。此時，於上述下部配線20為雜質擴散區域之情形時，上述半導體圖案65可以構成上述下部配線20與二極體之方式具有與上述下部配線20不同之導電型態。根據一實施形態，上述半導體圖案65可為未摻雜之狀態之半導體(intrinsic semiconductor，本質半導體)。

另一方面，以後參照圖20及圖21進行說明，上述下部配線20可由導電性物質形成，於此情形時，為了實現如上述二極體般之整流元件，上述半導體圖案65包括具有互不相同之導電型態之至少2個部分。例如，配置於上述複數條中間配線141~144周邊之上述半導體圖案65之一部分區域(以下，稱為本體部)B，可於導電型態方面與接觸於上述下部配線20之上述半導體圖案65之其他區域(源極區域)不同。而且，上述半導體圖案65之上部區域之一部分(以下，稱為汲極區域)D可形成為具有與上述本體部B不同之導電型態。

上述半導體圖案65如圖所示，可自上述中間配線構造體200之一側面延長，而與配置於上述中間配線構造體200之另一側面之其他半導體圖案65連接。於此情形時，上述半導體圖案65亦配置於上述中間配線構造體200之上部表面上，上述上部配線75可經由特定之插塞70，而與上述中間配線構造體200之上部表面上所形成之上述半導體圖案65連接。

上述複數條中間配線141~144可為複數個導電性物質中之至少1個。例如，上述複數條中間配線141~144可包含經摻雜之半導體、複數個金屬、複數個金屬氮化物及金屬矽化物中之至少1個。此時，上述中間配線141~144可形成於與上述上部配線75交叉之方向。

根據本發明之一態樣，上述複數條中間配線141~144可藉由控制上述半導體圖案65之電位，而控制上述上部配線

75與上述下部配線20之間之電性連接。更具體而言，上述半導體圖案65可藉由與上述中間配線141~144電容耦合(capacitively coupled)，而構成MOS(Metal Oxide Semiconductor，金屬氧化物半導體)電容器。於此情形時，對上述中間配線141~144所施加之電壓能夠可變地控制與其鄰接之上述半導體圖案65之電位，且上述半導體圖案65之能帶可藉由對上述中間配線141~144所施加之電壓而反轉(inversion)。因此，上述上部配線75與上述下部配線20之間之電性連接可藉由對構成上述中間配線構造體200之複數條中間配線141~144所施加之電壓而控制。

另一方面，如此之電性連接可於在上述複數條中間配線141~144各自之側面所反轉之複數個區域互相重疊時實現。上述複數條中間配線141~144之間的絕緣膜圖案132~134能夠以小於上述被反轉之區域之最大寬度之2倍的厚度而形成，以使得如此之複數個反轉區域可重疊。上述絕緣膜圖案131~135可為複數個絕緣性物質中之至少1個，可包含氧化矽膜、氮化矽膜及氮氧化矽膜中之至少1個。然而，最上部之絕緣膜圖案135可於後續圖案化步驟中用作蝕刻遮罩，因此能夠以較其他複數個絕緣膜圖案131~134更厚之厚度而形成。而且，根據快閃記憶體裝置之本發明之實施形態，可向上述最下部中間配線141施加使與上述基板10或上述下部配線20之間之絕緣破壞(breakdown)現象發生之高電壓。因此，最下部之絕緣膜圖案131如圖所示，能夠以較插入於上述複數條中間配線

141~144之間之複數個絕緣膜圖案131~134更厚的厚度而形成。

根據本發明之另一態樣，上述中間配線141~144可與上述半導體圖案65一併用以變更上述資訊儲存圖案55中所儲存之資訊。根據上述本發明之一態樣，當獨立地調節對上述複數條中間配線141~144之各個所施加之電壓時，特定之中間配線側面之半導體圖案65可選擇性地連接於上述上部配線75或上述下部配線20中之一個。即，與特定之中間配線(例如，142)相對向之半導體圖案65之一部分區域可根據對其他複數條中間配線141、143、144所施加之電壓，而與上述上部配線75或上述下部配線20處於相等電位。因此，當對上述經選擇之中間配線142施加與上述上部配線75或上述下部配線20不同之電壓時，可於該資訊儲存圖案55之兩端生成可用以變更資訊之電位差。

根據本發明之一態樣，上述資訊儲存圖案55、上述半導體圖案65及上述中間配線141~144均可用作構成MOS電晶體之電容器介電膜。因此，上述資訊儲存圖案55包含絕緣性物質中之至少1個。

根據本發明之另一態樣，上述資訊儲存圖案55可與上述半導體圖案65及上述中間配線141~144一併構成MOS電晶體。於此情形時，上述半導體圖案65用作通道區域，上述中間配線141~144用作閘極電極，上述資訊儲存圖案55用作閘極絕緣膜。此時，上述絕緣膜圖案55側面之半導體圖案65之一部分區域係藉由對上述中間配線141~144所施加

之電壓而反轉，因此可用作上述MOS電晶體之源極/汲極電極。上述半導體圖案65配置於上述複數條中間配線141~144之側壁，因此將其用作通道區域之MOS電晶體之電流方向與上述基板10之上部表面垂直。

上述資訊儲存圖案55包含絕緣性物質，可包含氧化矽膜、氮化矽膜、氮氧化矽膜及高介電膜中之至少1個。此時，上述高介電膜係指具有較上述氧化矽膜更高之介電常數之複數個絕緣性物質，可包含氧化鈮膜、氧化鈦膜、氧化鈺膜、氧化鋯膜、氧化鋁膜、氧化釷膜、氧化鈮膜、氧化鈾膜、氧化鋇膜、BST(barium strontium titanate，鈦酸鋇鎂)膜及PZT(Lead Zirconate Titanate，鈦酸鉛)膜。

圖2係用以說明本發明之一實施形態之資訊儲存圖案之剖面圖。

參照圖2，上述資訊儲存圖案55可包含：隧道絕緣膜55a，其鄰接於上述半導體圖案65；結塊絕緣膜55c，其鄰接於上述中間配線構造體200；以及電荷儲存膜55b，其插入於上述隧道絕緣膜55a及上述結塊絕緣膜55c之間。

此時，上述結塊絕緣膜55c可包含氧化矽膜、氮化矽膜、氮氧化矽膜及高介電膜中之至少1個，根據一實施形態，可為包含高介電膜之多層薄膜。上述隧道絕緣膜55a可由具有較上述結塊絕緣膜55c更低之介電常數之物質所形成，上述電荷儲存膜55b可為電荷捕獲陷阱(trap site)豐富之絕緣性薄膜(例如，氮化矽膜)、或者包含複數個導電

性粒子之絕緣性薄膜。根據一實施形態，上述隧道絕緣膜55a可為氧化矽膜，上述電荷儲存膜55b可為氮化矽膜，上述結塊絕緣膜55c可為包含氧化鋁膜之絕緣膜。於此情形時，上述中間配線141~144可包含氮化鈿膜。

圖3係用以說明本發明之一實施形態之記憶體半導體裝置之單元陣列構造之電路圖。

參照圖3，本實施形態之記憶體半導體裝置包含：複數條位元線BL；共用源極電極CSL；複數個半導體圖案65，其係將上述複數條位元線BL各個與上述共用源極電極CSL之間加以連接；以及複數條中間配線140，其與上述複數個半導體圖案65相對向，並且橫穿上述複數條位元線BL。於上述半導體圖案65與上述位元線BL、或者與上述共用源極電極CSL之間可配置整流元件。於上述中間配線140與上述半導體圖案65之間可配置資訊儲存體。根據一實施形態，上述資訊儲存體如參照圖2所說明般可包含電荷儲存用薄膜。

本實施形態之記憶體半導體裝置之單位記憶胞UC包含上述半導體圖案65、與其相對向之一個中間配線140、以及插入於該等之間的資訊儲存體。此時，於上述位元線BL與上述共用源極電極CSL之間依序配置與一個半導體圖案65相對向之複數條中間配線140。因此，共有一個半導體圖案65之複數個單位記憶胞UC將上述位元線BL與上述共用源極電極CSL加以串聯連接。本實施形態之記憶體半導體裝置之單元串STR包含上述位元線BL、上述共用源極電

極 CSL、以及於該等之間串聯連接之上述複數個單位記憶胞 UC。

根據一實施形態，最鄰接於上述位元線 BL 之中間配線可用作控制上述單元串 STR 與該位元線 BL 之間的電性連接之上部選擇線 USL。而且，最鄰接於上述共用源極電極 CSL 之中間配線可用作控制上述單元串 STR 與上述共用源極電極 CSL 之間的電性連接之下部選擇線 LSL。上述上部及下部選擇線 USL、LSL 之間的複數條中間配線 140 可用作用以變更上述單位記憶胞 UC 之資訊之複數條字元線 WL。為了簡化說明，於圖式中圖示有 2 條字元線，但是上述單元串 STR 可包含更多數量之字元線。

上述複數條字元線 WL 可連接於複數個全域字元線 GWL。此時，構成一個單元串 STR 之字元線 WL 之各個連接於互不相同之全域字元線 GWL。根據一實施形態，如圖所示，上述全域字元線 GWL 係配置於與上述位元線 BL 平行之方向，用以將上述字元線 WL 加以電性連接。另一方面，於如此之上述全域字元線 GWL 與上述位元線 BL 平行之情形時，上述上部選擇線 USL 及上述下部選擇線 LSL 可形成於橫穿上述位元線 BL 之方向，以使得可選擇上述單位記憶胞 UC。

圖 4 係表示本發明之一實施形態之記憶體半導體裝置之單元陣列一部分的立體圖。本實施形態之記憶體半導體裝置具有參照上述圖 1 及圖 2 之實施形態中所說明之本發明之技術特徵。因此，為了簡化說明，對於重複之技術特徵之

說明可予以省略。

參照圖4，本實施形態之記憶體半導體裝置包括配置於基板10上之複數個中間配線構造體200。上述複數個中間配線構造體200可互相平行地配置，且其各自可包含依序並且反覆地積層之複數個絕緣膜圖案131~135、及複數條中間配線141~144。

於上述複數個中間配線構造體200之兩側面可配置橫穿上述複數個中間配線構造體200之複數個半導體圖案65。根據一實施形態，上述半導體圖案65可於上述複數個中間配線構造體200之上部表面及該等之間的底面互相連接。於此情形時，如圖所示，上述半導體圖案65能夠以橫穿上述複數個中間配線構造體200、且覆蓋上述複數個中間配線構造體200之側面之線形圖案而形成。

於上述半導體圖案65與上述中間配線構造體200之間可配置資訊儲存圖案55。根據本實施形態，上述資訊儲存圖案55如參照圖2所說明般，可包含電荷儲存膜，上述資訊儲存圖案55中所儲存之資訊可利用因上述半導體圖案65與上述中間配線141~144之間之電壓差異所產生之FN穿隧(Fowler-Nordheim turnneling，佛洛－諾罕穿隧)而變更。

於上述複數個中間配線構造體200下方之基板10內可形成下部配線20(或下部雜質區域)。上述下部雜質區域20如圖所示，不僅形成於上述複數個中間配線構造體200之下方，而且形成於該等之間的基板10內，從而可將複數個半導體圖案65加以電性連接。於上述中間配線構造體200之

上部，可配置連接於上述半導體圖案65、或者橫穿上述複數條中間配線141~144之複數個上部配線75。根據本實施形態，上述下部雜質區域20可用作共用源極電極(圖3之CSL)，上述上部配線75可用作複數條位元線(圖3之BL)，該等複數條位元線係施加用以變更上述資訊儲存圖案55中所儲存之資訊之寫入電壓、或用以讀取所儲存之資訊之讀取電壓者。

另一方面，根據本發明之一實施形態，除了與下述上部配線之連接用接觸區間以外，排列於特定層之複數條中間配線(例如，141)之配置構造可與排列於其他層之複數條中間配線(例如，142~144)之配置構造實質上相同。

圖5至圖10係用以說明本發明之一實施形態之記憶體半導體裝置之製造方法之立體圖。

參照圖5，準備具有單元陣列區域(Cell Array Region)及核心區域(Core Region)之基板10。上述單元陣列區域之上部表面形成得低於上述核心區域之上部表面。根據一實施形態，如此之構造可經由在上述單元陣列區域使上述基板10形成凹槽之圖案化階段而形成。根據另一實施形態，如此之構造可經由如下階段而形成，即，於上述基板10上形成具有與上述2個區域之間的階差相對應之厚度之特定薄膜後，於上述單元陣列區域蝕刻上述薄膜。

以後，如圖所示，於上述基板10上依序並且反覆地蒸鍍複數個絕緣膜31、32、33、34、35以及複數個導電膜41、42、43、44。此時，上述複數個絕緣膜31~35及複數個導

電膜41~44可保形地(conformal)形成於上述基板10上。上述複數個絕緣膜31~35及複數個導電膜41~44之合計厚度可小於上述單元陣列區域與上述核心區域之間的階差H。

上述複數個絕緣膜31~35可為氧化矽膜、氮化矽膜及氮氧化矽膜。另一方面，與上述複數個導電膜41~44之間所插入的複數個絕緣膜32~34之厚度可在令使圖1中所說明之反轉區域重疊(overlap of inversion regions)之技術特徵全部具備之範圍內選擇。然而，最上部之絕緣膜35可於後續圖案化步驟中用作蝕刻遮罩，因此能夠以較其他複數個絕緣膜31~34更厚之厚度而形成。而且，最下部之絕緣膜31係以較與上述複數個導電膜41~44之間所插入的複數個絕緣膜32~34更厚之厚度而形成，以可預防最下部中間配線(圖3之141)與上述基板10或下部雜質區域20間之絕緣破壞(breakdown)。

上述複數個導電膜41~44可包含經摻雜之半導體、金屬、金屬氮化物及金屬矽化物中之至少1個。如圖1所示，本發明之實施形態之記憶胞電晶體具有垂直之通道，上述複數個導電膜41~44之厚度係界定上述記憶胞電晶體之通道長度。在如此之態樣中，上述複數個導電膜41~44之厚度可在使與記憶胞電晶體之通道長度相關之技術性要求(例如，預防短通道效應)充分滿足的範圍內選擇。

根據一實施形態，於形成上述複數個絕緣膜31~35及上述複數個導電膜41~44之前，可於上述基板10之單元陣列區域形成下部雜質區域20。上述下部雜質區域20可形成為

具有與上述基板10不同之導電型態，於此情形時，可用作參照圖3所說明之共用源極電極CSL。

參照圖6，將上述複數個絕緣膜31~35及上述複數個導電膜41~44加以圖案化，形成界定使上述基板10之上部表面露出之複數個溝槽T之中間配線構造體200。上述中間配線構造體200可包含：複數個絕緣膜圖案131、132、133、134、135，其係藉由將上述複數個絕緣膜31~35及上述複數個導電膜41~44加以圖案化而形成；以及複數條中間配線141、142、143、144。如圖所示，上述複數條中間配線141~144及上述複數個絕緣膜圖案131~135之側面經露出而界定上述溝槽T。

上述複數個中間配線構造體200可於經由照相及蝕刻步驟將上述最上部絕緣膜135加以圖案化之後，經由將上述經圖案化之最上部絕緣膜135用作硬式遮罩之圖案化步驟而形成。根據變形之實施形態，可於形成上述複數個中間配線構造體200之前，進而包含如下階段，即，為了降低由上述單元陣列區域與上述核心區域之間的階差所引起之圖案化上之難度，於將上述蝕刻遮罩用之其他遮罩膜形成於基板之前面後，對其結果物進行平坦化蝕刻。

根據另一變形之實施形態，上述複數個中間配線構造體200可經由複數次圖案化階段而形成。例如，上述複數個絕緣膜31~35及上述複數個導電膜41~44可於上述核心區域及上述單元陣列區域獨立地圖案化。具體而言，如此之圖案化階段可包含如下階段，即，首先於上述核心區域將上

述薄膜加以圖案化，形成覆蓋上述經圖案化之核心區域之遮罩膜之後，將上述單元陣列區域加以圖案化。

參照圖7，於形成覆蓋上述中間配線構造體200之側面之資訊儲存膜圖案55後，於其結果物上形成半導體膜60。

上述資訊儲存膜圖案55係自上述中間配線構造體200之側面延長而覆蓋上述中間配線構造體200之上部表面。根據本實施形態，上述資訊儲存膜圖案55能夠以於上述溝槽T之底部使上述基板10之上部表面露出之方式而形成。因此，可進而實施用以於上述溝槽T之底部去除上述資訊儲存膜圖案55之蝕刻步驟。

根據變形之實施形態，為了防止上述資訊儲存膜圖案55受損，上述蝕刻步驟可於以特定之保護膜覆蓋上述資訊儲存膜圖案55之狀態下實施。例如，上述半導體膜60可經由兩次以上之蒸鍍步驟而形成，最早被蒸鍍之半導體膜可用作上述保護膜。

根據一實施形態，上述資訊儲存膜圖案55可包含電荷儲存膜。例如，上述資訊儲存膜圖案55可包含如圖2所示依序積層之結塊絕緣膜55c、電荷儲存膜55b及隧道絕緣膜55a。上述結塊絕緣膜55c可包含氧化矽膜、氮化矽膜、氮氧化矽膜及高介電膜中之至少1個，可包含複數個膜。此時，上述高介電膜係指具有較上述氧化矽膜更高之介電常數之絕緣性物質，可包含氧化鉭膜、氧化鈦膜、氧化鉛膜、氧化鋇膜、氧化鋁膜、氧化釷膜、氧化鈮膜、氧化鉍膜、氧化銻膜、氧化銩膜、BST膜、及PZT膜。上述隧道

絕緣膜55a可由具有較上述結塊絕緣膜55c更低之介電常數之物質所形成，上述電荷儲存膜55b可為電荷捕獲陷阱豐富的絕緣性薄膜(例如，氮化矽膜)、或者包含複數個導電性粒子之絕緣性薄膜。根據一實施形態，上述隧道絕緣膜55a可為氧化矽膜，上述電荷儲存膜55b可為氮化矽膜，上述結塊絕緣膜55c可為包含氧化鋁膜之絕緣膜。

上述半導體膜60可為單晶半導體或多晶半導體，可使用氣相蒸鍍技術或磊晶技術而形成。上述半導體膜60可如圖所示以保形之厚度而形成，或者形成為實質上填埋形成有上述資訊儲存膜圖案55之溝槽T之剩餘空間。根據一實施形態，上述半導體膜60可具有與上述下部雜質區域20不同之導電型態，以構成上述下部雜質區域20及二極體。

參照圖8，將形成有上述半導體膜60之結果物加以平坦化蝕刻而使上述基板10之上部表面露出。另一方面，如上所述，上述複數個絕緣膜31~35及上述複數個導電膜41~44之合計厚度 t 可小於上述單元陣列區域與上述核心區域之間的階差 H 。於如此之實施形態之情形時，上述複數條中間配線141~144及上述複數個絕緣膜圖案131~135藉由上述平坦化蝕刻而限定地配置於上述單元陣列區域內部。

另一方面，限定於上述單元陣列區域內部之上述複數條中間配線141~144之各個，可具有與上述基板10之上部表面平行之配線區間、及自上述配線區間之一端或兩端延長之接觸區間。此時，上述複數條中間配線141~144之接觸區間配置於上述單元陣列區域與上述核心區域之邊界附

近，作為上述平坦化蝕刻之結果，該等之上部表面能夠以與上述基板10所露出之上部表面相同之高度而形成。

根據一實施形態，於上述平坦化蝕刻之前，可進而形成覆蓋形成有上述半導體膜60之結果物、且填埋上述溝槽T之填埋絕緣膜88。於此情形時，上述複數條中間配線141~144之接觸區間之上部表面於上述基板10與上述填埋絕緣膜之間露出。

參照圖9，將上述半導體膜60加以圖案化而形成橫穿上述中間配線構造體200之複數個半導體圖案65。形成上述半導體圖案65之階段可包含如下階段，即，將上述填埋絕緣膜88加以圖案化而形成界定使上述半導體膜60露出之開口部99a之填埋絕緣膜圖案99之後，蝕刻上述已露出之半導體膜60。此時，上述開口部99a可形成於橫穿上述中間配線構造體200之方向。因此，上述半導體圖案65形成於橫穿上述中間配線構造體200之方向。

蝕刻上述填埋絕緣膜之階段可利用對於上述半導體膜60具有蝕刻選擇性之各向異性蝕刻之方法來實施，蝕刻上述半導體膜60之階段可利用對於上述填埋絕緣膜具有蝕刻選擇性之蝕刻方法來實施。蝕刻上述半導體膜60之階段可通過各向同性蝕刻之方法以可在上述中間配線構造體200之側面分離上述半導體膜60之方式來實施。然而，上述半導體膜60之蝕刻階段可通過各向異性蝕刻方法及各向同性蝕刻方法之各個、或該等之組合之方法來實施。

根據一實施形態，於形成上述半導體圖案65之後，可如

圖所示，以使上述中間配線構造體200露出之方式，進而蝕刻上述資訊儲存膜圖案55。

參照圖10，在形成有上述半導體圖案65之結果物上形成填埋上述開口部99a之絕緣膜(未圖示)之後，形成與上述半導體圖案65及上述複數條中間配線141~144連接之上部配線75。與上述半導體圖案65及上述複數條中間配線141~144分別連接之上述上部配線75係用作參照圖3所說明之複數條位元線BL及全域中間配線GWL。

而且，形成上部配線75之後，可形成與上述最上部中間配線144及上述最下部中間配線141分別連接之上部選擇線USL及下部選擇線LSL。上述上部及下部選擇線USL及LSL如圖所示，可形成於橫穿上述位元線BL之方向。

圖11及圖12係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的電路圖及立體圖。為了簡化說明，省略對於與參照上述圖3及圖4所說明之實施形態重複之技術特徵之說明。

參照圖11及圖12，根據本實施形態，上述下部選擇線LSL可沿著與上述位元線BL平行之方向將上述單元串STR加以連接。然而，與參照圖3所說明之實施形態相同，上述上部選擇線USL係將橫穿上述位元線BL之方向之單元串STR加以連接。於此情形時，一個單元串可藉由上述位元線BL與上述上部選擇線USL來選擇。

圖13係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造之電路圖，圖14及圖15係用以說明本

實施形態之半導體裝置之製造方法之立體圖。為了簡化說明，省略對於與參照上述圖3及圖4所說明之實施形態重複之技術特徵之說明。

根據本實施形態，如圖14所示，於一個上述中間配線構造體200之兩側面可配置複數個經局部化之上述半導體圖案65a、65b。與上述實施形態不同，本實施形態之上述半導體圖案65a、65b並不延長至上述中間配線構造體200之相反之側面，而是於其上部被切斷。此時，配置於上述中間配線構造體200之一側面之半導體圖案65a可配置於複數個半導體圖案65b之間，該等複數個半導體圖案65b係配置於上述中間配線構造體200之另一側面。即，上述半導體圖案65a、65b沿著上述中間配線構造體200交替地排列於兩側。由於形成如此之構造，因此上述填埋絕緣膜圖案99之開口部99a可形成為於互不相同之兩個方向傾斜地橫穿上述中間配線構造體200。即，上述開口部99a能夠以網構造而形成。

如圖15所示，配置於上述中間配線構造體200之一側面之半導體圖案65a與配置於另一側面之鄰接之半導體圖案65b連接於互不相同之複數條位元線BL。於此情形時，如圖13所示，各個經局部化之半導體圖案65a、65b構成可獨立控制之單元串STR，因此與上述參照圖3所說明之實施形態相比，所增加之個數之記憶胞可形成於相同面積之單元陣列區域內。

圖16及圖17係用以說明本發明之實施形態之中間配線之

電性連接構造之立體圖。

如參照圖5所說明，上述複數個導電膜41~44可保形地形成。於此情形時，上述複數條中間配線141~144之接觸區間與上述基板10之上部表面之間的角度，可和上述單元陣列區域與上述核心區域之邊界面和上述基板10之上部表面所成之角度實質上相同。例如，如圖16所示，當上述單元陣列區域與上述核心區域之邊界面垂直於上述基板10之上部表面時，上述複數條中間配線141~144之接觸區間亦仍然與上述基板10之上部表面垂直地形成。

另一方面，根據本發明之另一實施形態，如圖17所示，上述單元陣列區域與上述核心區域之邊界面相對於上述基板10之上部表面形成小於90度之角度 θ 。於此情形時，藉由上述平坦化蝕刻而露出之上述複數條中間配線141~144之上部表面之面積與上述實施形態相比得以增加。具體而言，若上述中間配線之厚度及寬度分別為a及b，則如此之中間配線之露出面積於上述實施形態之情形時為ab，於本實施形態之情形時為 $ab/\sin\theta$ 。因此，上述角度越減小，則上述複數條中間配線141~144之露出面積越增加。根據一實施形態，上述角度可處於30度至90度之間。

圖18至圖21係分別用以說明本發明之變形之實施形態之下部配線之電性連接構造之立體圖。

參照圖18，根據本實施形態，上述下部雜質區域20可於形成上述中間配線構造體200之後，利用使用上述中間配線構造體200作為離子遮罩之離子注入步驟而形成。於此

情形時，上述下部雜質區域20可局部地形成於上述複數個中間配線構造體200之間(即，上述溝槽之基板10內)。

另一方面，為使上述下部雜質區域20可如上所述用作共用源極電極CSL，該等可相互電性連接。例如，如圖19所示，上述下部雜質區域20可自上述單元陣列區域延長至上述核心區域之側壁及上部表面。於此情形時，向用作上述共用源極電極CSL之上述下部雜質區域20之電性連接變得容易。即，如圖19所示，上述經延長之下部雜質區域20可連接於傳送源極電壓之上述源極線SL。

根據本發明之變形之實施形態，上述共用源極電極CSL用上述下部配線20可由導電性物質所形成。例如，如圖20所示，形成於上述溝槽T之下部的導電性線20a可用作上述共用源極電極CSL。於此情形時，可於上述半導體圖案65之下方，以構成二極體之方式形成具有與上述本體部B不同之導電型態之源極雜質區域S。上述源極雜質區域S需要形成得較最下部之中間配線141更低，以使得上述導電性線20a可用作上述共用源極電極CSL。因此，上述最下部絕緣膜圖案131能夠以較上述半導體膜60及上述導電性線20a之厚度更厚之厚度而形成。

根據另一變形之實施形態，如圖21所示，上述半導體圖案65可連接於用作上述共用源極電極CSL之特定導電性板20b之上部表面。於此情形時，上述導電性板20b能夠以限定於單元陣列區域內之方式而圖案化。另一方面，根據如此之實施形態，上述基板10不需要限定為半導體物質。因

此，本實施形態可應用於在絕緣性基板上形成上述單元陣列構造之後，利用晶圓接合技術等與周邊電路連接之方式。然而，於上述基板10為半導體或導電性物質之情形時，於上述基板10與上述導電性板20b之間可進而插入絕緣性薄膜12。

圖22及圖23分別係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的立體圖及電路圖。為了簡化說明，可省略對於與參照圖1至圖21所說明之實施形態重複之技術特徵之說明。

參照圖22及圖23，提供一種包含接地選擇區域GSR、串選擇區域SSR、及配置於該等之間之記憶體區域MMR的基板10。

於上述基板10之記憶體區域MMR上配置至少1個字元線構造體及至少1個半導體圖案65。上述字元線構造體包含依序積層之複數條字元線WL，上述半導體圖案65與上述字元線構造體相對向，而且橫穿上述字元線WL。於上述字元線構造體與上述半導體圖案65之間可插入資訊儲存圖案55。上述資訊儲存圖案55可與參照圖7所說明之實施形態者相同。

於上述基板10之接地選擇區域GSR上配置將接地選擇線GSL用作閘極電極之複數個接地選擇電晶體GST，於上述基板10之串選擇區域SSR上配置將串選擇線SSL用作閘極電極之串選擇電晶體SST。上述接地選擇線GSL及上述串選擇線SSL可形成為具有與上述字元線WL平行之長軸。根

據一實施形態，上述接地選擇電晶體 GST 及上述串選擇電晶體 SST 可為將上述基板 10 用作通道區域之 MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor，金屬氧化物半導體場效電晶體)。於上述接地選擇線 GSL 兩側之基板 10 內，以及於上述串選擇電晶體 SST 之兩側之基板 10 內，可形成用作上述接地選擇電晶體 GST 之源極及汲極電極之雜質區域 25。根據一實施形態，上述半導體圖案 65 可形成為具有與上述雜質區域 25 不同之導電型態。

而且，上述接地選擇電晶體 GST 之源極電極共通地連接於與上述字元線 WL 平行之共用源極線 CSL，上述接地選擇電晶體 GST 之汲極電極之各個可連接於上述半導體圖案 65 各個之一端。因此，上述半導體圖案 65 可自上述記憶體區域 MMR 延長至上述接地選擇區域 GSR 為止。上述串選擇電晶體 SST 之汲極電極可連接於具有橫穿上述字元線 WL 之方向之長軸的複數條位元線 BL，上述串選擇電晶體 SST 之源極電極可連接於上述半導體圖案 65 之另一端。因此，上述半導體圖案 65 可自上述記憶體區域 MMR 延長至上述串選擇區域 SSR 為止。

根據一實施形態，於上述字元線構造體之下方可配置下部絕緣膜 12。上述下部絕緣膜 12 可為界定活性區域之元件分離膜，例如，淺溝槽隔離絕緣層 (STI: shallow trench isolation)。藉此，上述記憶體區域 MMR 上之上述半導體圖案 65 可自上述基板 10 隔開而形成。

上述半導體圖案 65 可為藉由氫、或其中包含氫之氣體而

處理之多晶矽膜，其厚度可為5 nm至100 nm。根據一實施形態，上述半導體圖案65之厚度可為大致15 nm至25 nm。上述半導體圖案65可用作將上述接地選擇電晶體GST與上述串選擇電晶體SST之間、或上述共用源極線CSL與上述位元線BL之間加以連接之電性路徑。

另一方面，如此之電性路徑可藉由對與該半導體圖案65相鄰接之上述字元線WL所施加之電壓、以及與上述字元線WL相鄰接之上述資訊儲存圖案65之電位(electric potential)而選擇性地完成，上述資訊儲存圖案65之電位可根據上述資訊儲存圖案55中所儲存之資訊而不同。結果如圖23所示，上述半導體圖案65之各個構成單元串中之一個，該單元串係構成反及陣列(NAND array)者。

圖24及圖25係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造之立體圖及平面圖。為了簡化說明，可省略對於與參照圖1至圖23所說明之實施形態重複之技術特徵之說明。

參照圖24及圖25，配置有相互隔開之複數個中間配線構造體200，上述複數個中間配線構造體200可包含相互隔開之接地選擇構造體GSS及串選擇構造體SSS、以及配置於該等之間的至少1個字元線構造體WLS。此時，上述複數個中間配線構造體200之各個可包含依序積層之複數條中間配線。因此，上述接地選擇構造體GSS包含用作接地選擇線GSL之複數個經積層之中間配線，上述串選擇構造體SSS包含用作串選擇線SSL之複數個經積層之中間配線，

上述字元線構造體 WLS 可包含用作字元線 WL 之複數個經積層之中間配線。根據一實施形態，上述接地選擇構造體 GSS、上述串選擇構造體 SSS 及上述字元線構造體 WLS 均可由實質上相同之構造而形成。

於上述中間配線構造體 200 之兩側面可配置橫穿上述中間配線構造體 200 之複數個半導體圖案 65。根據一實施形態，上述半導體圖案 65 可於上述中間配線構造體 200 之上部表面及該等之間的底面相互連接。於此情形時，如圖 24 所示，上述半導體圖案 65 能夠以橫穿上述複數個中間配線構造體 200、並且覆蓋上述中間配線構造體 200 之側面之線形圖案而形成。

於上述半導體圖案 65 與上述中間配線構造體 200 之間可配置資訊儲存圖案 55。根據本實施形態，上述資訊儲存圖案 55 如參照圖 2 所說明般，可包含電荷儲存膜，上述資訊儲存圖案 55 中所儲存之資訊可利用由上述半導體圖案 65 與上述中間配線 141~144 之間之電壓差異所產生之 FN 穿隧而變更。

與上述串選擇構造體 SSS 及上述接地選擇構造體 GSS 相鄰接之上述半導體圖案 65 之一部分區域 65d，可形成為具有與其他區域 65b 不同之導電型態。例如，於上述串選擇構造體 SSS 及上述接地選擇構造體 GSS 之上部所配置的上述半導體圖案 65 之一部分區域 65d，可形成為具有與鄰接於上述字元線構造體 WLS 之側壁的上述半導體圖案 65 之其他區域 65b 不同之導電型態。根據另一實施形態，如圖 25

所示，於上述複數個中間配線構造體200之上部與上述複數個中間配線構造體200之間，可形成利用與覆蓋上述中間配線構造體200之側壁之本體部65b不同之導電型態的雜質而摻雜之雜質區域65d。上述雜質區域65d可利用將覆蓋上述中間配線構造體200之側壁的間隔件SP用作離子注入遮罩之離子注入步驟而形成。上述雜質區域65d與上述中間配線構造體200之間的距離可小於藉由施加至上述中間配線之電壓而生成之反轉區域之最大寬度。

於上述複數個中間配線構造體200之上部配置有橫穿該等之複數條位元線BL。上述複數條位元線BL可透過上述位元線插塞BL_PLG而連接於與上述串選擇構造體SSS相鄰接之上述雜質區域65d。於上述複數個中間配線構造體200之上部，可配置將鄰接於上述接地選擇構造體GSS之雜質區域65d加以電性連接之共用源極線CSL。

根據參照圖24及圖25所說明之實施形態，如上所述，上述接地選擇構造體GSS、上述串選擇構造體SSS及上述字元線構造體WLS均可形成實質上相同之構造。因此，與由互不相同之構造而形成該等之情形相比，可使製造方法簡單化。與參照圖22及圖23所說明之實施形態相比，根據本實施形態，不僅可減小接地選擇電晶體及串選擇電晶體用面積，而且可降低由接地選擇線與所積層之字元線之間的高度差異所引起之製造步驟中之技術性難度。而且，於結果性的構造中，於圖24之半導體裝置之情形時，可不增加晶片面積及增加製造步驟之複雜性，而增加構成一個單元

串之接地及串選擇電晶體之個數。如此之選擇電晶體之個數增加可有效抑制洩漏電流，因此本實施形態之反及快閃記憶體裝置具有經改善之電性特性。

圖 26 係簡略表示包括本發明之快閃記憶體裝置之記憶卡 1200 之一實施形態的方塊圖。參照圖 26，為了支持高容量之資料儲存能力，記憶卡 1200 中安裝本發明之快閃記憶體裝置 1210。本發明之記憶卡 1200 包含控制主機 Host 與快閃記憶體裝置 1210 之各種資料轉換之記憶體控制器 1220。

SRAM(static random access memory，靜態隨機存取記憶體) 1221 用作處理單元 1222 之操作記憶體。主機介面 1223 包括與記憶卡 1200 連接之主機之資料轉換協定。錯誤訂正區塊 1224 係檢測及訂正自多位元快閃記憶體裝置 1210 所讀取之資料中所包含之錯誤。記憶體介面 1225 係與本發明之快閃記憶體裝置 1210 進行介面連接。處理單元 1222 係執行記憶體控制器 1220 之資料轉換用各種控制操作。圖式中雖然未圖示，但是具有本領域之通常知識者當知，本發明之記憶卡 1200 可進而提供儲存與主機 Host 之介面連接用碼資料之 ROM(read-only memory，唯讀記憶體)(未圖示)等。

藉由以上之本發明之快閃記憶體裝置及記憶卡或記憶體系統，可通過已改善虛設單元之刪除特性之快閃記憶體裝置 1210 而提供一種可靠性較高之記憶體系統。本發明之快閃記憶體裝置尤其能夠以如最近得到活躍發展之半導體磁碟裝置(Solid State Disk(固態磁碟)：以下，稱為 SSD)裝置般之記憶體系統而提供。於此情形時，可藉由阻斷自虛設

單元所產生之讀取錯誤來實現可靠性較高之記憶體系統。

圖27係簡略表示安裝本發明之快閃記憶體系統1310之資訊處理系統1300之方塊圖。參照圖27，向如行動機器或者桌上型電腦般之資訊處理系統安裝本發明之快閃記憶體系統1310。本發明之資訊處理系統1300包含快閃記憶體系統1310、與各系統匯流排1360電性連接之調制解調器1320、中央處理裝置1330、RAM(random access memory，隨機存取記憶體)1340及使用者介面1350。快閃記憶體系統1310可與上述所說明之記憶體系統或快閃記憶體系統實質上相同地構成。在快閃記憶體系統1310中，儲存有藉由中央處理裝置1330而處理之資料、或自外部所輸入之資料。此處，上述快閃記憶體系統1310可包含半導體磁碟裝置SSD，於此情形時，資訊處理系統1300可將大容量之資料穩定地儲存於快閃記憶體系統1310中。並且，隨著可靠性之增大，快閃記憶體系統1310可節省錯誤訂正所需要之資源，因此資訊處理系統1300可提供高速之資料轉換功能。雖未圖示，但是具有本領域之通常知識者當知，於本發明之資訊處理系統1300中可進而提供應用晶片組(Application Chipset)、相機影像處理器(Camera Image Sensor:CIS)、輸入輸出裝置等。

本發明之快閃記憶體裝置或記憶體系統能夠以各種形態之包裝而安裝。例如，本發明之快閃記憶體裝置或記憶體系統能夠以如下方式包裝化而安裝：PoP(Package on Package，封裝疊加)、Ball grid arrays(BGAs，球形柵陣

列)、Chip scale packages(CSPs, 晶片尺寸封裝)、Plastic Leaded Chip Carrier(PLCC, 塑膠晶粒承載封裝)、Plastic Dual In-Line Package(PDIP, 塑料雙列直插式封裝)、Die in Waffle Pack(晶圓內壓模封裝)、Die in Wafer Form(晶圓內壓模成型)、Chip On Board(COB, 基板覆晶接合)、Ceramic Dual In-Line Package(CERDIP, 陶瓷雙列直插封裝)、Plastic Metric Quad Flat Pack(MQFP, 塑料公製四方扁平封裝)、Thin Quad Flat pack(TQFP, 薄型四方扁平封裝)、Small Out line(SOIC, 小外形封裝)、Shrink Small Out line Package(SSOP, 縮小外型封裝)、Thin Small Out line(TSOP, 薄型小尺寸封裝)、Thin Quad Flat pack(TQFP, 薄型四方扁平封裝)、System In Package(SIP, 系統級封裝)、Multi Chip Package(MCP, 多晶片封裝)、Wafer-level Fabricated Package(WFP, 晶圓級裝配式封裝)、Wafer-Level Processed Stack Package(WSP, 晶圓級堆疊封裝)等。

【圖式簡單說明】

圖1係表示本發明之一實施形態之半導體裝置之立體圖；

圖2係用以說明本發明之一實施形態之資訊儲存圖案之步驟剖面圖；

圖3係用以說明本發明之一實施形態之記憶體半導體裝置之單元陣列構造的電路圖；

圖4係表示本發明之一實施形態之記憶體半導體裝置之

單元陣列一部分的立體圖；

圖5係用以說明本發明之一實施形態之記憶體半導體裝置之製造方法的立體圖；

圖6係用以說明本發明之一實施形態之記憶體半導體裝置之製造方法的立體圖；

圖7係用以說明本發明之一實施形態之記憶體半導體裝置之製造方法的立體圖；

圖8係用以說明本發明之一實施形態之記憶體半導體裝置之製造方法的立體圖；

圖9係用以說明本發明之一實施形態之記憶體半導體裝置之製造方法的立體圖；

圖10係用以說明本發明之一實施形態之記憶體半導體裝置之製造方法的立體圖；

圖11係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的電路圖；

圖12係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的立體圖；

圖13係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的電路圖；

圖14係用以說明本發明之另一實施形態之半導體裝置之製造方法的立體圖；

圖15係用以說明本發明之另一實施形態之半導體裝置之製造方法的立體圖；

圖16係用以說明本發明之實施形態之複數條中間配線之

電性連接構造的立體圖；

圖17係用以說明本發明之實施形態之複數條中間配線之電性連接構造的立體圖；

圖18係用以說明本發明之實施形態之複數條下部配線之電性連接構造的立體圖；

圖19係用以說明本發明之實施形態之複數條下部配線之電性連接構造的立體圖；

圖20係用以說明本發明之實施形態之複數條下部配線之電性連接構造的立體圖；

圖21係用以說明本發明之實施形態之複數條下部配線之電性連接構造的立體圖；

圖22係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的立體圖；

圖23係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的電路圖；

圖24係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的立體圖；

圖25係用以說明本發明之另一實施形態之記憶體半導體裝置之單元陣列構造的平面圖；

圖26係簡略地表示包括本發明之快閃記憶體裝置之記憶卡之一實施形態的方塊圖；及

圖27係簡略地表示包括本發明之快閃記憶體裝置之記憶卡之一實施形態的方塊圖。

【主要元件符號說明】

10	基板
20	下部配線
55	資訊儲存圖案
65	半導體圖案
75	上部配線
131、132、133、134、135	絕緣膜圖案
141、142、143、144	中間配線
200	中間配線構造體

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98142912

※申請日：98.12.15

※IPC 分類：H01L 27/10 (2006.01)

H01L 23/52 (2006.01)

一、發明名稱：(中文/日文)

記憶體半導體裝置、記憶體半導體裝置之製造方法及操作方法

メモリ半導体装置、その製造方法、及び動作方法

二、中文發明摘要：

本發明提供一種記憶體半導體裝置、其製造方法及操作方法。記憶體半導體裝置可包含：複數個半導體圖案，其具有與基板之上部表面垂直之長軸，且呈二維排列；以及複數條字元線，其具有橫穿複數個半導體圖案之長軸，並且在複數個半導體圖案間呈三維排列。

三、英文發明摘要：

七、申請專利範圍：

1. 一種記憶體半導體裝置，其包含：

接地選擇構造體及串選擇構造體，其係互相隔開而配置；

至少1個記憶體構造體，其包含依序積層之複數條字元線，且配置於上述接地及串選擇構造體之間；以及

至少1個半導體圖案，其覆蓋上述記憶體構造體之上部表面及側壁，橫穿上述複數條字元線，並且與上述接地及串選擇構造體連接。

2. 如請求項1之記憶體半導體裝置，其中進而包含插入於上述半導體圖案與上述記憶體構造體之間之資訊儲存膜圖案。

3. 如請求項2之記憶體半導體裝置，其中上述資訊儲存膜圖案包含電荷儲存膜。

4. 如請求項1之記憶體半導體裝置，其中

進而包含上述接地及串選擇構造體、以及配置於上述字元線構造體之下部之基板，

上述接地及串選擇構造體包含將上述基板用作通道之複數個MOS-FET，

上述記憶體構造體包含將上述半導體圖案用作通道之依序積層之複數個MOS-FET。

5. 如請求項4之記憶體半導體裝置，其中

上述複數個接地及串選擇構造體包含與上述複數條字元線平行、且將接地選擇線及串選擇線分別用作閘極電

極之複數個MOS-FET，

上述記憶體構造體包含將依序積層之上述複數條字元線用作閘極電極之複數個MOS-FET。

6. 如請求項5之記憶體半導體裝置，其中

上述接地選擇構造體包含形成於上述接地選擇線兩側之上述基板內之第1雜質區域及第2雜質區域，上述複數個第1及第2雜質區域連接於各上述半導體圖案、及連接於與上述接地選擇線平行之共用源極線，

上述串選擇構造體包含形成於上述串選擇線兩側之上述基板內之第3雜質區域及第4雜質區域，上述複數個第3及第4雜質區域連接於各上述半導體圖案、及橫穿上述串選擇線之位元線。

7. 如請求項1之記憶體半導體裝置，其中

上述半導體圖案自上述記憶體構造體之周邊延長，且覆蓋上述接地及串選擇構造體之上部表面及側壁，

上述接地及串選擇構造體之各個包含將依序積層之複數條導電線用作閘極電極、將上述半導體圖案用作通道、且依序積層之複數個MOS-FET。

8. 如請求項7之記憶體半導體裝置，其中上述接地及串選擇構造體之複數條導電線於物質、薄膜厚度、及所積層之層之數量方面，與上述記憶體構造體之複數條字元線實質上相同。

9. 如請求項7之記憶體半導體裝置，其中

進而包含與上述複數條字元線平行之共用源極線、及

橫穿上述複數條字元線之至少1條位元線，

上述共用源極線連接於朝上述接地選擇構造體之上部延長之上述半導體圖案之一部分，

上述位元線連接於朝上述串選擇構造體之上部延長之上述半導體圖案之另一部分。

10. 如請求項1之記憶體半導體裝置，其中上述半導體圖案包含鄰接於上述複數條字元線之側壁之本體部、以及鄰接於上述接地及串選擇構造體之上部表面之複數個雜質區域，上述本體部具有與上述雜質區域不同之導電型態。

11. 如請求項10之記憶體半導體裝置，其中

進而包含上述接地及串選擇構造體、以及配置於上述字元線構造體之下部之基板，

上述複數個雜質區域進而形成於上述記憶體構造體之上部與鄰接於上述基板之上述記憶體構造體之間、鄰接於上述基板之上述記憶體構造體與上述接地選擇構造體之間、以及鄰接於上述基板之上述記憶體構造體與上述串選擇構造體之間中之至少1個位置。

12. 如請求項10之記憶體半導體裝置，其中進而包含上述接地及串選擇構造體、以及配置於上述字元線構造體之側面以覆蓋上述半導體圖案之複數個間隔件。

八、圖式：

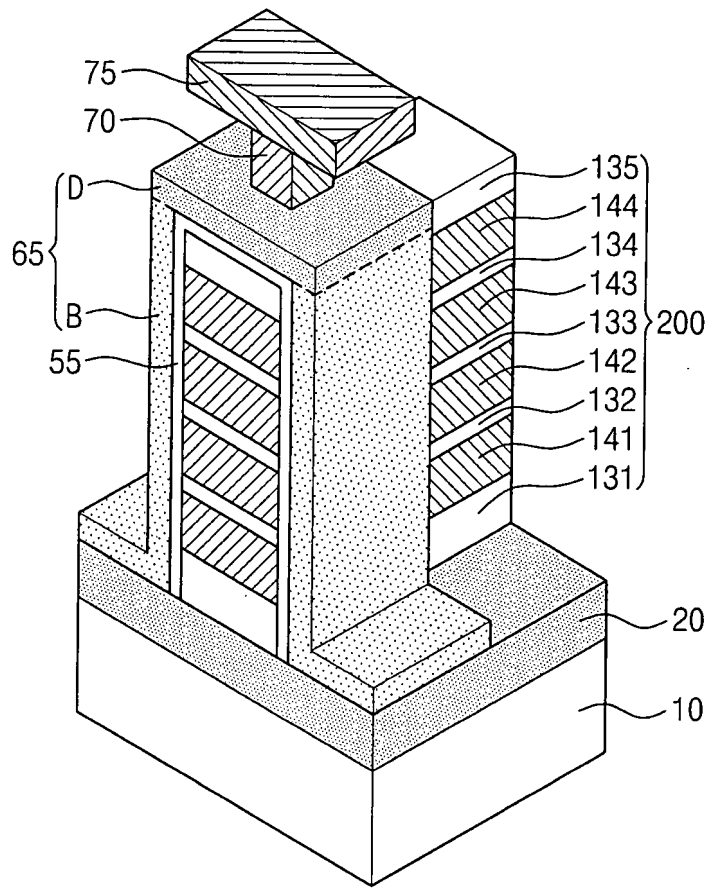


圖1

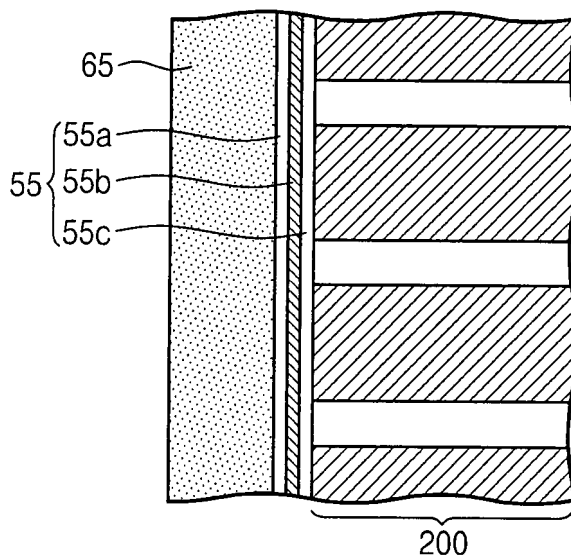


圖2

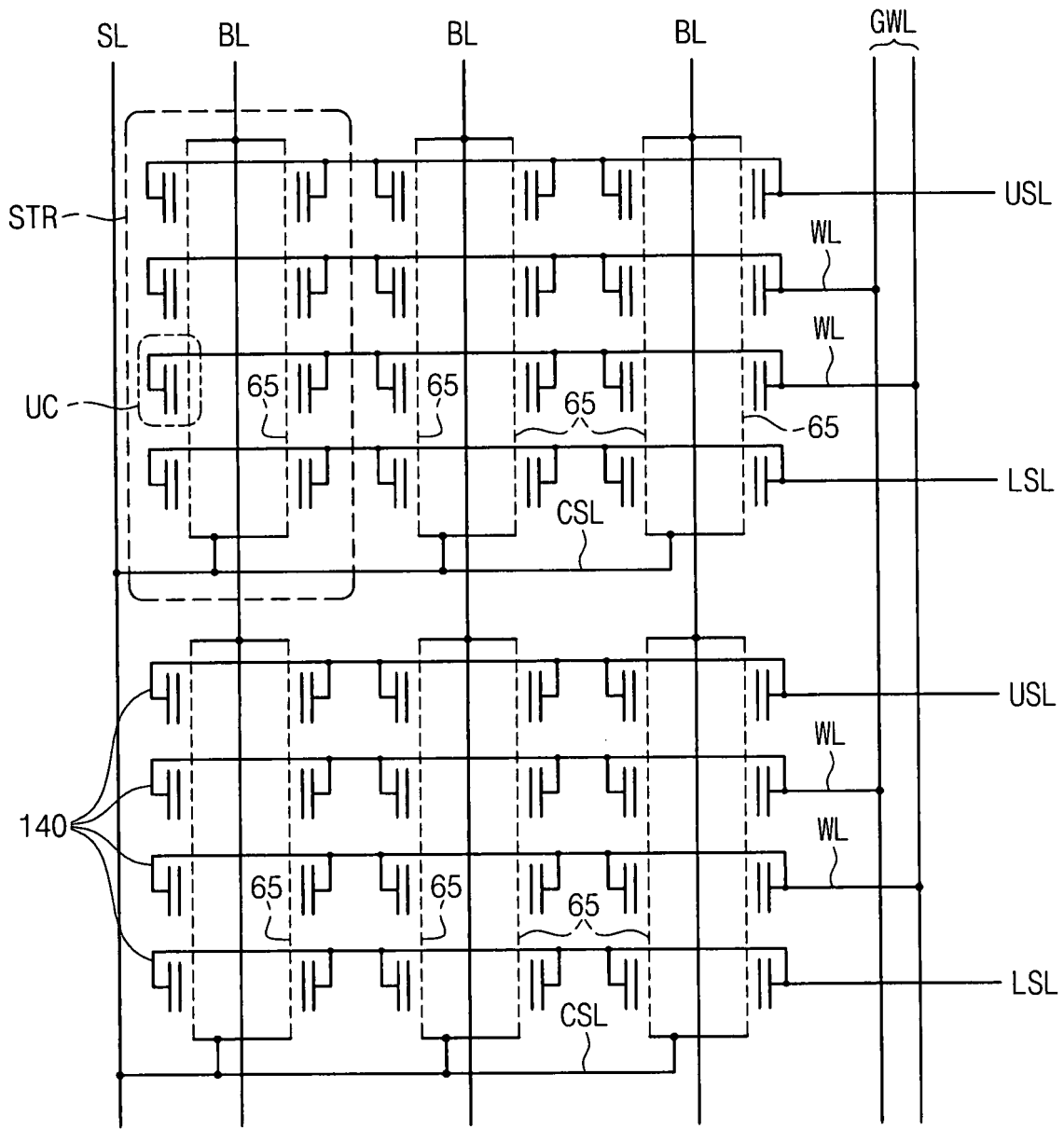


圖 3

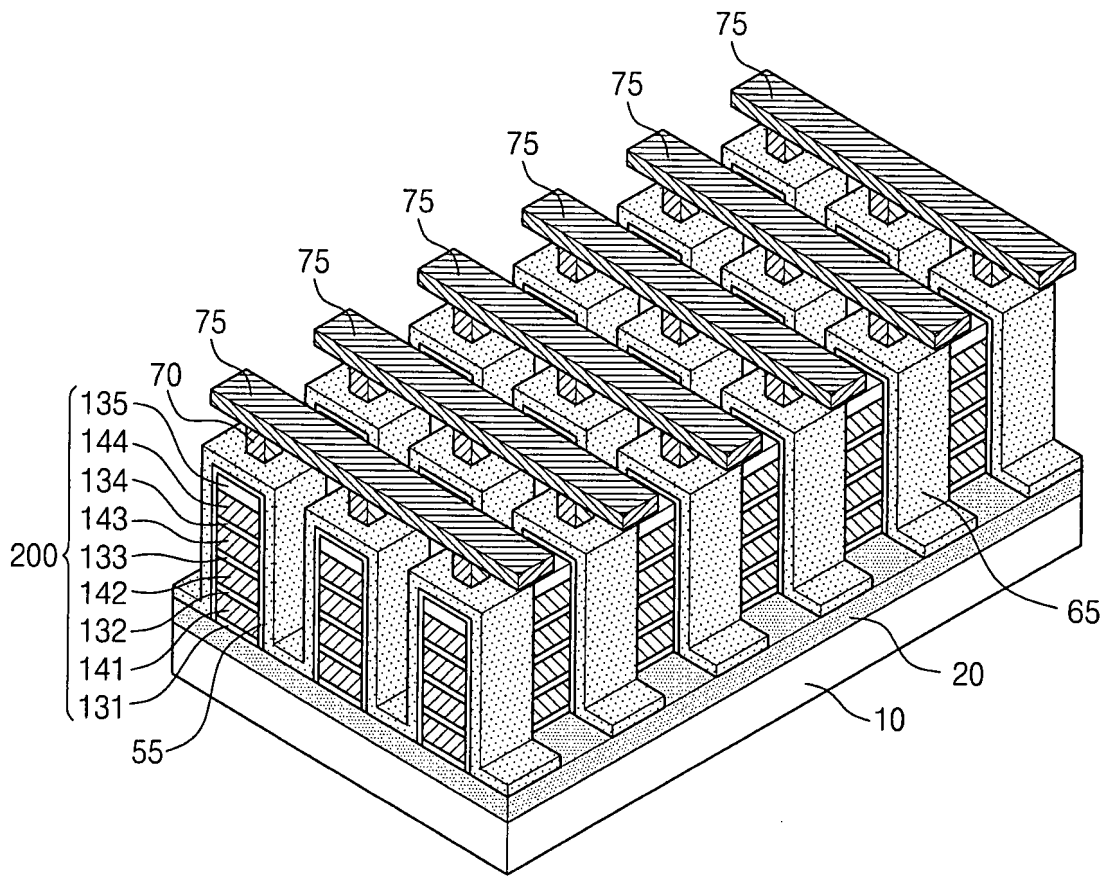


圖4

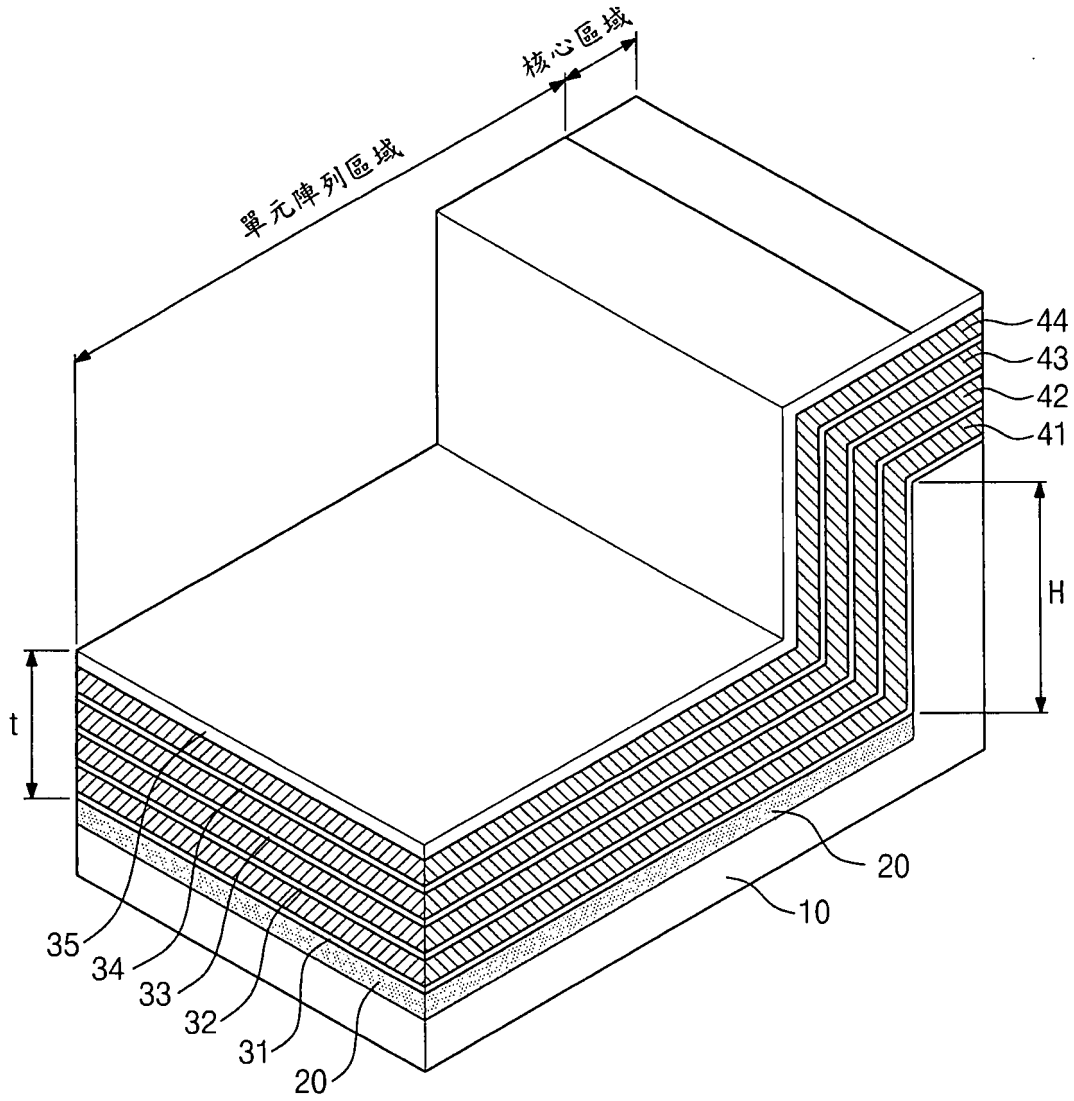


圖5

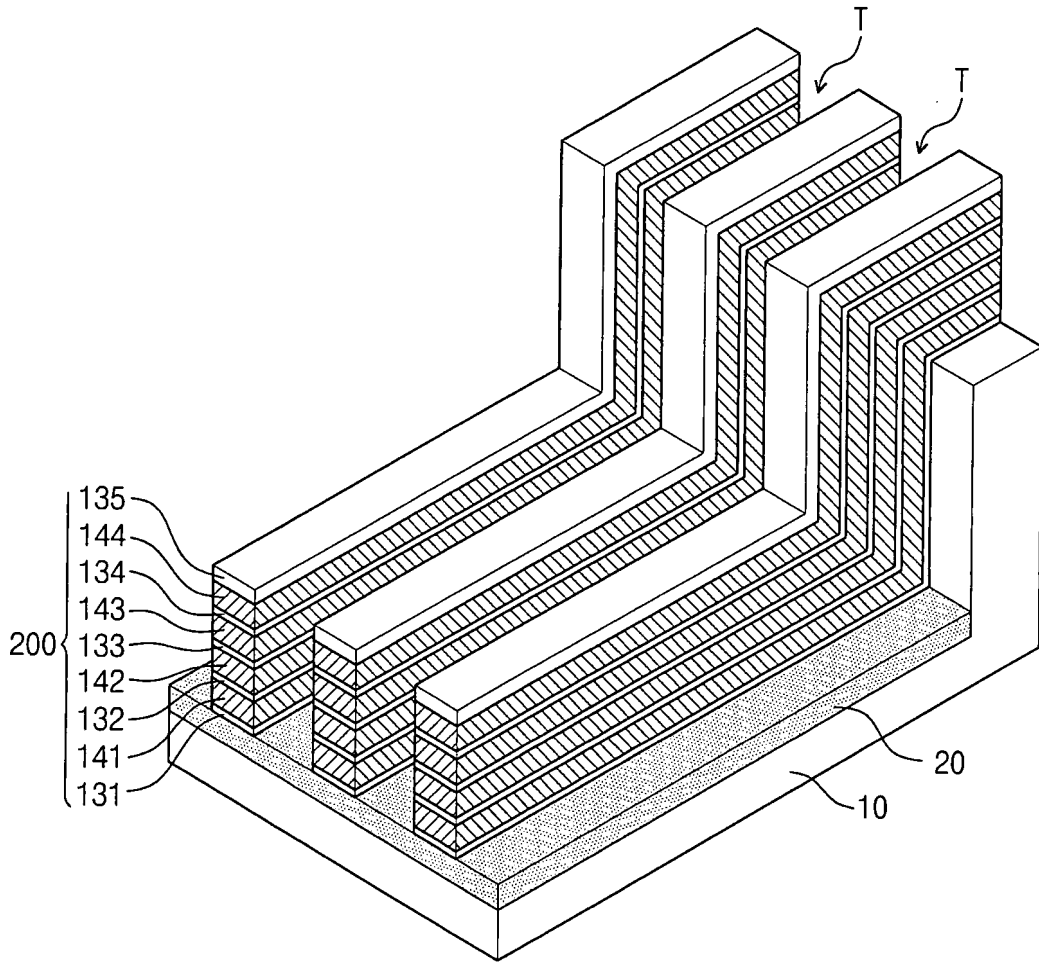


圖6

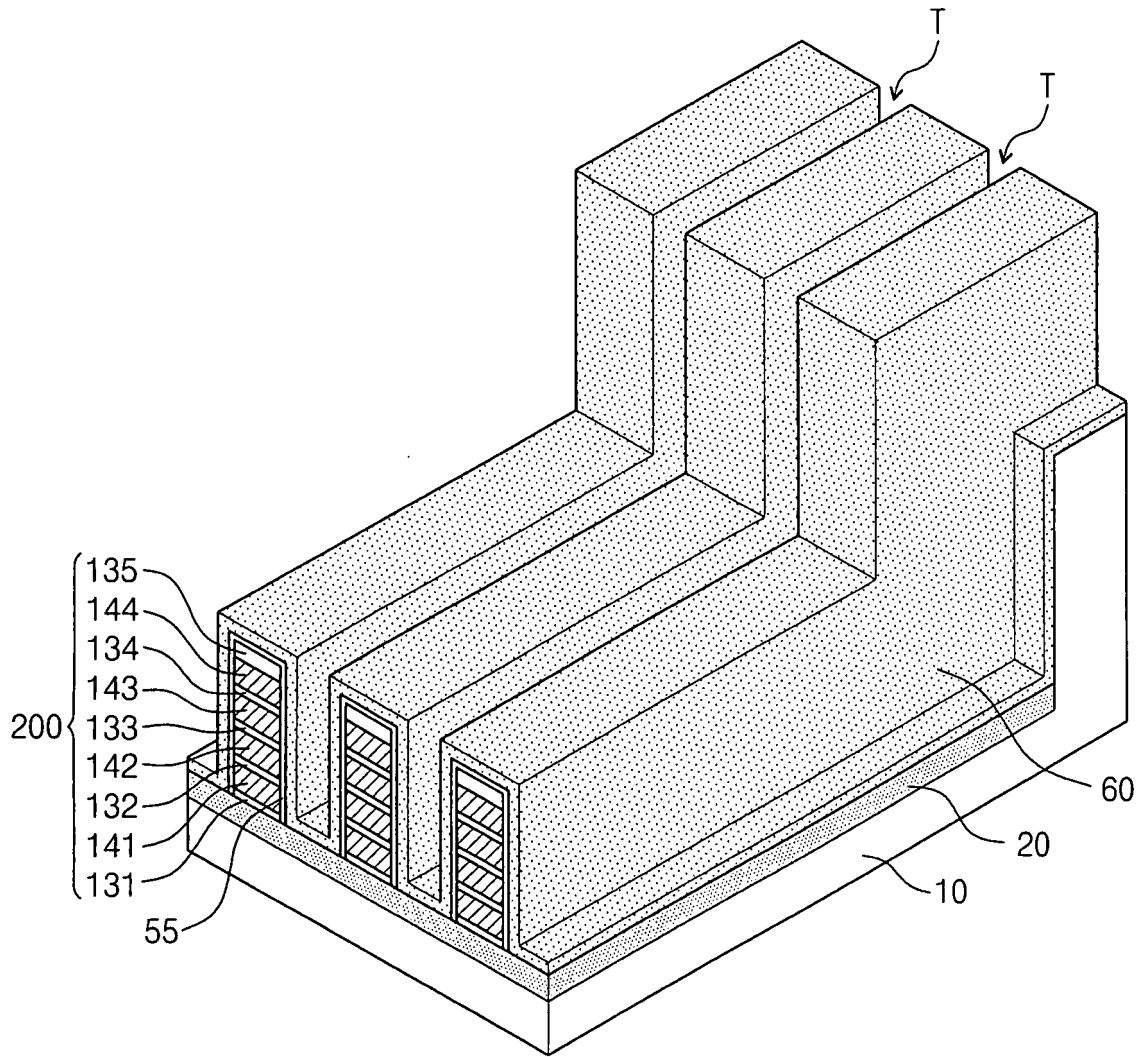


圖7

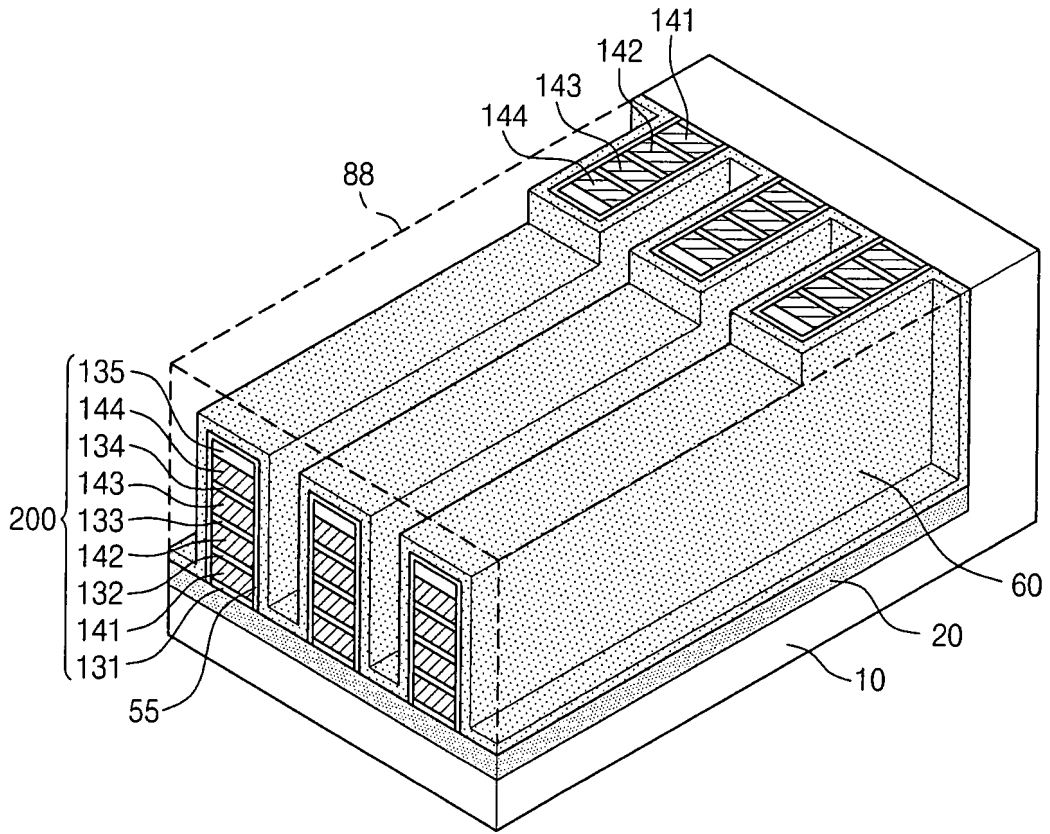


圖8

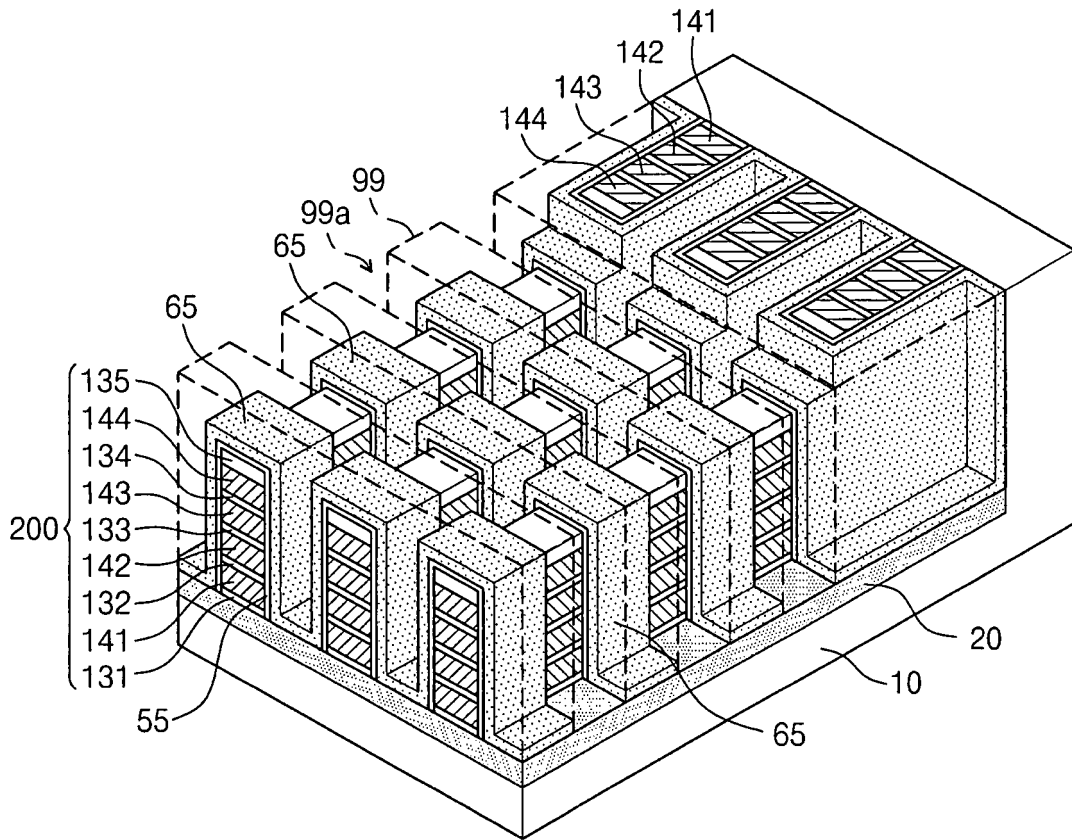


圖9

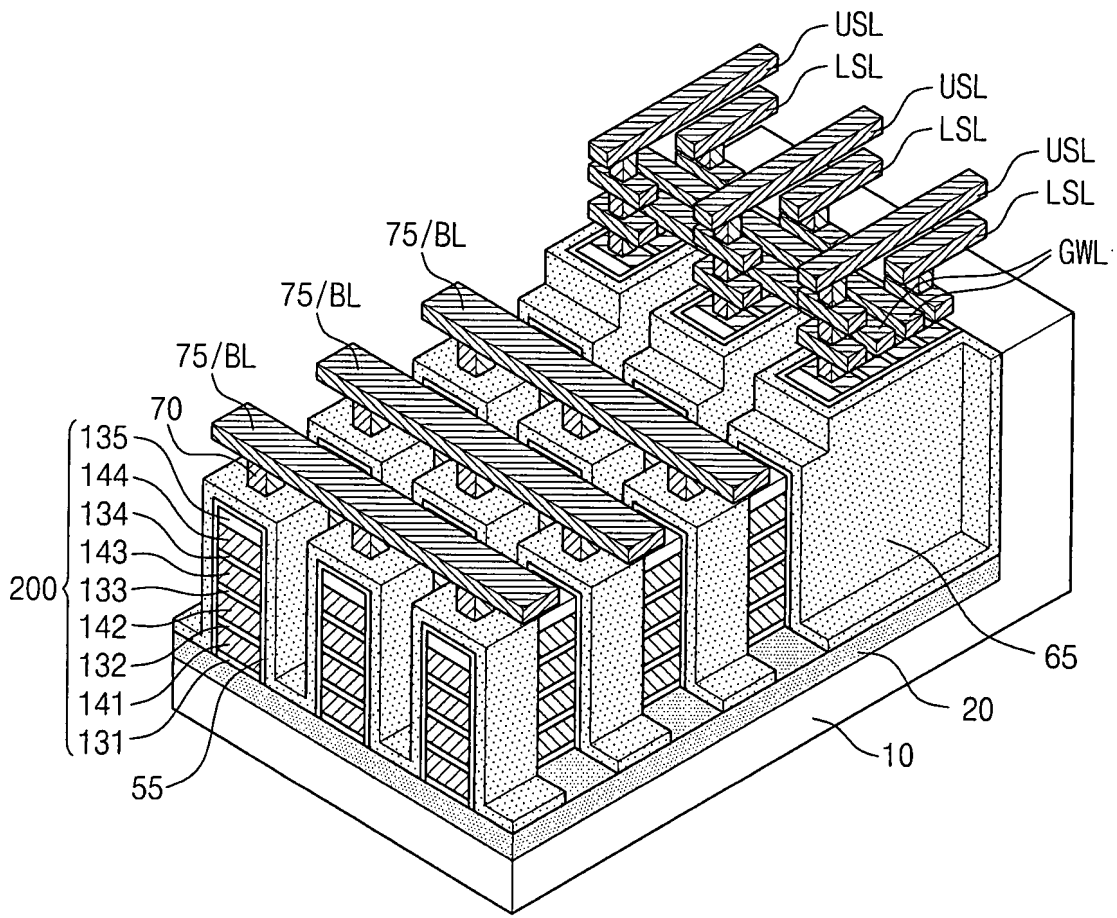


圖10

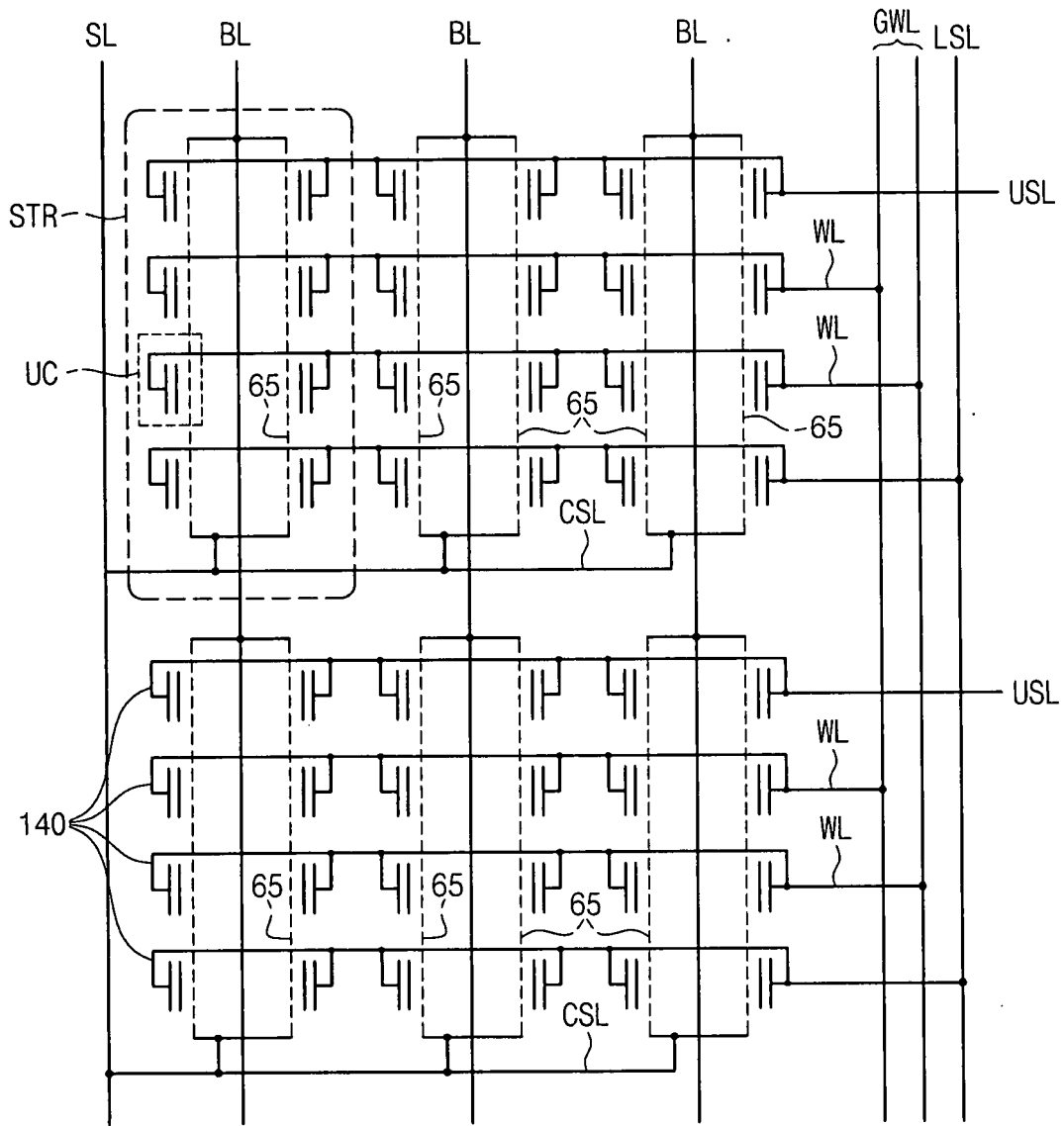


圖 11

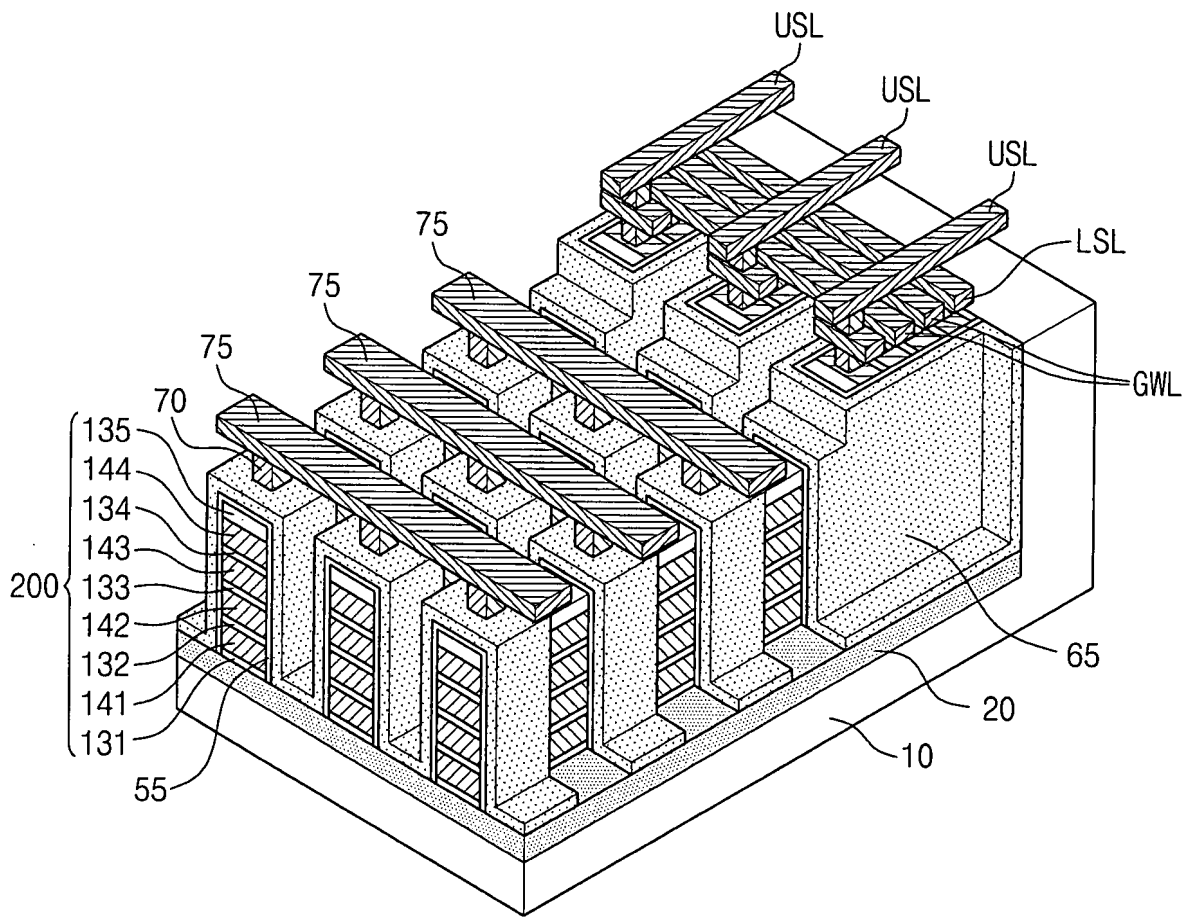


圖12

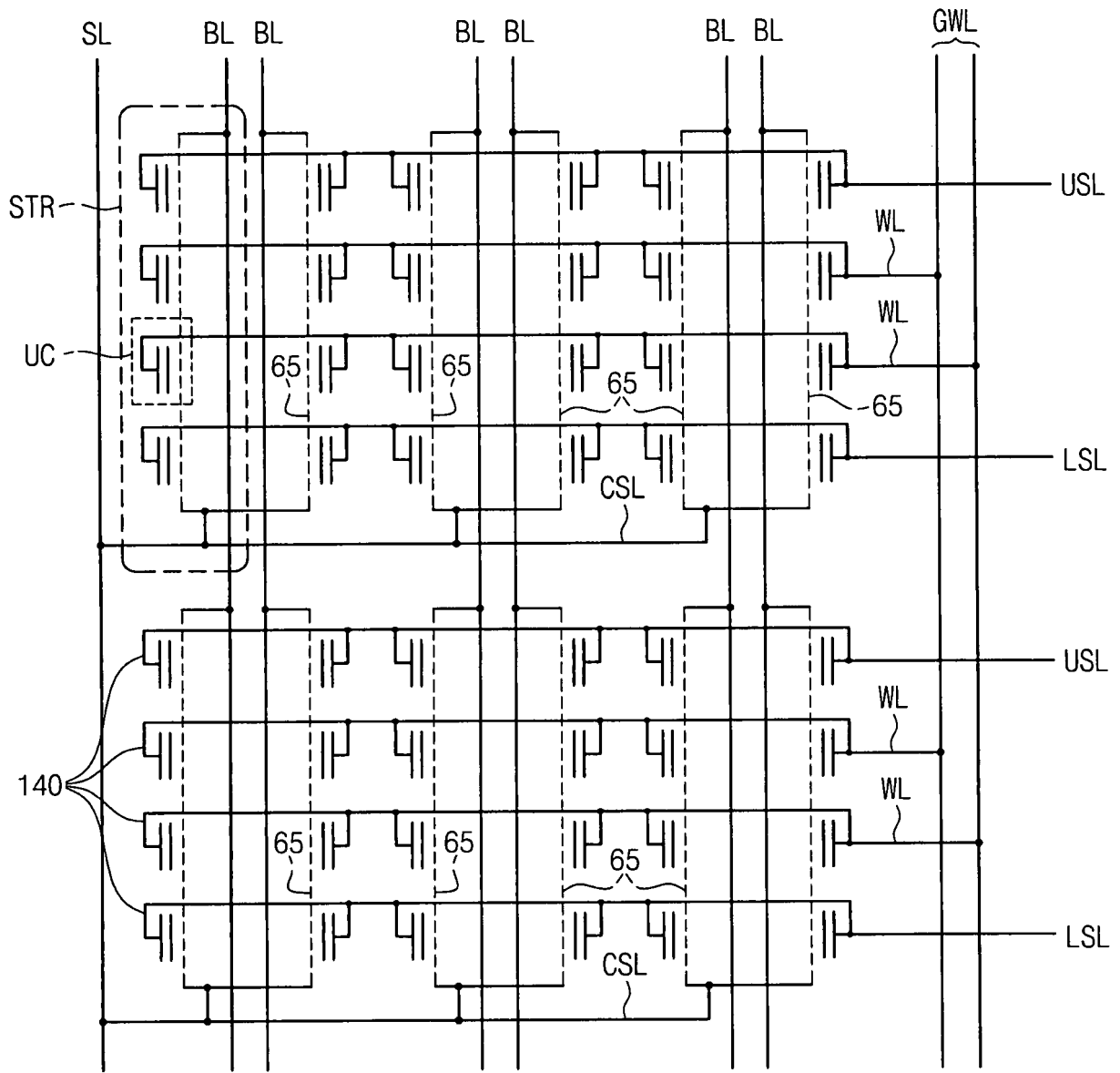


圖13

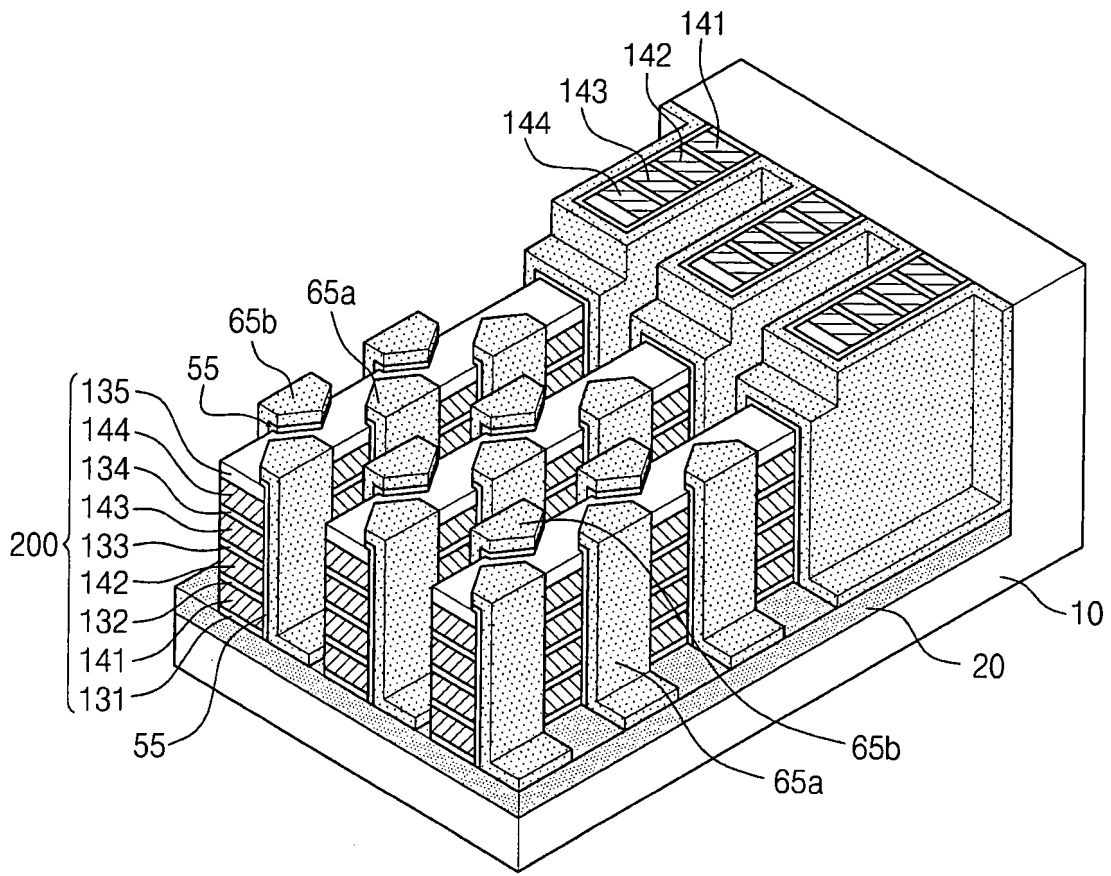


圖14

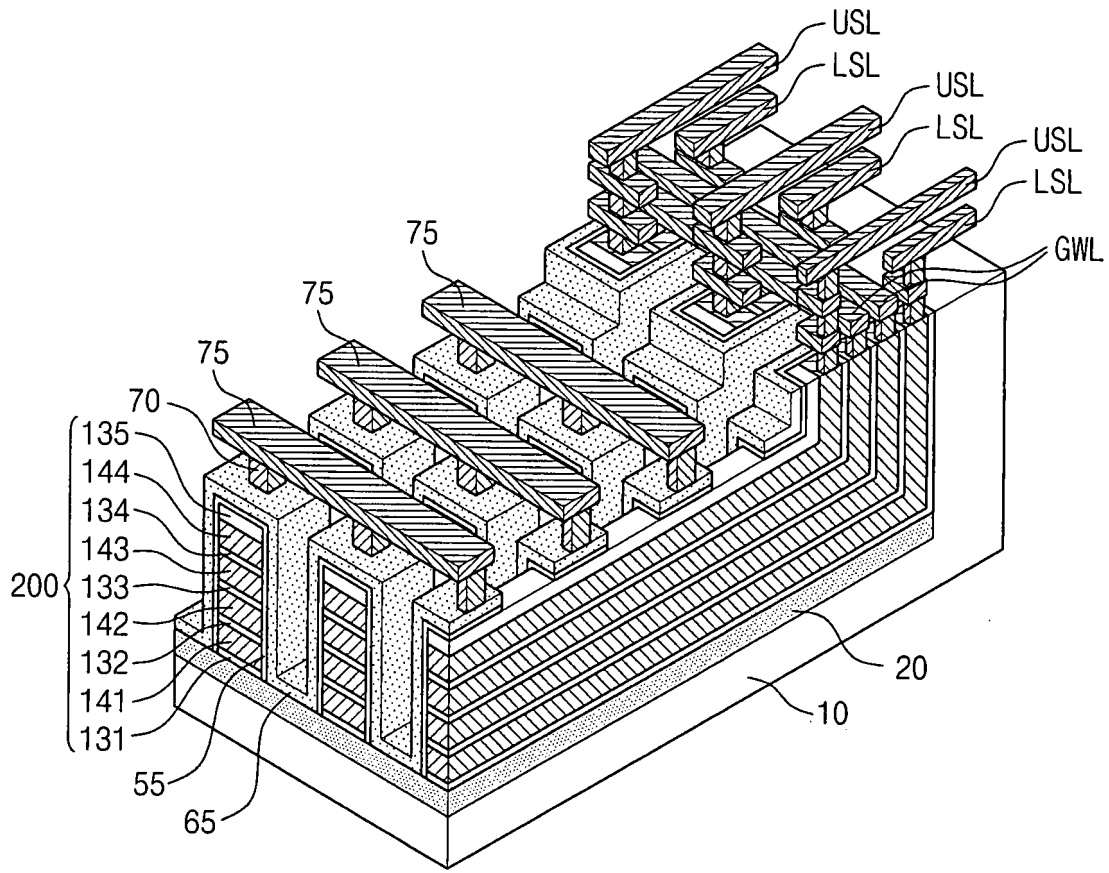


圖16

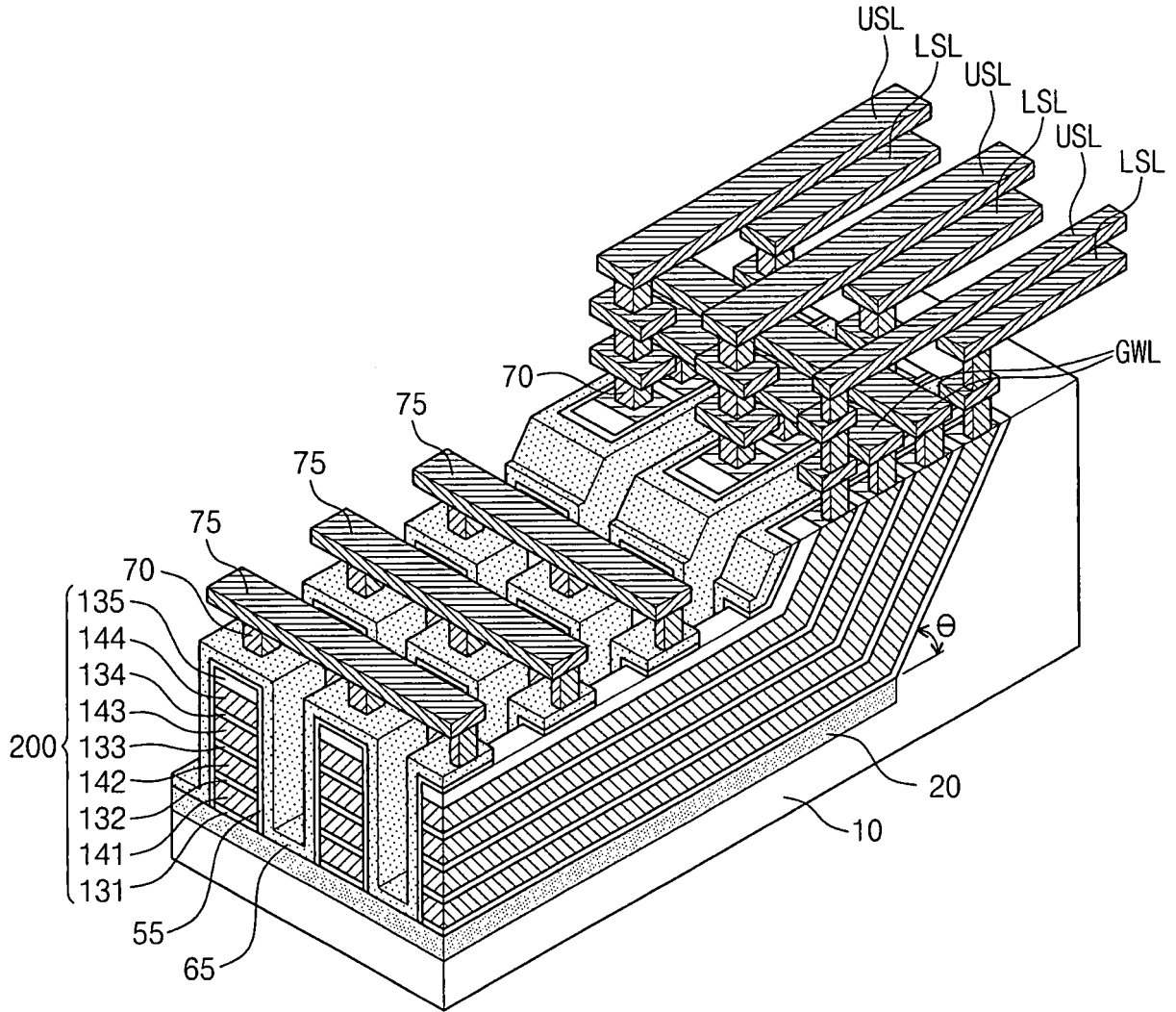


圖17

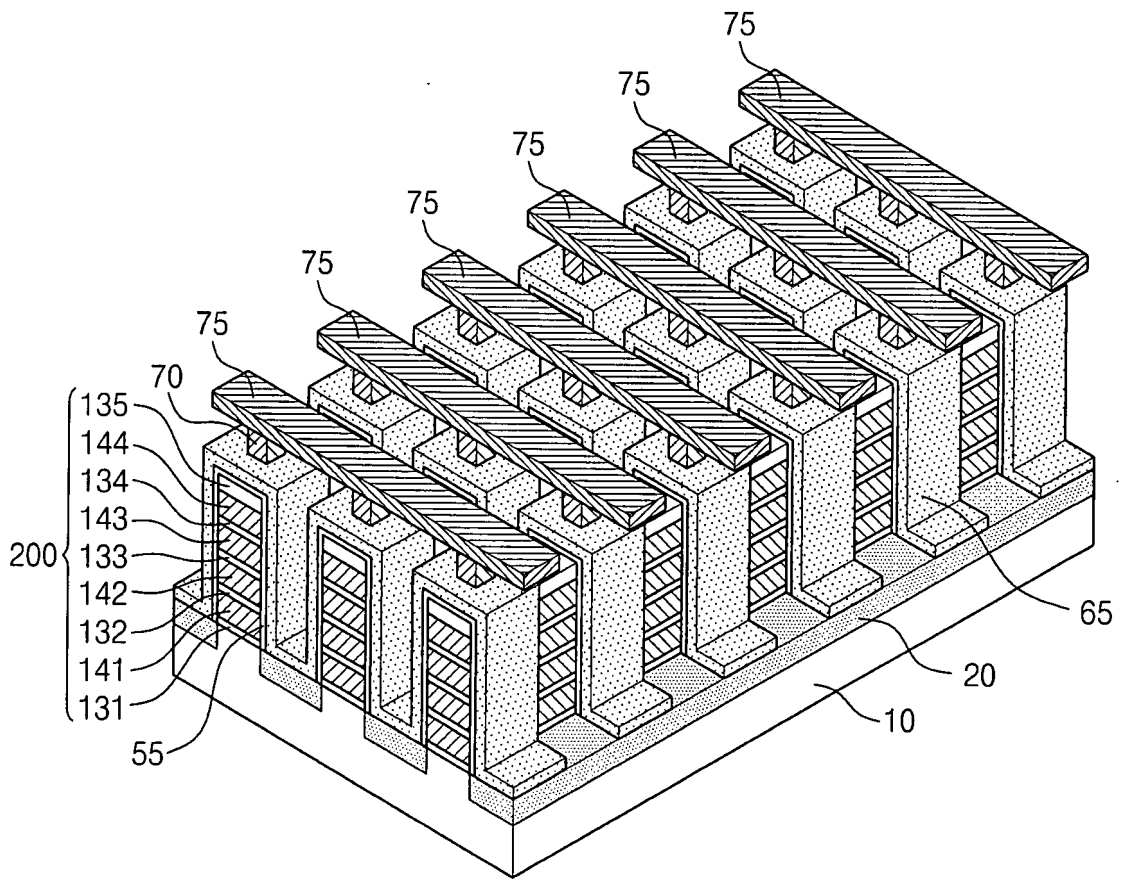


圖18

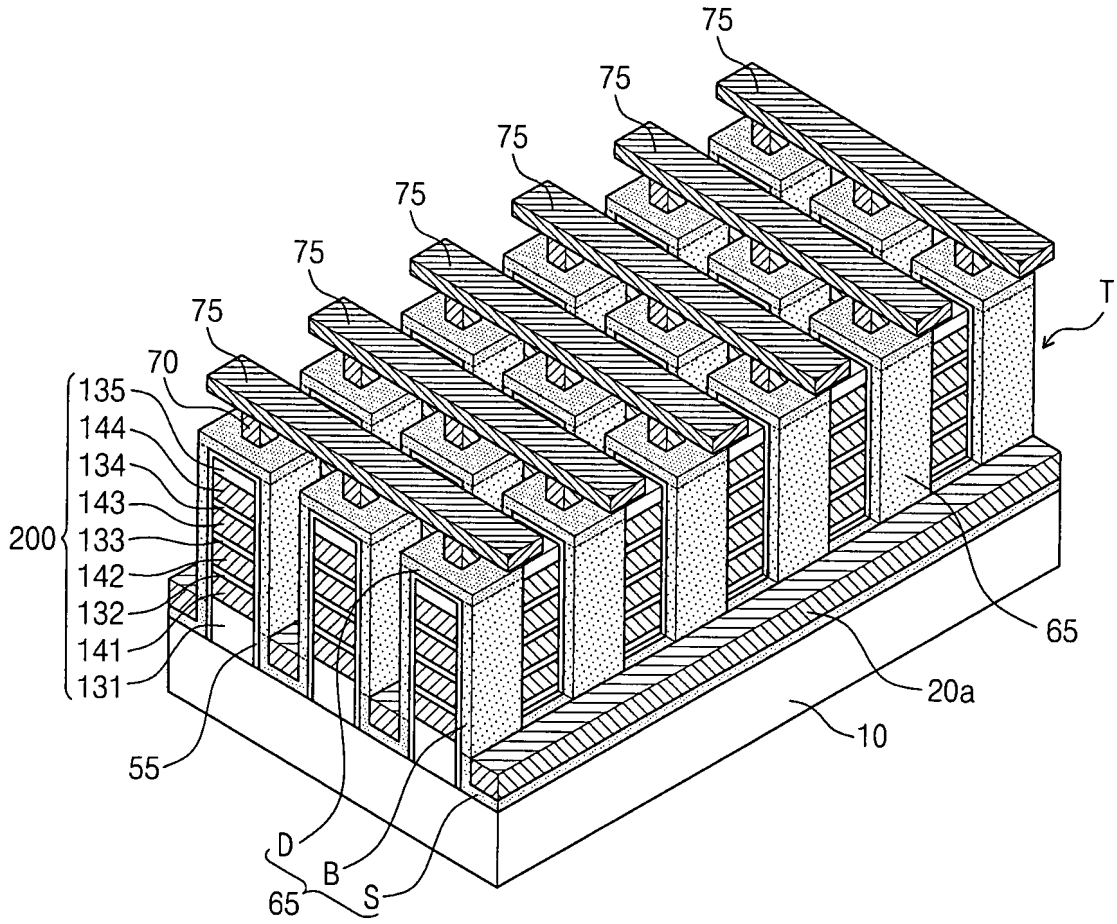


圖20

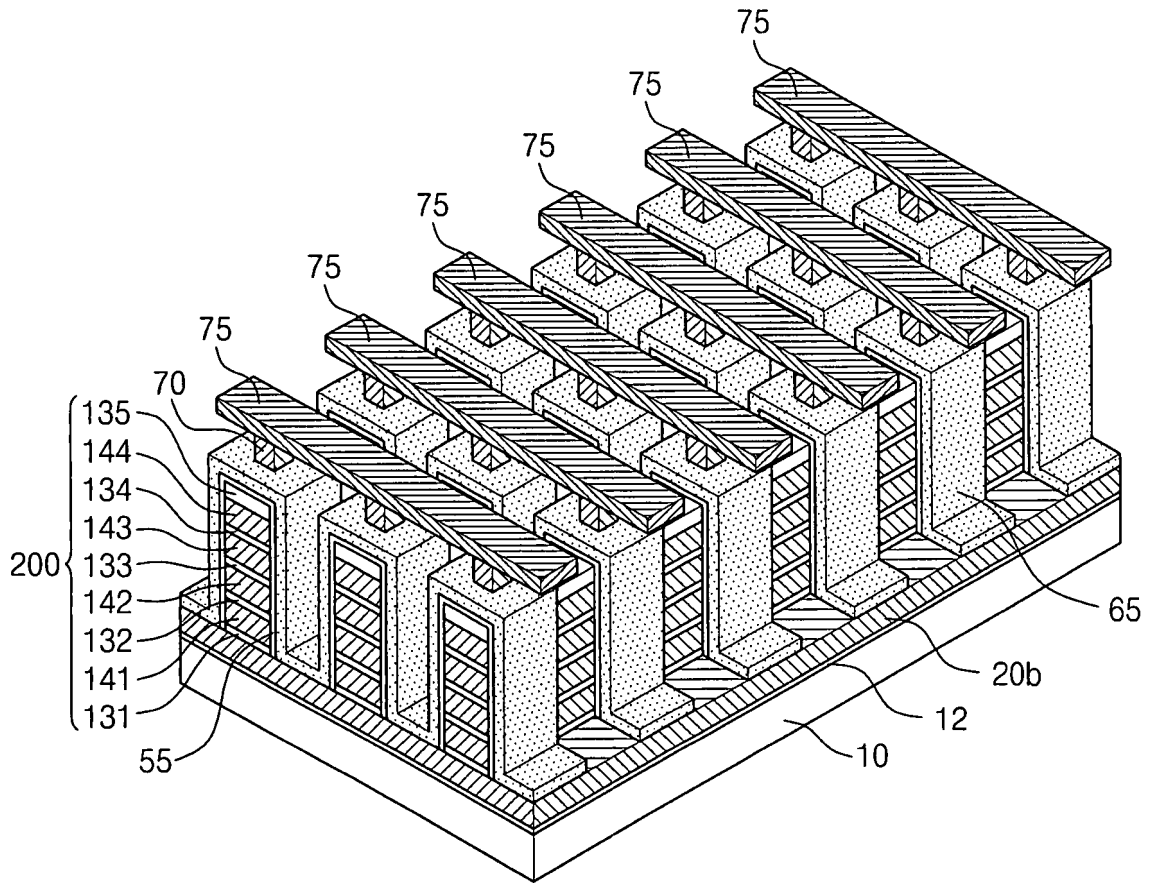


圖21

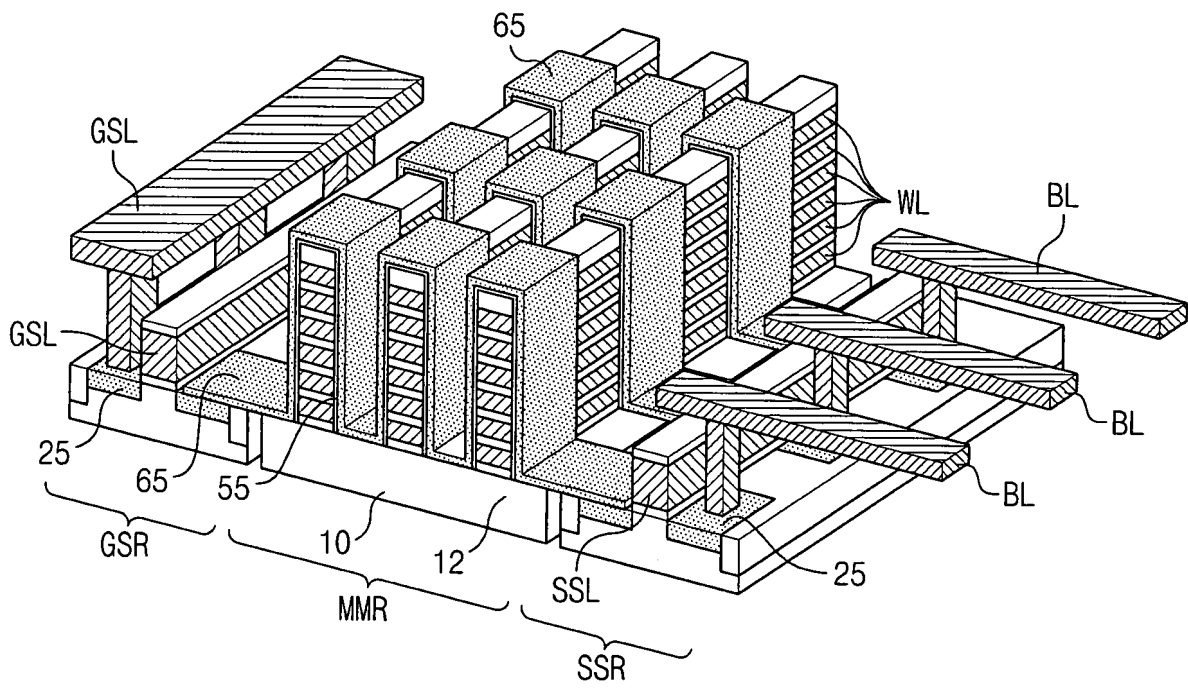


圖22

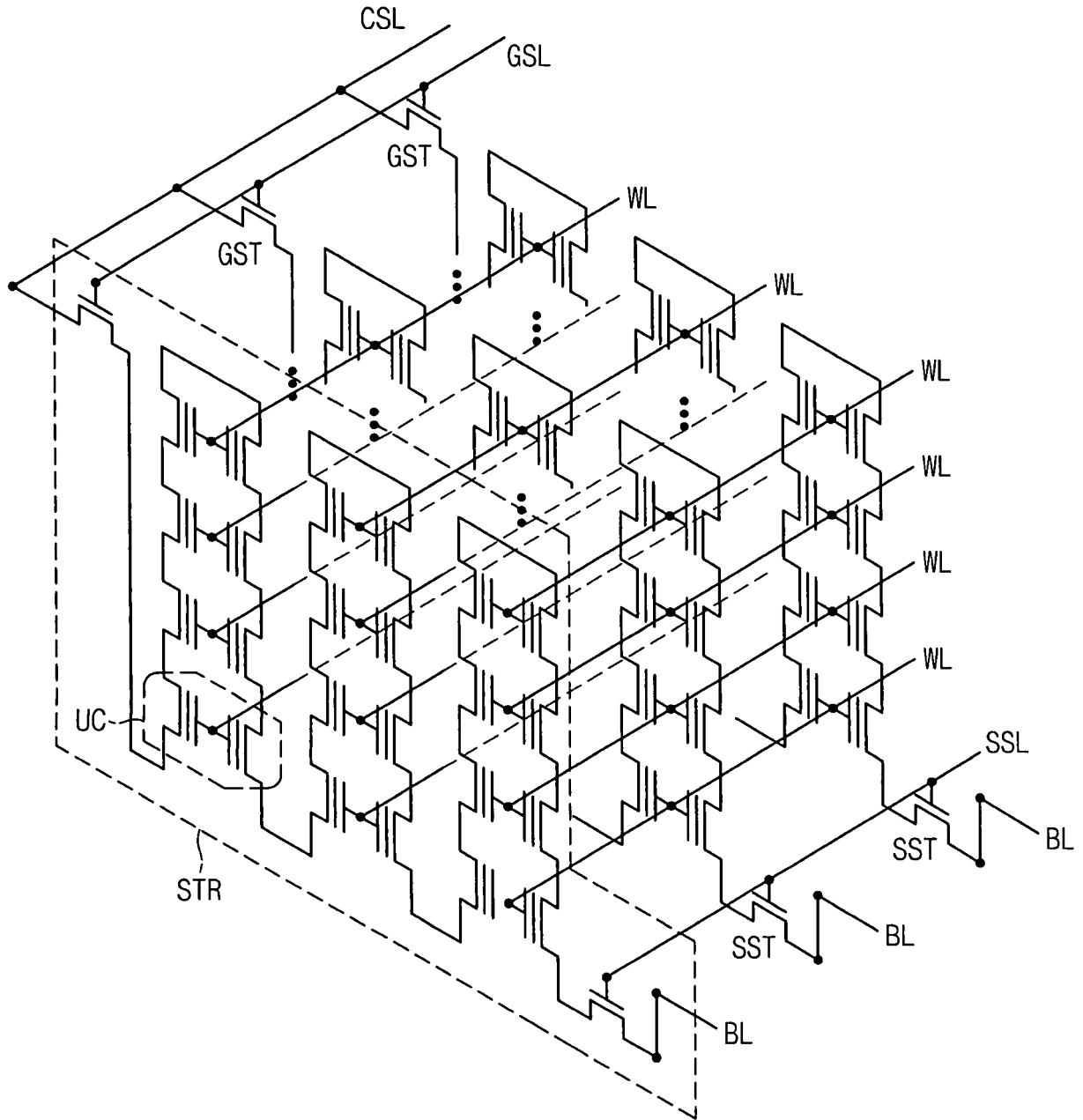


圖 23

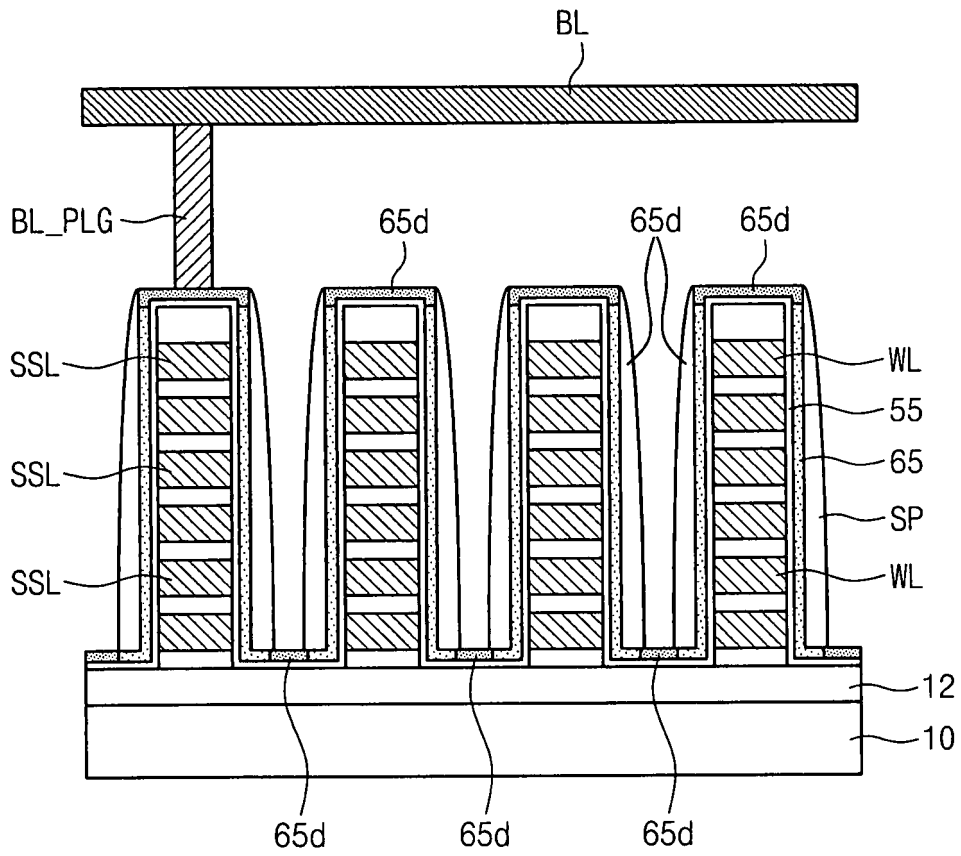


圖 25

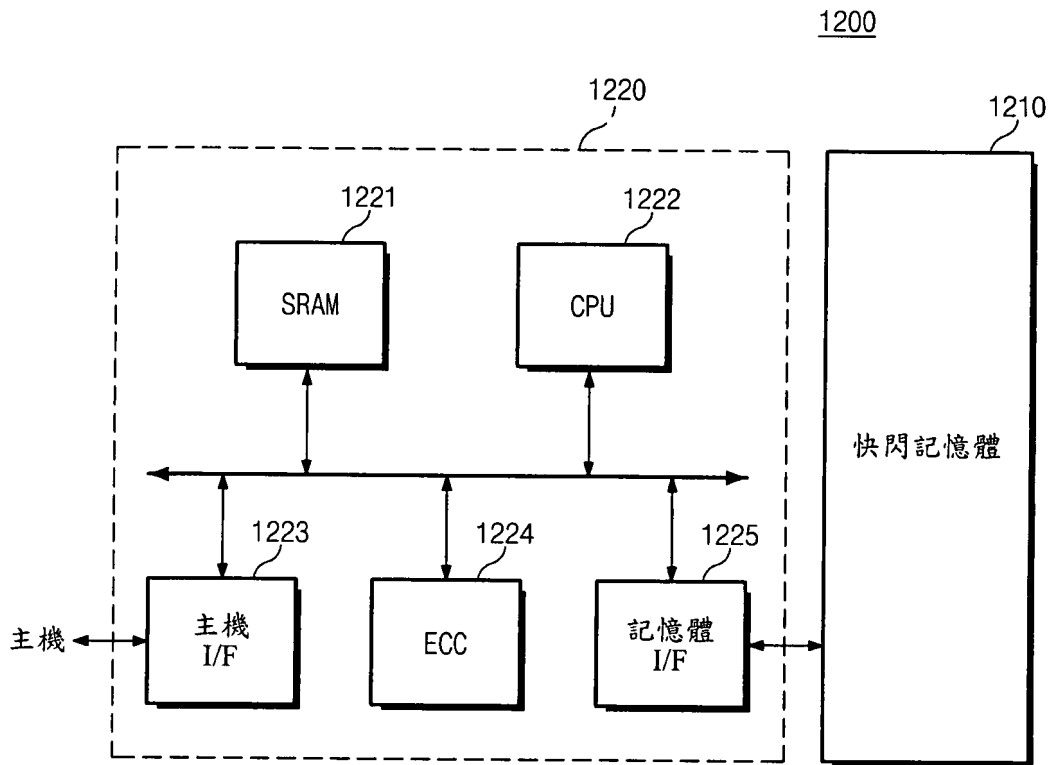


圖 26

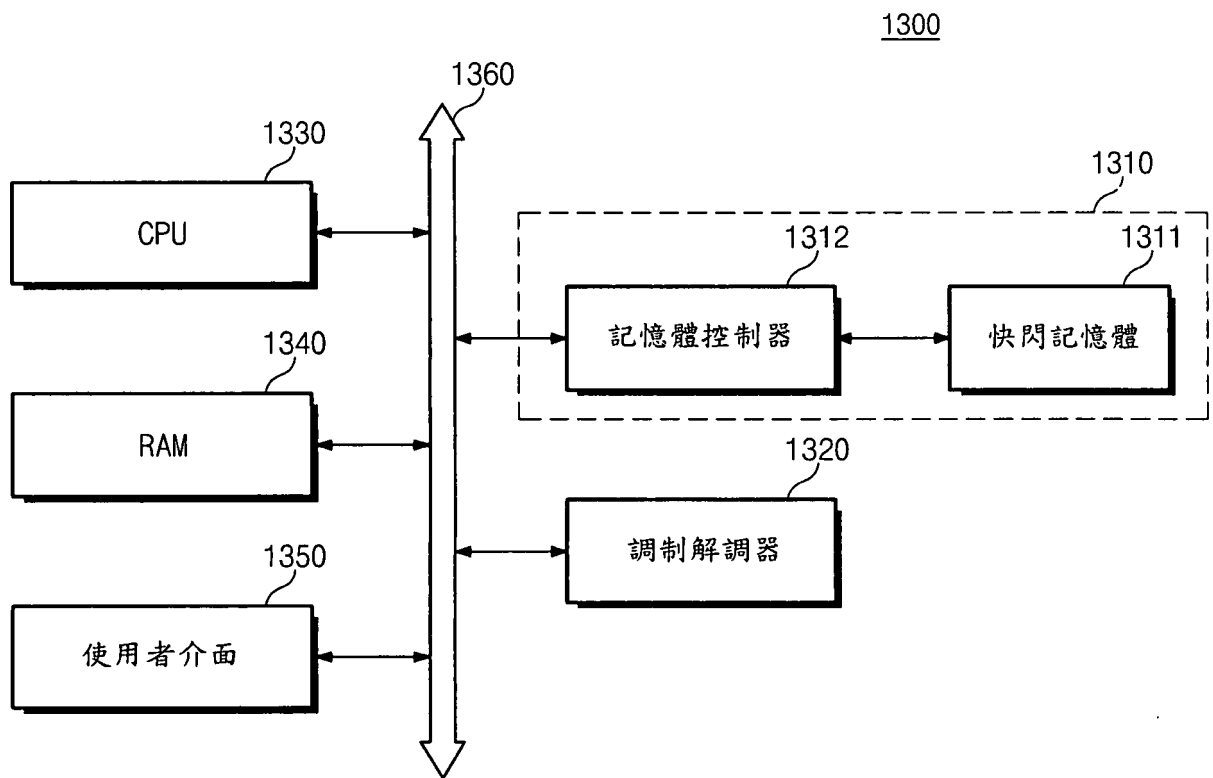


圖 27

四、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

10	基板
20	下部配線
55	資訊儲存圖案
65	半導體圖案
70	插塞
75	上部配線
131、132、133、 134、135	絕緣膜圖案
141、142、143、144	中間配線
200	中間配線構造體
BL	位元線
GWL	全域字元線
LSL	下部選擇線
USL	上部選擇線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)



發明專利說明書

中文說明書替換頁(100年1月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：098142912

※ 申請日：

※IPC 分類：H01L

一、發明名稱：(中文/日文)

記憶體半導體裝置，記憶體半導體裝置之製造方法及操作方法

メモリ半導体装置、その製造方法、及び動作方法

二、中文發明摘要：

本發明提供一種記憶體半導體裝置、其製造方法及操作方法。記憶體半導體裝置可包含：複數個半導體圖案，其具有與基板之上部表面垂直之長軸，且呈二維排列；以及複數條字元線，其具有橫穿複數個半導體圖案之長軸，並且在複數個半導體圖案間呈三維排列。

三、英文發明摘要：



發明專利說明書

中文說明書替換頁(100年1月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：098142912

※ 申請日：

※IPC 分類：H01L

一、發明名稱：(中文/日文)

記憶體半導體裝置，記憶體半導體裝置之製造方法及操作方法

メモリ半導体装置、その製造方法、及び動作方法

二、中文發明摘要：

本發明提供一種記憶體半導體裝置、其製造方法及操作方法。記憶體半導體裝置可包含：複數個半導體圖案，其具有與基板之上部表面垂直之長軸，且呈二維排列；以及複數條字元線，其具有橫穿複數個半導體圖案之長軸，並且在複數個半導體圖案間呈三維排列。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

10	基板
20	下部配線
55	資訊儲存圖案
65	半導體圖案
70	插塞
75	上部配線
131、132、133、 134、135	絕緣膜圖案
141、142、143、144	中間配線
200	中間配線構造體
BL	位元線
GWL	全域字元線
LSL	下部選擇線
USL	上部選擇線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)